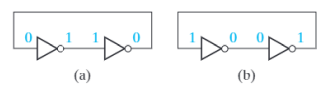
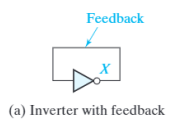
11주차 예비보고서

전공: 컴퓨터공학과 학년: 2학년 학번: 20191619 이름: 이동석

순차 스위칭 회로(Sequential Switching Circuits)은 출력값이 현재의 입력에만 의존하지 않고 과거의 시퀀스에도 영향을 받는다는 특징을 가지고 있다. 따라서, 이런 회로는 출력을 하기위해서 과거의 출력값에 대해 저장할 수 있어야 한다. 이런 순차 회로에서 가장 흔하게 사용되는 메모리 장치가 바로 래치와 플리플롭이다. 이 두 장치는 기본적으로 2가지 상태 중 하나의 상태를 가정하고, 하나 이상의 입력으로 출력의 상태를 바꿀 수 있다.

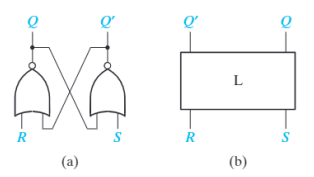
또한, 래치와 플리플롭을 이해하기 위해서 피드백(feed back)을 알아야한다. 피드백이란, 어떤 게이트의 출력 중 하나가 뒤로 연결되어 다시 어떤 게이트의 입력으로 들어가는 것을 말한다. 다음은 인버터와 피드백이다. 출력이 다시 입력으로 들어오는 것을 알 수 있다.



주로, S를 Set signal으로 하며 R을 Reset Signal로 한다. 출력은 Q로 표기하는데 0일 때 Set State, 1일 때 Reset State로 한다.

**1. SR**

S-R flip-flop은 S-R latch와 비슷하다. S=1이면, 출력 Q를 1로 설정하며, R=1이면 출력 Q를 0으로 리셋한다. 그러나, 가장 큰 차이점은 플리플롭의 입력값으로 들어오는 clock의 유무이다. 이 때문에, SR래치와는 다르게 clock edge가 활성화될 때 Q의 출력이 변하게 된다. 클락이 1에서 0으로 값이 변할 때 trailing(falling)-edge triggered 라고 하며, 0에서 1로 변하는 것은 leading(rising)-edge triggered 라고 한다.

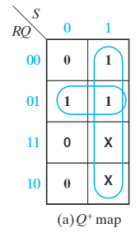
 현재 상태를 Q 그리고 다음 상태를 Q+로 가정한다. 또한, 우선 클럭펄스를 고려하지 않는 SR래치로 설명하도록 하겠다. SR래치는 사진처럼 2개의 NOR게이트로 보통 구성한다. (NAND게이트도 가능하다.) 사진을 보면, 앞서 설명했던 피드백의 개념이 들어있는 것을 알 수 있다. R과 연결된 출력 Q가 S의 입력으로 들어가고, 다시 S의 출력 Q’이 R의 입력으로 들어가는 것을 확인할 수 있다.

1. R=0, S=0 이고 Q=0 이라면 S NOR Q = 0 NOR 0 = 1(Q’)이고, 다시 R NOR Q’ = 0 NOR 1 = 0이 되어 Q+가 0이 된다.
2. Q = Q+ 가 되어 이때 상태는 변하지 않음을 알 수 있다.
3. 이번에는 R=1, S=1, Q=0(or 1)을 가정하자. 이때, S NOR Q = 1 NOR 0 = 0 이고, 1 NOR 0 = 0으로 출력이 모두 0이 된다. 이때, 서로 Q와 Q’의 관계가 아니게 되고 따라서 이러한 입력을 허용하지 않는다.

따라서 진리표를 작성해보면 다음과 같다.

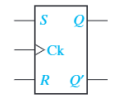
텍스트, 체척계이(가) 표시된 사진

자동 생성된 설명텍스트, 시계이(가) 표시된 사진

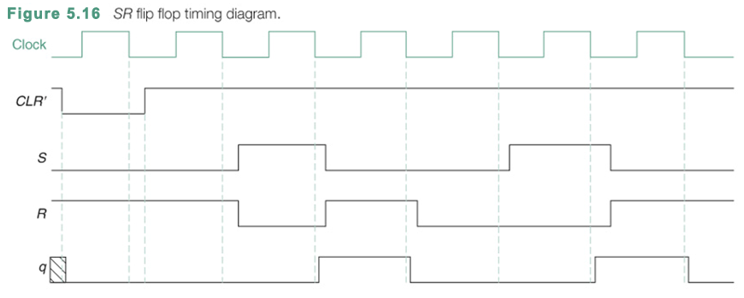
자동 생성된 설명 

또한, 진리표로 K-map을 작성할 수 있으며 이러한 식을 특성식(차기 상태식)이라 부른다. Q+ = S + R’Q (SR = 0)

다음 사진은 SR 플리플롭의 다이어그램과 각 상황에 따른 동작이다. SR 래치와 동작자체는 동일하다. 왼쪽 다이어 그램의 화살표는 Rising-edge trigger를 의미한다.

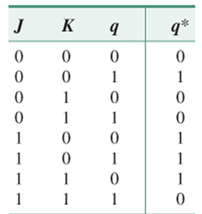
텍스트이(가) 표시된 사진

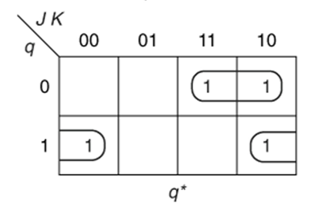
자동 생성된 설명

클럭을 고려하게 되면 아래와 같은 타이밍도를 가지는 SR 플리플롭이 된다. 

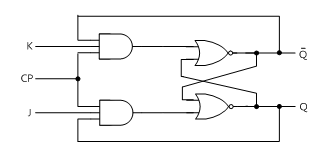
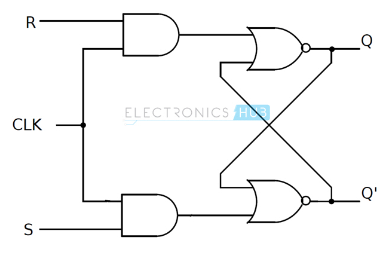
**2. JK**

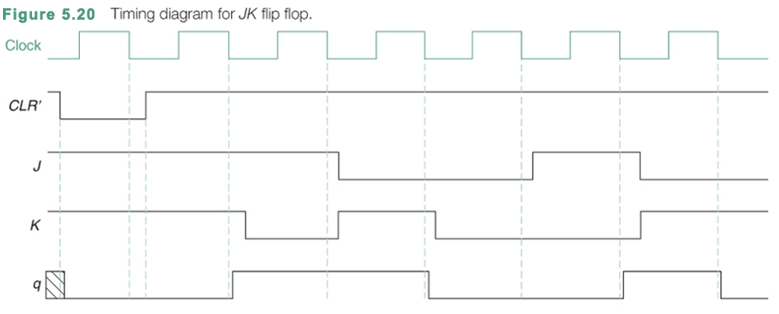
J-K 플리플롭은 SR플리플롭의 확장버전이다. 마찬가지로, J와 K, 클럭으로 3가지 입력이 들어간다. J는 S와 연관되며, K는 R과 연관된다. 그래서 J=1, K=0 일 때 Q=1로 셋되며, J=0, K=1일 때 Q는 0으로 리셋된다. 더 나아가서, J와 K가 동시에 1이되는 경우도 허용한다. 1이 동시에 들어올 경우 1이나 0으로 바꾸며, 이는 Q의 현재 상태에 의해서 결정된다. 따라서, 진리표는 다음과 같다.

텍스트, 시계이(가) 표시된 사진

자동 생성된 설명

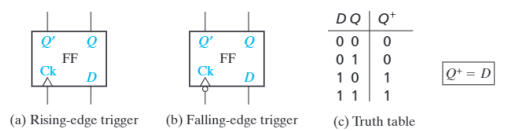
Q+ = JQ’ + K’Q 이다. 이때, 회로의 구조도 SR플리플롭과 살짝 다르다. 아래 사진을 보면, SR 플리플롭은 AND게이트에 클락과 R이나 S만 연결되어 있지만, JK 플리플롭은 Q’,Q도 함께 연결되어있다. 때문에, 1 1의 입력에도 현재 상태의 보수 결과를 출력할 수 있다.



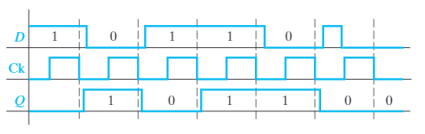


**3. D**

D 플리플롭은 앞선 두개와 조금 다른 모습을 띈다. 우선, D(Data)와 Ck(Clock) 두가지의 입력을 가진다. D플리플롭은 입력 D를 그대로 출력하기 때문에 Delay라는 이름이 붙었다. 즉, 이전 상태 Q와 상관없이 현재 입력에만 영향을 받는다. 불 표현식 역시 Q+ = D가 된다.



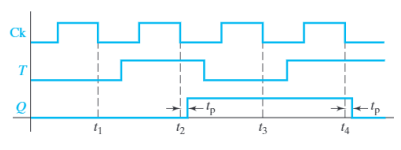
당연하게도, 플리플롭이기 때문에 클락신호 이후에 상태가 변화된다.



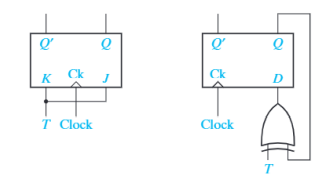
**4. T**

T 플리플롭은 Toggle 플리플롭을도 불린다. 주로 카운터를 구성하는데 많이 사용된다. D플리플롭과 유사하게 T와 클락 2가지 입력을 받는다. 이때, T=1이면, 상태를 바꾸고, T=0이라면 상태를 바꾸지 않는다. 때문에 진리표는 다음과 같이 작성된다. 이때 불 표현식은 Q+ = T’Q + TQ’ 이 되어 T XOR Q와 동일하다.

텍스트, 시계, 장치, 게이지이(가) 표시된 사진

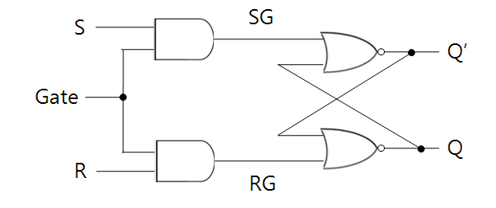
자동 생성된 설명 

T플리플롭은 JK플리플롭이나 D플리플롭으로도 구현할 수 있다. JK플리플롭은 Q+ = JQ’ + K’Q 이기 때문에, J와 K 대신에 T를 사용하게 되면 Q+ = TQ’ + T’Q가 된다. 같은 방법으로, D의 경우 D의 입력에 XOR게이트를 연결하여 구현 할 수 있다. D의 입력이 T XOR Q = TQ’ + T’Q가 되므로 출력 역시 그대로 나온다.



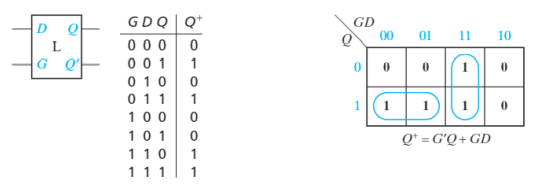
**5. Latch**

래치는 앞서 잠깐 설명한 것 처럼 클락을 가지지 않는 메모리 장치이다. 래치는 정보를 데이터가 바뀌기 전까지 계속 유지한다. 래치는 크게 2가 SR래치와 Gated 래치로 나눌 수 있다. SR래치는 앞서 설명했듯이 SR플리플롭과 비슷하다. SR래치에 대해서는 SR플리플롭에서 간단히 설명했으므로, 게이트 래치에 대해 설명하도록 하겠다.

텍스트, 시계이(가) 표시된 사진

자동 생성된 설명

우선 Gate라는 새로운 시그널을 추가한다. 우선 왼쪽그림은 Gate 시그널이 0일 때, SG와 RG는 모두 0이되어 래치가 변하지 않는다. Clocked SR latch라고도 한다. 반면 1이 될 경우 SG와 RG가 0 또는 1을 저장할 수 있도록 한다. 오른쪽은 Gated D래치라고 부른다. 하나의 입력 D만 있다. 때문에, S와 R이 동시에 1이 되는 경우가 생기지 않는다. G=1일 때, Q+는 입력 D와 동일하며, G=0일 때 이전 상태 Q로 변하지 않는다.



2개의 게이트 D 래치를 사용해 D플리플롭을 구성할 수 있다.

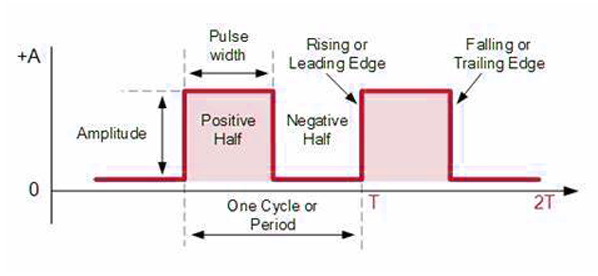
텍스트, 시계이(가) 표시된 사진

자동 생성된 설명

**6. Clock**

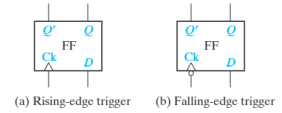
클락이란, 타이밍도에서 볼 수 있듯 0과 1이 주기적으로 반복되는 synchronous 시스템에서 주로 사용되는 신호이다. 이런 신호의 주기성을 이용해, 동작순서나 상태변화를 조정한다. 아래 사진을 보면, 각 클락신호에 대한 용어를 이해할 수 있다.

보통, 0-1을 합쳐서 주기, 그리고 주기의 역수를 클럭의 주파수라 칭한다. 또한, Pulse width가 차지하는 비율을 duty cycle( = 100 \* Pulse width/Total Peirod ) 이라 하는데, 디지털 회로에서는 주로 50% 이하를 사용한다.



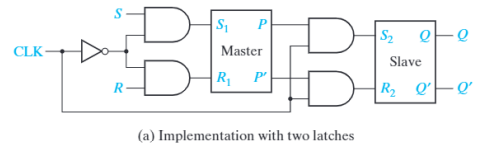
**7. Edge-Trigger**

에지 트리거는 플리플롭을 설명하면서 언급되었다. 보통 어떤 특정상황을 정하고 이를 트리거로 하여, 상태변화를 유발하곤 한다. 타이밍도를 보면, 클락이 0에서 1을 주기적으로 움직이는 것을 흔히 볼 수 있다. 그 중 Edge 트리거는 Falling과 Rising이 있으며(Negative/Positive) 이름에서 유추할 수 있듯이 0->1로 클락이 올라가는상황을 Rising으로 부르며 1->0으로 떨어지는 상황을 Falling으로 부른다. 다이어그램으로 표기할 때 이 두가지를 구분해서 표시한다. 트리거에 대해 이해를 해야, 타이밍도를 이해할 수 있다. 이외에도 Level Trigger도 있다.

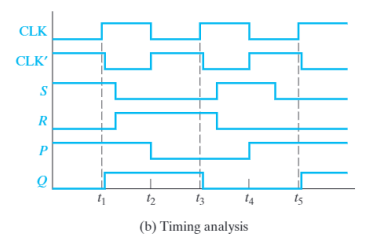


**8. Master-Slave**

마스터 슬레이브은 연결된 2개의 래치를 의미한다. 각각을 마스터와 슬레이브로 구분한다. 아래 사진은 SR플리플롭을 2개의 래치로 회로를 구성했다. 클럭을 유심히 보면, CLK가 1일 경우와 0일 때 작동되는 래치가 다르다.

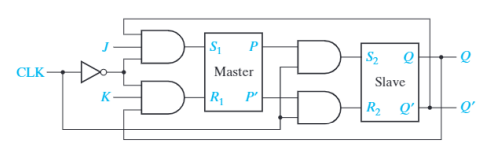
****

사진에서는 Clk가 0일 때, 마스터 래치가 동작한다. 이때 이전 상태 Q를 Slave 래치에 유지되는 모습을 볼 수 있다.이제 Clk이 0에서 1로 바뀌면, P는 마스터 래치에 유지되며 이 값은 슬레이브 래치에 전송된다. 따라서, Q는 바뀌지 않게 된다.



상승에지 이므로 t1에서 S=1, R=0이므로 Q의 값이 1로 변하는 것을 볼 수 있다. 또한, 이때 P값 역시 유지됨을 볼 수 있다. 반대로, t2에서 클락이 1->0이 되며, P의 값이 바뀌고, Q가 유지 됨을 볼 수 있다.

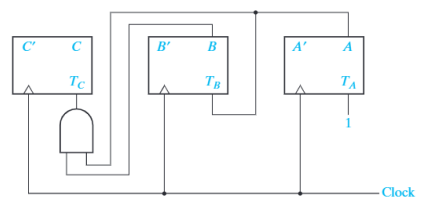
다음은 마스터 슬레이브로 구현한 JK 플리플롭이다.



**9. 기타이론**

앞서 플리플롭으로 카운터를 구현할 수 있다고 했다. 대표적으로 2진 카운터가 있다. 카운터는 상태들이 주기적으로 순환하는 회로를 말한다. 때문에, excitation table이 중요하다.

텍스트, 시계이(가) 표시된 사진

자동 생성된 설명 

만약 초기상태가 000이라면, 클락에 따라 001, 010 … 111이 반복될 것이다. (마찬 가지로 클락 에지에 따라 동작한다.) 예로 현재 상태 CBA 000의 다음 상태는 C+B+A+ 001이다. 따라서, 3개의 T 플리플롭은 Tc Tb Ta라 할 때, 001의 입력이 들어와야 한다. (테이블 참고) 이제 현재 상태가 001이라면, 다음 상태는 010이 되어야 하고, 이때 각 플리플롭의 입력은 011이 되어야 함을 알 수 있다. 이를 바탕으로 다음 표를 작성할 수 있다.

테이블이(가) 표시된 사진

자동 생성된 설명

더 나아가 위 표를 참고해 K-map으로 불 표현식을 얻을 수 있다.

**10. 참고문헌**

<https://www.electronicshub.org/sr-flip-flop-design-with-nor-and-nand-logic-gates/>

Fundamental of Logic Design, 7th edtion

디지털 회로개론 강의자료 Chap 5 Analysis of Sequential Systems. 김주호 교수