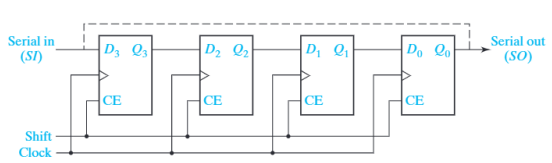
13주차 예비보고서

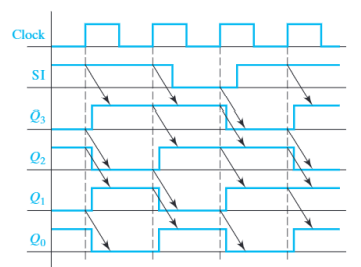
전공: 컴퓨터공학과 학년: 2학년 학번: 20191619 이름: 이동석

**1. Shift register**

기본적으로 레지스터는 클럭입력이 공통으로 있는 직렬로 연결된 플리플롭들로 구성된다. 1개의 플리플롭은 주로 단일 비트의 2진 데이터를 저장하는데 사용된다. 따라서, 이러한 레지스터는 일반적으로 여러 개의 2진 데이터를 저장하거나 옮기는데 사용된다.

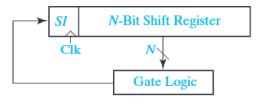
쉬프트 레지스터는 이름 그대로 저장되어 있는 2진 데이터를 왼쪽 혹은 오른쪽으로 쉬프트 시그널이 들어왔을 때 옮기는 레지스터다. 아래 사진은 D플리플롭을 이용한 4비트 right-shift 레지스터이다.





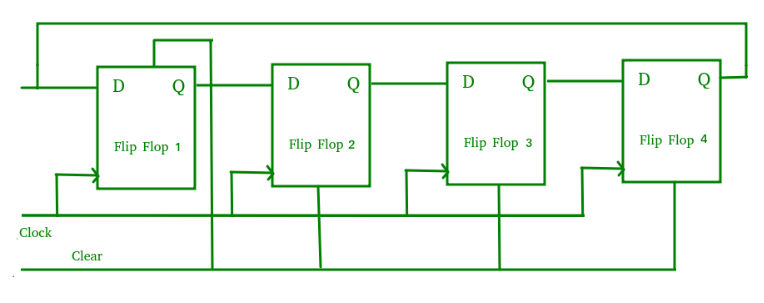
위와 같은 Shift 레지스터를 SISO(Serial In Serial Out)이라 부른다. 타이밍도나 회로에서 알 수 있듯이 주로 데이터를 지연 시키기 위해 사용한다. 처음에 Q3에 있던 데이터가 다음 클락 신호에 Q2로, 그리고 다시 Q1으로 마지막으로 Q0로 움직이는 것을 볼 수 있다. D플리플롭 외에도 JK나 SR을 활용할 수 있다.

SISO외에도 SIPO(Serial In Parallel Out)과, PISO(Parallel In Serial Out), PIPO(Parallel In Parallel Out) 그리고 양방향 레지스터 등의 종류가 있다. PIPO레지스터는 MUX와 함께 구현하기도 한다.



**2. Ring Counter**

링 카운터는 시프트 레지스터가 약간 변형된 형태이다. 위에서 배웠던 레지스터에서 마지막 출력이 다시 처음 플리플롭의 입력으로 가게되면 이를 시프트 레지스터 카운터 혹은 링 카운터라 부른다. 따라서 링 카운터는 플리플롭의 개수만큼의 상태수를 가지게 되며 초기 값에 따라 어떤 패턴이 나오는지가 다르다. n비트의 링 카운터를 위해서는 n개의 플리플롭이 필요하다.

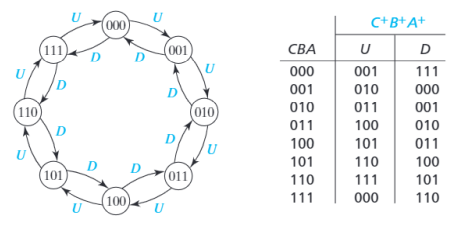


clk가 모든 플리플롭과 연결되어있으므로 동기식 카운터이다. 위 회로도를 보면, Clear라는 입력이 존재하는데 이는 첫 번째 플리플롭에서 Preset과 연결되고, 나머지 플리플롭에서 CLR로 작동한다. (오버라이딩 입력 ORI) 만약, PR이 0이라면 출력은 1이되고, CLR이 0이라면 출력은 0이 되도록 작동한다. PR과 CLR은 값 0에서 작동하는 active-low 이다. 따라서, 만약 값은 1000이 되고, 매 클럭 펄스마다 1000 -> 0100 -> 0010 -> 0001 -> 1000을 반복하게 된다.

**3. Up down Counter**

Up 카운터는 클럭 펄스의 수가 증가함에 따라 0부터 1비트씩 더해나가며 증가하는 수의 순서를 순환 출력하는 카운터이다. 저번 시간에 구현한 Decade 카운터가 대표적인 업 카운터의 예시이다. ( 0000 -> 0001 …) 반면, Down 카운터는 클럭펄스의 수가 증가함에 따라 1비트씩 감소하는 카운터이다. (오름차순과 내림차순)

위의 UP/DOWN의 특징을 모두 합쳐 만든 카운터를 Up-Down 카운터라 한다. 3비트 업 다운 카운터 회로를 구현한다고 생각해보면 우선 상태도 및 상태표를 아래 사진과 같이 생각할 수 있다. 만약 U=1 이 되면 Up 카운터의 역할을 하며, D=1이 되면 Down 카운터, 그리고 U=D=0이면, 상태가 변하지 않는다. SR과 비슷하게 둘 모두가 1인 경우는 허용되지 않는다.



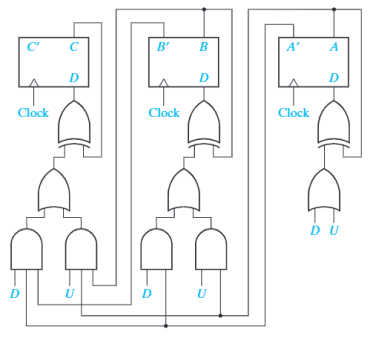
위 상태도를 보고 D플리플롭을 사용해 구현하면,

D\_a = A+ = A XOR (U + D)

D\_b = B+ = B XOR (UA + DA’)

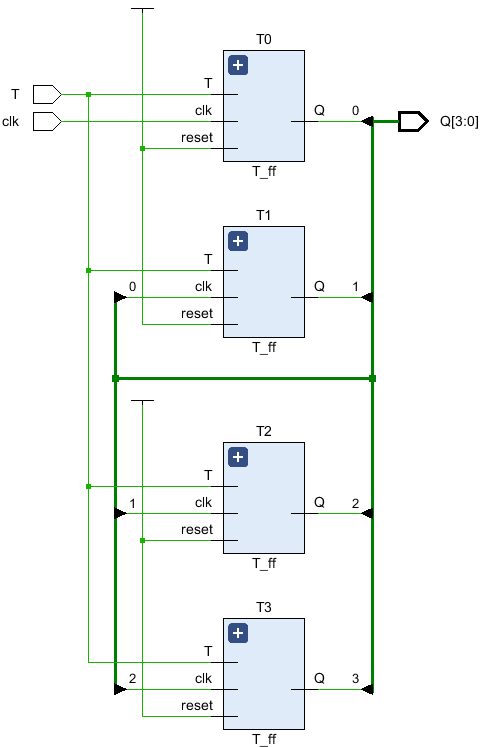
D\_c = C+ = C XOR (UBA + DB’A’)

사실 이는 업 카운터와 다운 카운터에서 AND게이트를 이용해 D가 0이 될 경우 업 카운트와 똑같은 불 표현식을 가지게 했고, 반대로 U가 0이면 다운 카운터와 똑같이 된다.



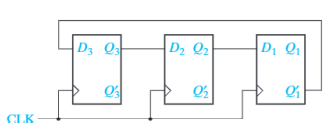
**4. Ripple Counter**

Ripple 카운터는 비동기식 카운터라고도 부른다. 비동기식 카운터는 플리플롭의 출력이 다른 플리플롭의 입력이 되기 때문이다. 비동기식 회로는 Average case behavior를 갖는다. 또한 데이터의 지연 및 클럭 전달의 변화에 둔감하다. 그리고, 오버플로우나 언더플로우의 조건 자동처리가 가능하다. 또한, 적은 에너지를 사용하며 동기식 보다 구현이 더 간단하다. 하지만, 리플로 연결되어있으므로 이는 delay가 필연적으로 발생한다. (Propagation Delay) 이런 지연은 회로가 커질수록 치명적이기 때문에 동기식을 더 선호하고 있다. 비동기식 카운터는 JK와 T로 많이 구현한다. 아래는 T플리플롭으로 구현한 4비트 다운 카운터의 스케메틱 회로이다. 최대 2^n개의 상태를 계산할 수 있어 MOD n카운터라고도 한다.



**5. 기타 이론**

링 카운터 외에도 존슨 카운터가 있다. 존슨 카운터는 링 카운터와 거의 유사하지만 마지막 플리플롭의 출력 중 NOT 출력을 첫 번째 플리플롭의 입력으로 준다는점에서 차이가 있다.

텍스트, 시계, 클립아트이(가) 표시된 사진

자동 생성된 설명

Shift Register with inverted feedback으로도 표현하며 일반적으로는 Johnson counter나 twisted ring counter로 부른다. Ring counter보다 상태수가 훨씬 많다. 링 카운터의 상태수는 플리플롭의 개수와 같지만, 존슨카운터의 경우엔 일반적으로 플리플롭의 개수 \* 2 만큼 있다. 오쪽 상태도를 보면, 상태가 6개인 것을 볼 수 있다. 그래서 5단 존슨 계수기 회로는 일반적으로 BCD(동기식 10진수) 계수기에 사용되며 분배기 회로로도 사용된다.

초기상태는 2가지로 나눌 수 있다. 000으로 시작할 경우 000 -> 100 -> 110 -> 111 -> 011 -> 001 -> 000 이 반복되며, 010으로 시작하면 010 -> 101이 반복된다. 또한 클락이 모든 플리플롭에 연결되어 있으므로 동기식임을 알 수 있다.

**6. 참고문헌**

Fundamental of Logic Design, 7th edtion

https://web.stanford.edu/class/archive/ee/ee371/ee371.1066/lectures/lect\_12.pdf