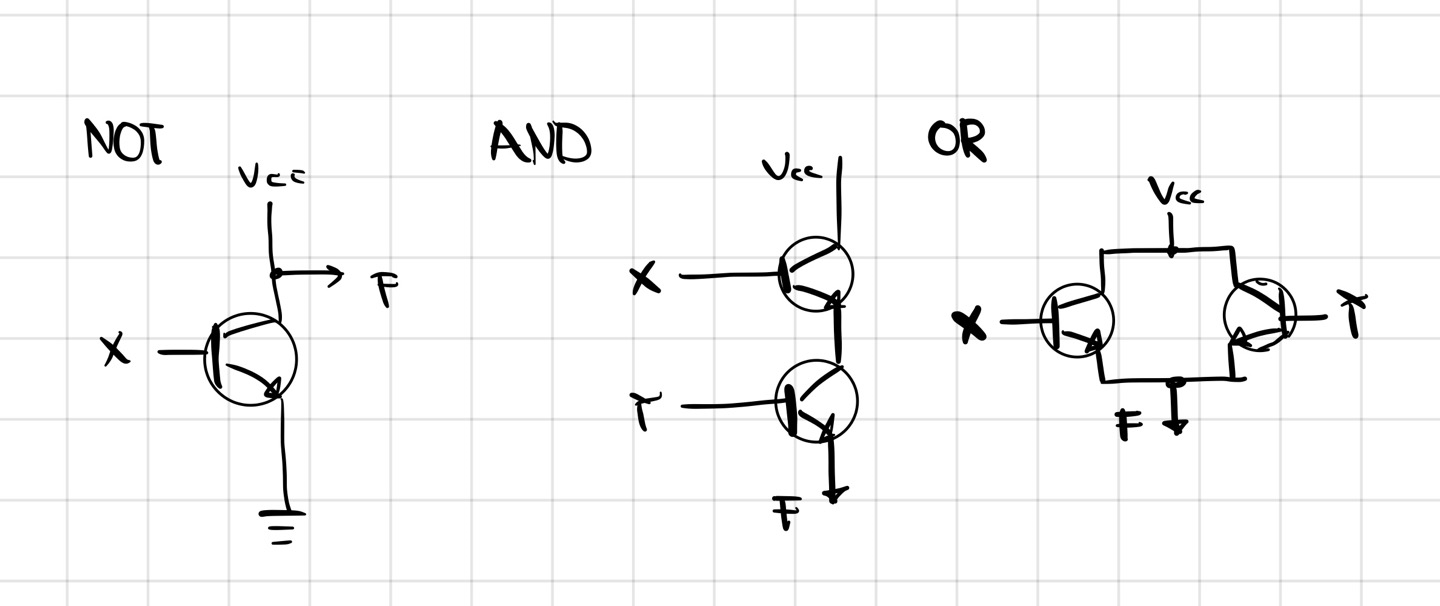
3주차 예비보고서

전공: 컴퓨터공학과 학년: 2학년 학번: 20191619 이름: 이동석

**1. AND/OR/NOT 논리게이트의 transistor level**



**2. 각 Logic 특성**

2.1 NOT

NOT 게이트는 1은 0으로, 0은 1로 바꾸는 특성을 가지고 있다.

진리표와 논리회로는 다음과 같이 표시한다. 추가적으로 이를 활용한 buffer 게이트도 존재한다. (입력된 신호를 변경하지 않고 그대로 출력하기 위함)

테이블이(가) 표시된 사진

자동 생성된 설명

2.2 AND

AND 게이트는 집합에서 교집합과 비슷하다. 모두 1이나 0이라면 1을 출력하며, 서로 다른경우 0을 출력한다.

텍스트, 클립아트이(가) 표시된 사진

자동 생성된 설명테이블이(가) 표시된 사진

자동 생성된 설명

2.3 OR

OR게이트는 AND와 반대로 생각하면 쉽다. 서로 같은 입력을 가질 경우 0을 출력하며, 다른 입력을 가질 경우 1을 출력한다.

텍스트, 클립아트이(가) 표시된 사진

자동 생성된 설명테이블이(가) 표시된 사진

자동 생성된 설명

**3. Fan-out**

Fan-out이란, 게이트에 연결될 수 있는 최대 입력게이트 수를 나타낸다. (Fan-in은 게이트에 연결될 수 있는 최대입력수를 나타낸다.) 이때, 최대 수를 측정할 땐 게이트가 정상적으로 작동할 수 있어야 한다. 간혹, 팬 아웃이 너무 클 경우 신호가 약해질 우려가 있어 버퍼 게이트를 통해 해결하기도 한다. (버퍼 게이트는 신호의 세기를 강화시키는 효과가 있다.) 다음은 Fan-out을 결정하는 식을 나타낸다.

텍스트이(가) 표시된 사진

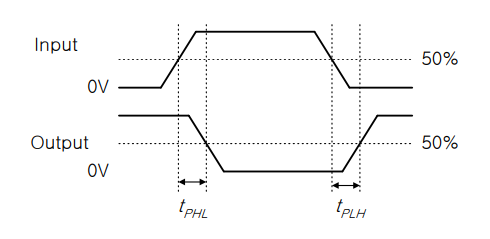
자동 생성된 설명

식에서도 알 수 있듯이, Fan-out이 결정되는 가장 큰 요인은 전류로 볼 수 있다.

일반적인 TTL 게이트의 팬아웃은 10이라고 한다.

**4. 전파지연**

전파지연이란, 신호가 입력되고 출력까지 걸리는 시간을 말한다. 보통 high(1)에서 low(0)으로 가는 t\_PHL 시간과 low에서 high로 가는시간 t\_PLH 시간의 평균을 전파지연시간으로 부른다.(이 값은 50% 지점을 측정한 값이다.) 당연하게도 입력 후 통과하는 게이트의 수가 늘어날 경우 지연시간은 늘어나게 된다. 따라서, 게이트의 동작속도를 평가하는 지표로 사용할 수 있다. 인버터의 경우 다음과 같은 모양을 띈다.



**5. task 및 function**

앞선 주차에 간략하게 소개하였듯, C언어에서 사용하는 사용자 정의함수나 매크로 처럼 Verilog에서도 task와 function을 이용해 비슷한 동작이 가능하다. 그러나 예를들어 task는 delay, timing과 같은 제어구조가 있거나, input이 없는 경우에 사용해야한다는 등의 조건이 있다. 다음은 둘의 차이점을 나타낸다.

1. Function은 하나의 시뮬레이션 시간단위로 실행된다. 그러나 task는 time controll을 포함 할 수 있다.
2. Fucntion은 task를 호출할 수 없지만, task는 task뿐아니라 fucntion도 호출가능하다.
3. Function은 적어도 하나 이상의 입력을 받아야하며, output이나 inout타입의 인수를 가질 수 없다. 반면, task는 인수가 0개여도 상관없다.
4. Function은 단일 값을 반환해야하지만, task는 값을 반환하지 않는다.
5. Always와 initial구문과 wire가 있다면 사용할 수 없다.

**6. 참고문헌**

한국기술교육대학교 전기전자통신공학부 . (n.d.). <https://cms3.koreatech.ac.kr/sites/yjjang/down/dsys11/M01_VerilogHDL01.pdf>.

"IEEE Standard for Verilog Hardware Description Language," in IEEE Std 1364-2005 (Revision of IEEE Std 1364-2001) , vol., no., pp.1-590, 7 April 2006, doi: 10.1109/IEEESTD.2006.99495.