第六章







- 存储器系统的概念
- 半导体存储器的分类及其特点
- 半导体存储芯片的外部特性及其与系统的连接
- 存储器接口设计(存储器扩展技术)
- 高速缓存

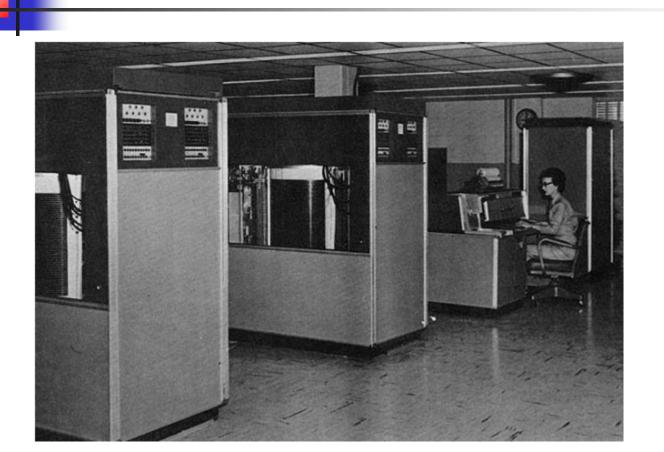
*



§ 5.1 概述

主要内容:

- 存储器系统及其主要技术指标
- 半导体存储器的分类及特点
- 两类半导体存储器的主要区别



世界上最早的 硬盘是1956年 9月13日由蓝 色巨人IBM公 司发布的IBM 350磁盘单元, 它作为IBM 305 RAMAC (Random **Access Method** of Accounting and Control) 计算机系统的 一部分,是现 代硬盘的最早 雏形。



24 英寸磁盘

磁头,不停寻址查找数据

50张24寸,组合起来容量却只有5MB





硬盘已经走到极限,磁带才是未来可靠的存储设备?



36氪

18-09-07 11:34

编者按:本文编译自 spectrum.ieee 原题为"Why the Future of Data Storage is (Still) Magnetic Tape"的文章,作者 Mark Lantz。

最近,因为大数据与AI技术崛起,企业生成海量数据,涉及业务的方方面面。金融监管部门提出要求,机构的数据必须保存更长时间。正因如此,企业与机构存储的数据越来越多。

研究报告证实,每年存储的数据都在以30-40%的速度增长。与此同时,硬件容量也在增长,但是增长速度低了一半。还好,许多信息并不需要即时访问,如果想存储此类数据,磁带是一个完美的选择。

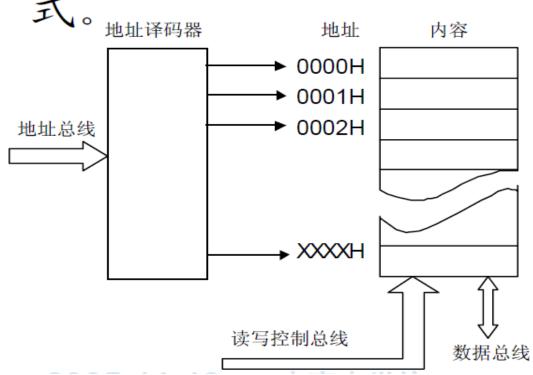
开玩笑吗?磁带?一提到磁带,你可能会想到老电影,比如《电脑风云》(Desk Set)或者《奇爱博士》(Dr. Strangelove),里面有笨重的大型主机,旁边就有旋转的磁带。这不是玩笑,磁带并没有远去。



一、存储器系统



存储器就是用来存储程序和数据的,程序和数据都是信息的表现形式。



存储器 逻辑结构示意图



将两个或两个以上速度、容量和价格各不相同的存储器用硬件、软件或软硬件相结合的方法连接起来构成存储系统



2. 两种存储系统

■ 在一般计算机中主要有两种存储系统:

Cache存储系统 主存储器 高速缓冲存储器

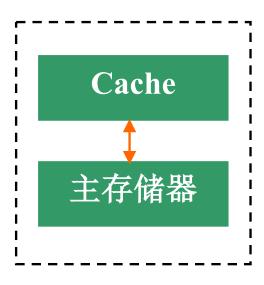




Cache存储系统

,*+

- 对程序员是透明的
- 目标:
 - 提高存储速度



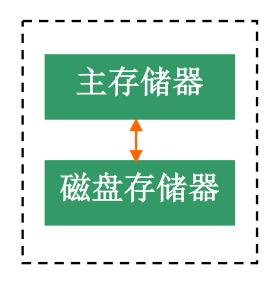




虚拟存储系统

目标:

■ 扩大存储容量







存储器容量=单元数×数据位数(每个存储单元的位数)

■ 存取速度(可用多项指标表示)

(1) 存取时间(TA, 也称为访问时间)

从存储器接收到读/写命令到信息被读出或写入完成所需的时间(决定于存储介质的物理特性和寻址部件的结构),通常以ns为单位。

例如: ROM存取时间通常为几百 ns;

RAM存取时间通常为几十 ns 到一百多 ns;



(2) 存取周期(TM)

指在存储器连续读/写过程中一次完整的存取操作所需的时间或者说是CPU 连续两次访问存储器的最小时间间隔(有些存储器在完成读/写操作后还有 一些附加动作时间或恢复时间,例如刷新或重写时)。

TM略大于TA

(3) 数据传输速率(BM,频宽)

单位时间内能够传送的信息量。若系统的总线宽度为W,则 B_M = W/T_M (b/s)

例如:若W=32位,T_M=100ns,则 B_M=32bit /100×10⁻⁹s=320×10⁺⁶=320Mbit/s=40MB/s 若T_M=40ns,则B_M=100MB/s(PCI的T_M=30ns)



- 单位容量价格(C)
- 访问效率 (e)
- 体积与功耗

嵌入式系统或便携式微机中尤为重要。

ROM数据保存时限是20年到100多年。

■可靠性

平均故障间隔时间(MTBF),即两次故障之间的平均时间间隔。 EPROM重写次数在数千到10万次之间;



■ 各种内存的内部结构各异,但从宏观上看,通常都有以下几个部分:存储体,地址译码,读/写电路。

(1) 存储体

存储二进制信息的矩阵,由多个基本存储单元组成,每个存储单元可有0与1两种状态,即存储1bit信息。

(2) 地址译码部件

地址线通过译码器选中相应的存储单元中的所有基本单元。地址线条数 n=log2N(N为存储单元数)。

即: N=2^n ,若n=16,N=2^n=65536





(3) 读/写电路

读/写电路由读 出放大器、写入 电路和读/写控制 电路构成,通过 数据线与CPU内 的数据寄存器相 连。

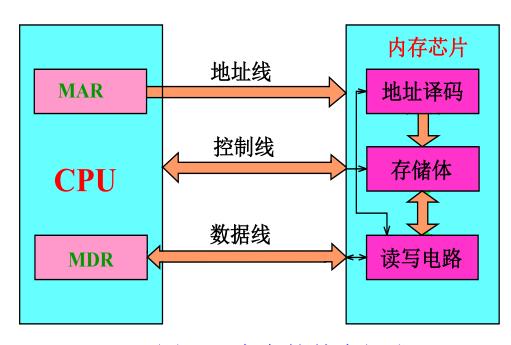


图5.1 内存的基本组成

++



- ▶ 为了解决存储器速度与价格之间的矛盾,出现了存储器的层次结构。
 - (1)程序的局部性原理

在某一段时间内,CPU频繁访问某一局部的存储器区域,而对此范围外的地址则较少访问的现象就是程序的局部性原理。

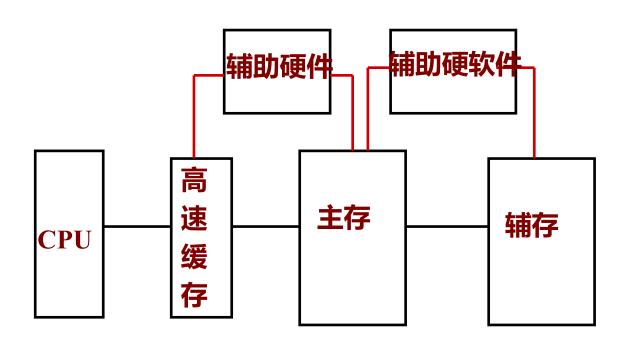
层次结构是基于程序的局部性原理的。对大量典型程序运行情况的统计分析得出的结论是: CPU对某些地址的访问在短时间间隔内出现集中分布的倾向。这有利于对存储器实现层次结构。





(2) 多级存储体系组成

目前,大多采用三级存储结构。即: Cache-主存-辅存,如下图:



++



Cache引入主要解决存取速度,外存引入主要解决容量要求。CPU内的寄存器、Cache、主存、外存都可以存储信息,它们各有自己的特点和用途。它们的容量从小到大,而存取速度是从快到慢,价格与功耗从高到低。

Cache又分为指令Cache和数据Cache。

(3) 多级存储系统的性能

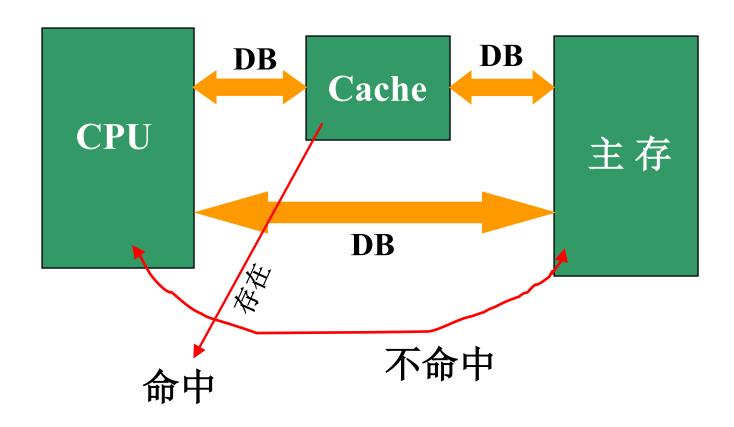
考虑由Cache和主存构成的两级存储系统,其性能主要取决于Cache和存储的存取周期以及访问它们的次数。(存取周期为: Tc,Tm;访问次数为: Nc,Nm)



- 设置Cache的理由:
 - CPU与主存之间在执行速度上存在较大差异;
 - 高速存储器芯片的价格较高;
- 设置Cache的条件:
 - 程序的局部性原理
 - 时间局部性:
 - 最近的访问项可能在不久的将来再次被访问
 - 空间局部性:
 - 一个进程所访问的各项,其地址彼此很接近



Cache的工作原理



+



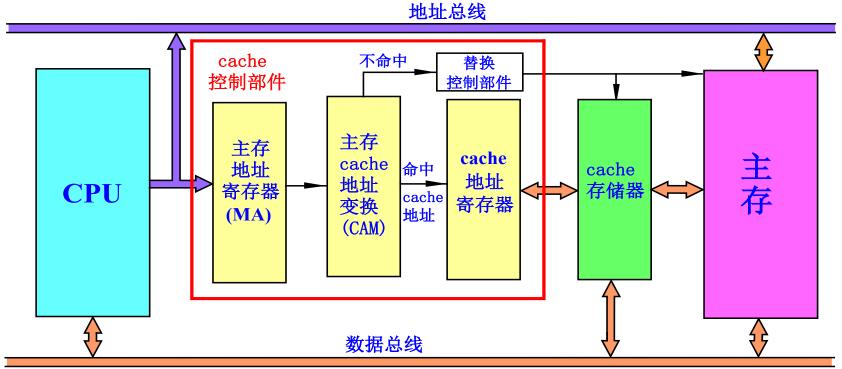


图5.26 cache的工作原理

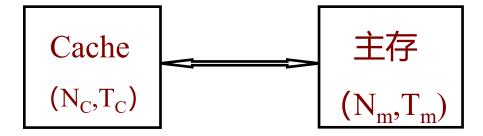


考虑由Cache和主存构成的两级存储系统,其性能主要取决于Cache和存储的存取周期以及访问它们的次数。(存取周期为: Tc,Tm;访问次数为: Nc,Nm)





**



- Cache的命中率
 - H = Nc / (Nc+Nm)
- CPU访存的平均时间

Ta= H * Tc+ (1-H) *Tm

- 访问内存时,CPU首先访问 Cache,找到则"命中",否则为 "不命中"。
- 命中率影响系统的平均存取速度。
- Cache与内存的空间比一般为: 1:128





根据统计分析: Cache的命中率可以达到90%~98%

当Cache的容量为: 32KB时, 命中率为86%

64KB时, 命中率为92%

128KB时, 命中率为95%

256KB时, 命中率为98%





■ 命中率:

由题意: N_c =2000, N_m =50

根据公式命中率
$$h=\frac{N_c}{N_c+N_m}$$

很容易算出命中率
$$h=\frac{2000}{2000+50}=97\%$$



■ 平均访问时间和访问效率:

Cache-主存系统的平均访问时间 t_a = ht_c + $(1-h)t_m$

访问效率e=
$$\frac{t_c}{t_a}$$
*100%= $\frac{t_c}{ht_c+(1-h)}$ *100%

其中, t_c 指命中时的cache访问时间, t_m 为未命中时的主存访问时间,1-h为未命中率



++

写操作 { 写穿式 回写式



- CPU对主存的所有数据请求都首先送到Cache, 在Cache中查找。
- 若命中,切断CPU对主存的请求,并将数据送出;
- 如果不命中,则将数据请求传给主存。

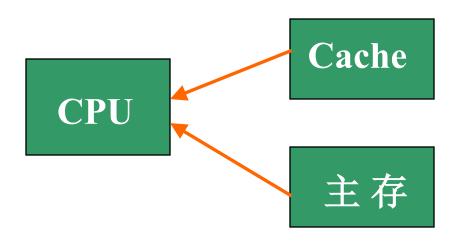




旁路读出式

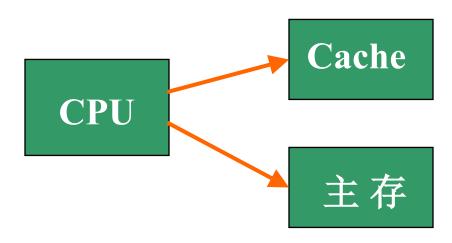
, ,

- CPU向Cache和主存同时发出数据请求。
- 命中,则Cache将数据回送给CPU,并同时中断CPU对主 存的请求;
- 若不命中,则Cache不做任何动作,由CPU直接访问主存





■ 从CPU发出的写信号送Cache的同时 也写入主存。



*



■ 数据一般只写到Cache,当Cache中的数据 被再次更新时,将原更新的数据写入主存相 应单元,并接受新的数据。

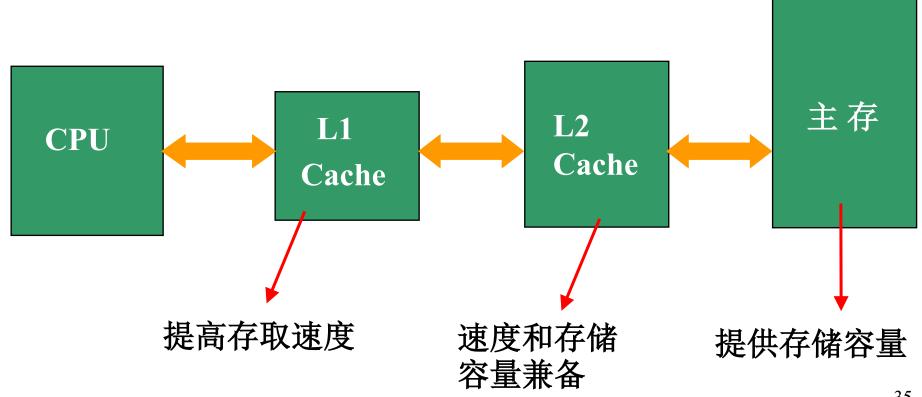




- 一级Cache: 容量一般为8KB---64KB
 - 一级Cache集成在CPU片内。L1 Cache分为指令 Cache和数据Cache。使指令和数据的访问互不影响。指令Cache用于存放预取的指令。数据Cache 中存放指令的操作数。
- 二级Cache: 容量一般为128KB---2MB
 - 在Pentium 工之后的微处理器芯片上都配置了二级 Cache, 其工作频率与CPU内核的频率相同。



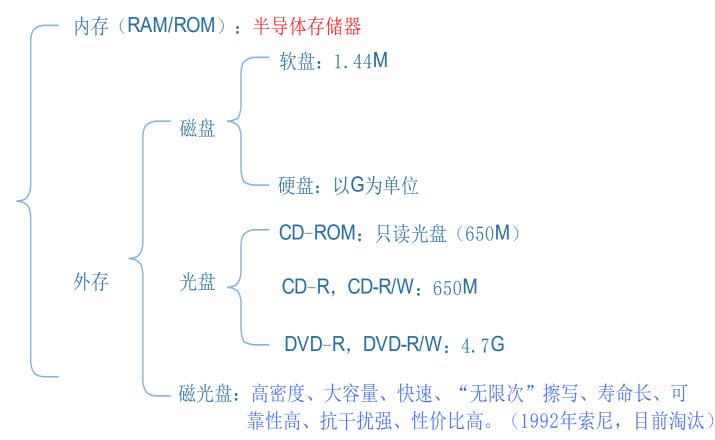
■ 系统中的二级Cache



二、半导体存储器









- 半导体存储器由能够表示二进制数 "0"和 "1" 的、具有记忆功能的半导体器件组成。
- 能存放一位二进制数的半导体器件称为一个存储元。
- 若干存储元构成一个存储单元。





2. 半导体存储器的分类

随机存取存储器(RAM)

■内存储器

只读存储器 (ROM)









随机存取存储器 (RAM)

静态存储器(SRAM)

RAM

动态存储器 (DRAM)







只读存储器 (ROM)

, * +

■ 只读存储器

掩模ROM

一次性可写ROM

EPROM

EEPROM



§ 5.2 随机存取存储器

掌握:

- SRAM与DRAM的主要特点
- 几种常用存储器芯片及其与系统的连接
- 存储器扩展技术

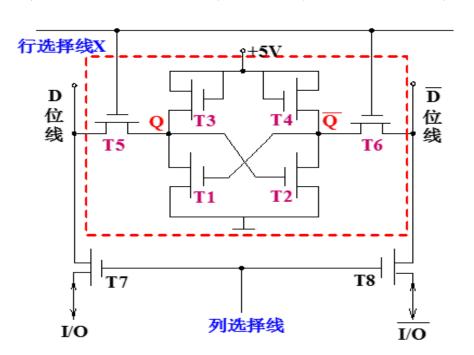




1. SRAM的特点



■ 存储元由双稳电路构成,存储信息稳定。



当Q=1,T2导通,则 $\overline{Q}=0$

- , T1截止。同样, T1导通
- , T2截止。

T1、T2构成双稳态触发器

- ,存储0与1。
- T3、T4为负载管,为触发器补充电荷。

T5、T6为门控管,与数据 线Di相连。

6管静态存储器单元电路电路组成与工作原理



■ 原理

输出: 当行选X=1(高电平),T5、T6导通,Q、Q就与Di与Di相连。 当这个单元被选中时,相应的列选Y=1,T7、T8导通(它们为一列公用),于是,Di, Di →输出。

*

与入:写入信号自Di(或Di)输入,此时,Di=1, Di=0, T5、T6、T7、T8都导通(因为X=1, Y=1)Di →T7→T5→Q=1; Di→T8→T6→Q=0.

■ 输入信息存储于T1、T2之栅极。因此,SRAM是靠MOS管组成的双稳态触发器的状态存储信息0和1的。应该指出,由于这是双稳态触发器,只要工作电压不存在,存储单元的状态就立即消失,当再次上电时,由于触发器的状态是不稳定的,所以原来的信息也不能恢复。





2. 典型SRAM芯片

掌握:

- 主要引脚功能
- 工作时序
- 与系统的连接使用

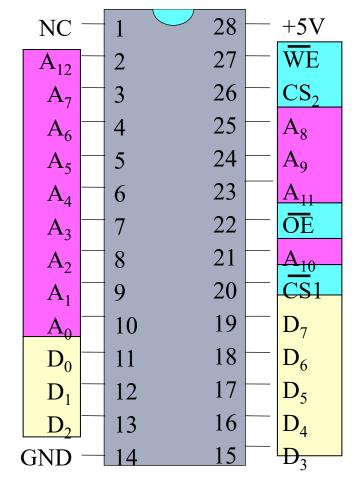




典型SRAM芯片-6264



■ **存储容量** 可寻址的单元数: 2¹³ = 8K 每单元数据位数: 8 容量=2¹³×8=8K×8 b



*₊



■ 工作方式

工作方式	CS1	CS2	WE	OE	D 7∼0
未选中	1	X	×	X	高阻
未选中	×	0	×	×	高阻
读操作	0	1	1	0	输出
写操作	0	1	0	1	输入

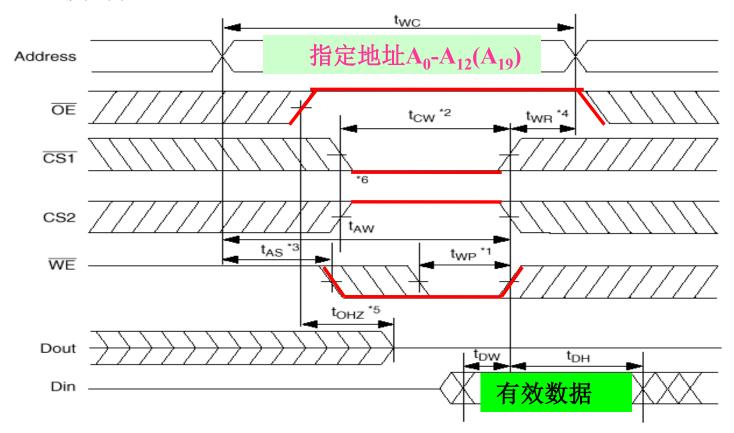




6264的工作过程

,†+

■ 写操作

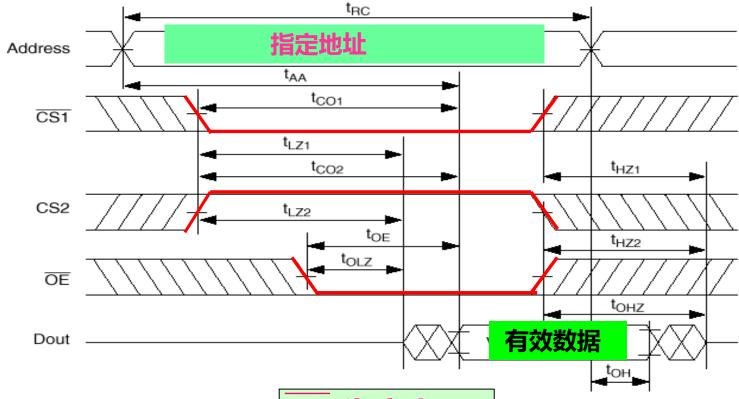








• 读操作



Note: $\overline{\text{WE}}$ is high for read cycle.

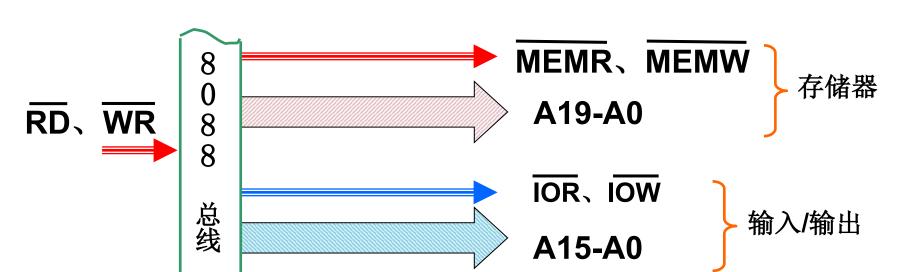




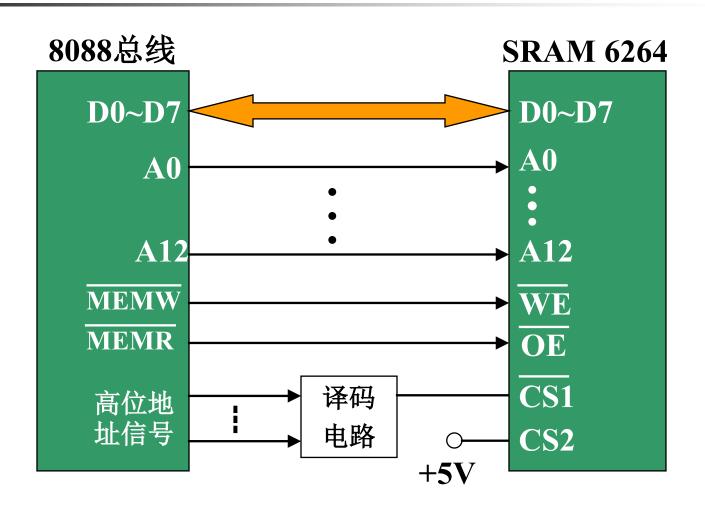




3.8088总线信号





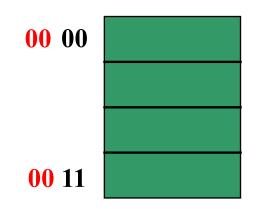


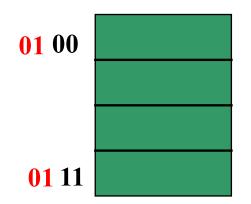
*

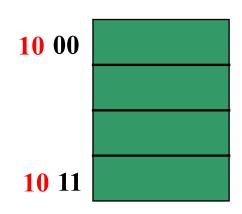




5. 存储器编址







存储器地址



高位地址(选片地 址)

低位地址(片内地 址) *



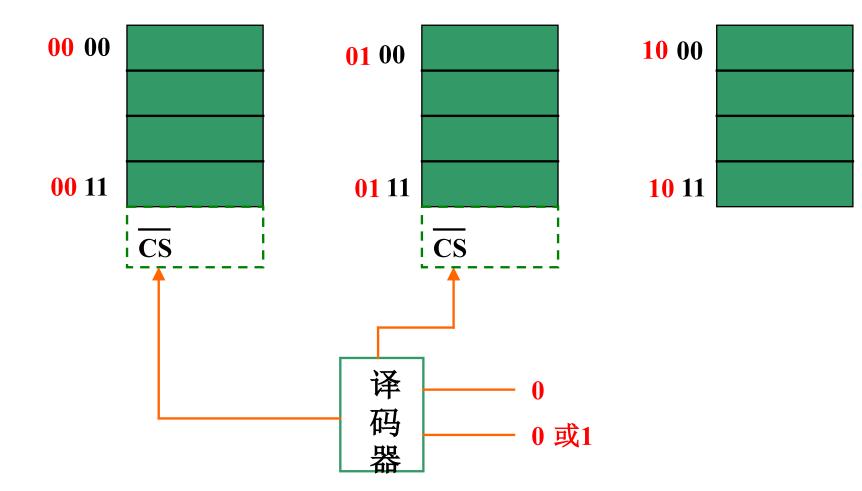


6264芯片的编址









++



- 将输入的一组高位地址信号通过变换,产生一个有效的输出信号,用于选中某一个存储器芯片,从而确定了该存储器芯片在内存中的地址范围。
- 将输入的一组二进制编码变换为一个特定 的输出信号。

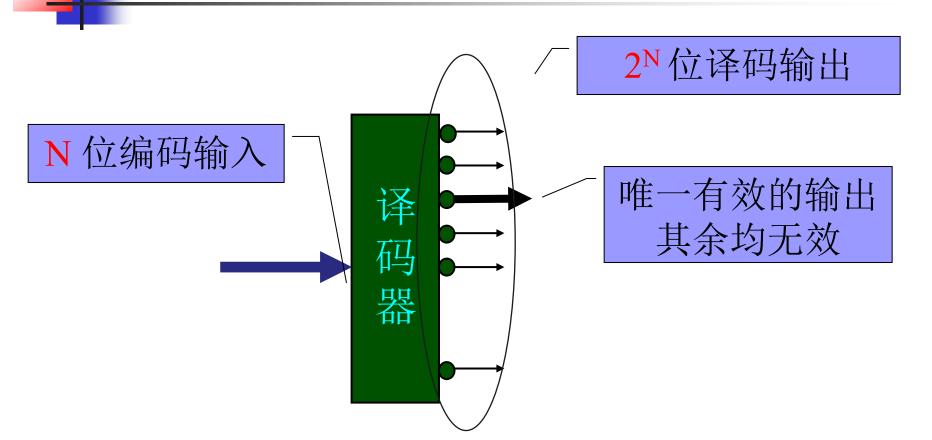














- 译码电路可以使用门电路组合逻辑
- 译码电路更多的是采用集成译码器
 - 常用的2:4译码器: 74LS139
 - 常用的3:8译码器: 74LS138
 - 常用的4:16译码器: 74LS154





逻辑门的表示符号

逻辑门	国家标准符号	旧教材使用符号
与门 Y=A \hat B	A	A B
或门 Y=A∨B	A	A D-Y
$Y = \overline{A}$	$A \longrightarrow Y$	A———Y
与非门 Y=A \lambda B	A & Y	A B
或非门 Y=AVB	A ≥1 >1 Y	A Do-Y



- 全地址译码
- ■部分地址译码
- 线选译码



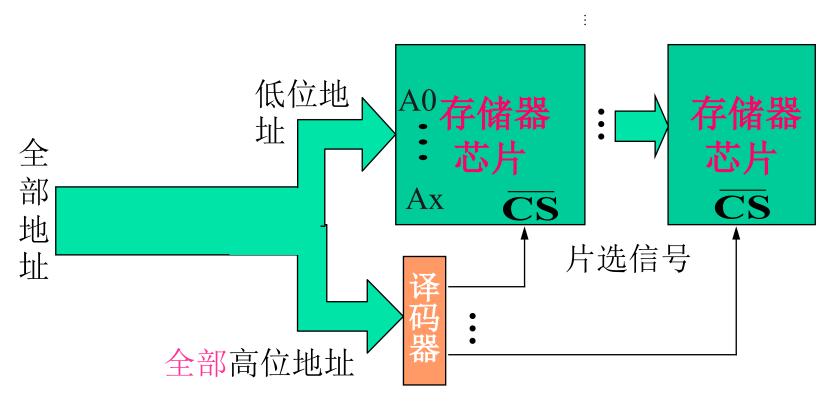
全地址译码



- 用全部的高位地址信号作为译码信号,使得存储器芯片的 每一个单元都占据一个唯一的内存地址。
- 优点:每个芯片的地址范围是唯一确定,而且各片之间是 连续的。
- 缺点:译码电路比较复杂。



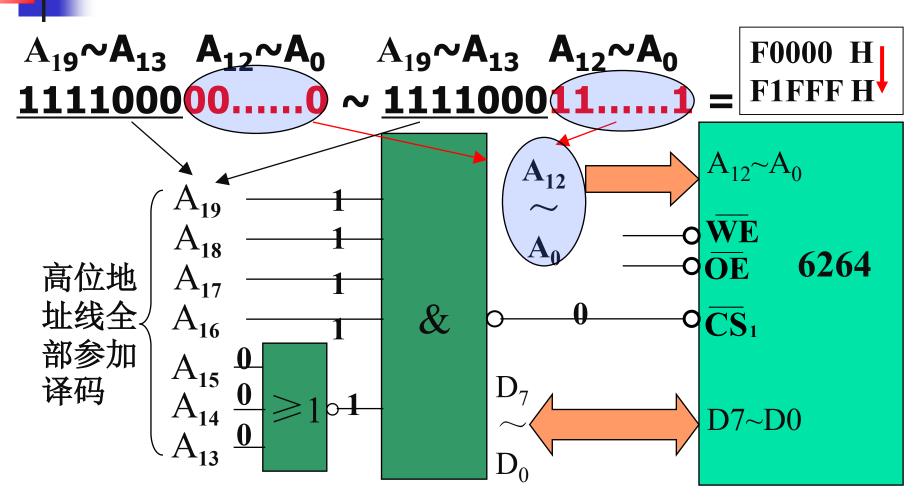
*****+



+

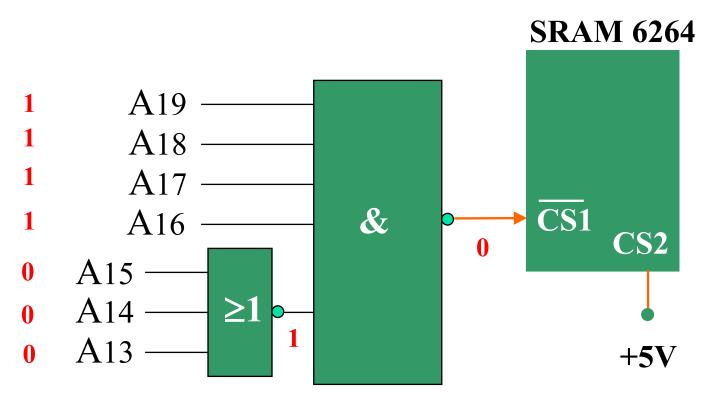


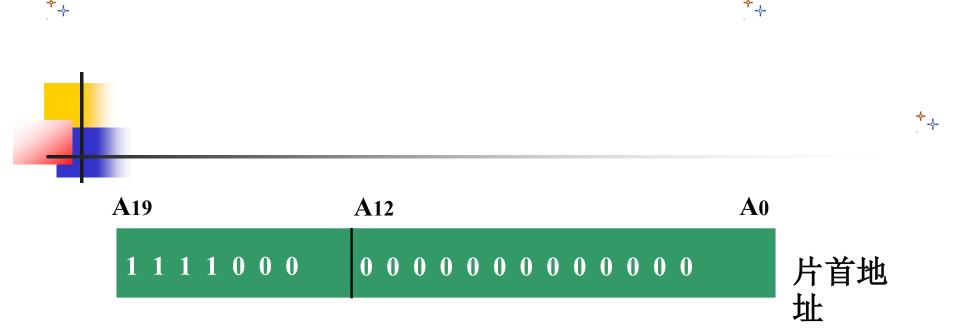
++



++





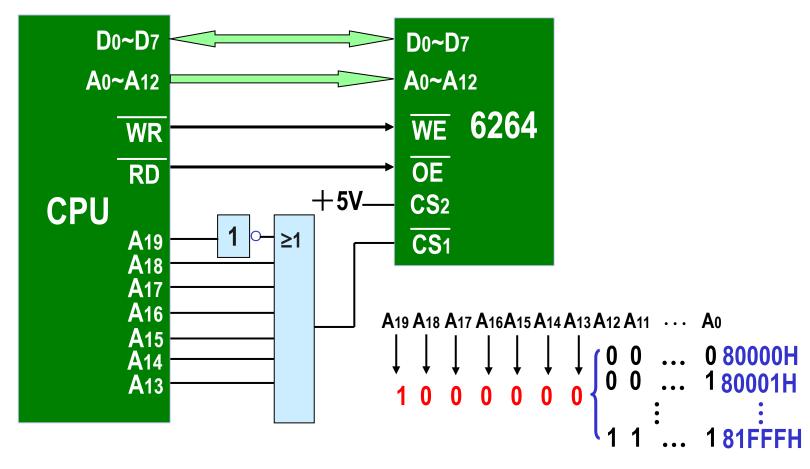




该6264芯片的地址范围 = F0000H~F1FFFH



++



++





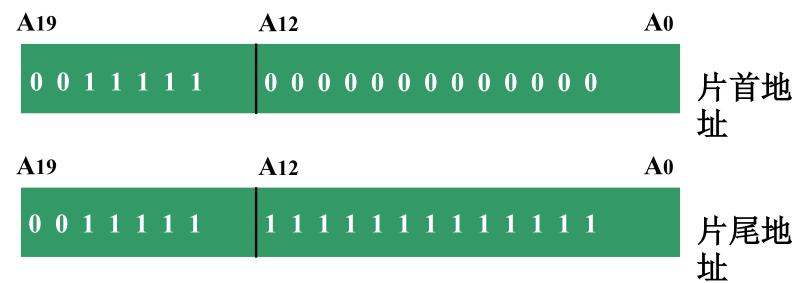
■ 试画出将该芯片连接到系统的译码电路。

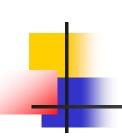
++



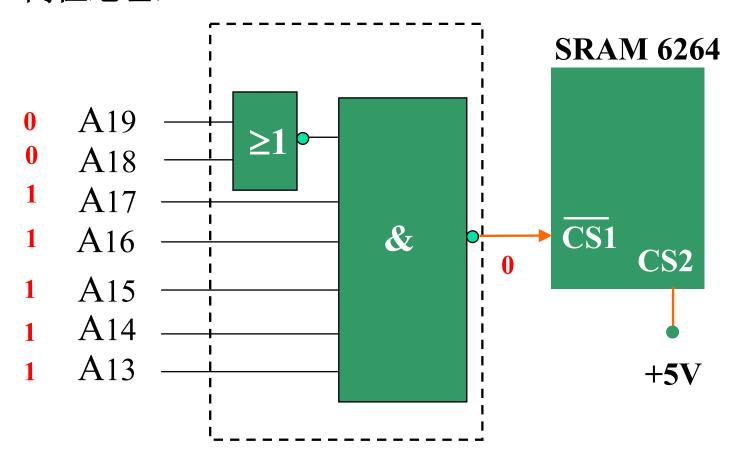
■ 设计步骤:

- 写出地址范围的二进制表示;
- 确定各高位地址状态;
- ■设计译码器。





高位地址: 0011111

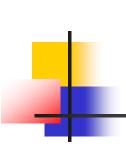


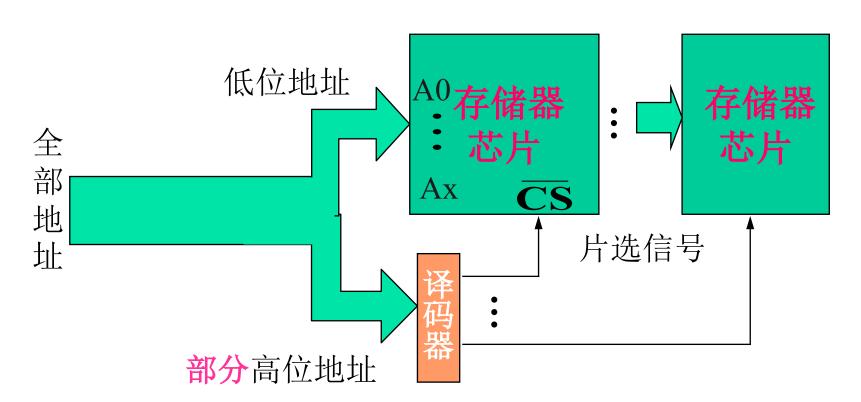


- 用部分高位地址信号(而不是全部)作为译码信号,使得被选中存储器芯片占有几组不同的地址范围。
- 优点:相比全地址译码,比较简单。
- 缺点: 存在地址重叠区



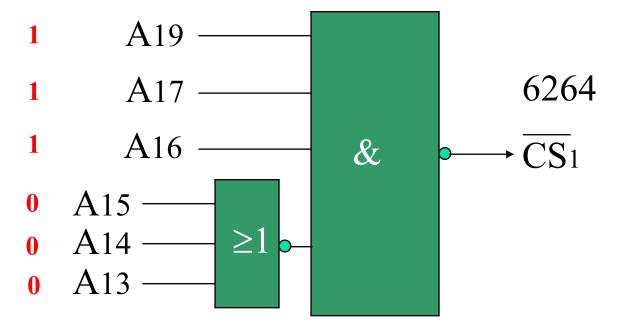






+





高位地址: 1×11000 —— 1011000, 1111000

两组地址: F0000H —— F1FFFH

B0000H — **B1FFFH**



■ 同一物理存储器占用两组地址:

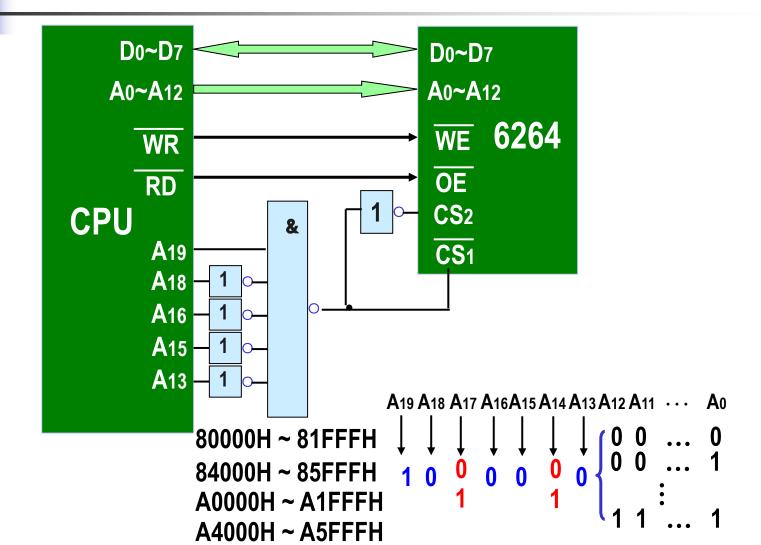
F0000H~F1FFFH B0000H~B1FFFH

A₁₈不参与译码(A₁₈=1/0=x)

此例使用高6位地址作为译码信号,从而使被选中芯片的每个单元都占有两个地址,即这两个地址都指向同一个单元。



++

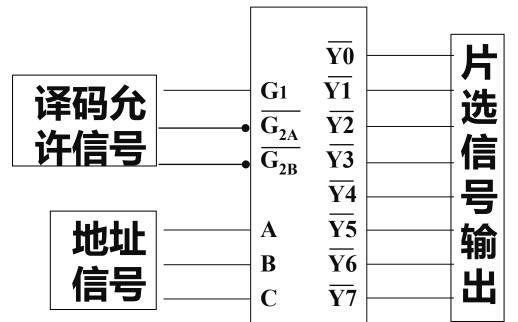


+





■ 使用74LS138译码器构成译码电路。



(接不同存储体)

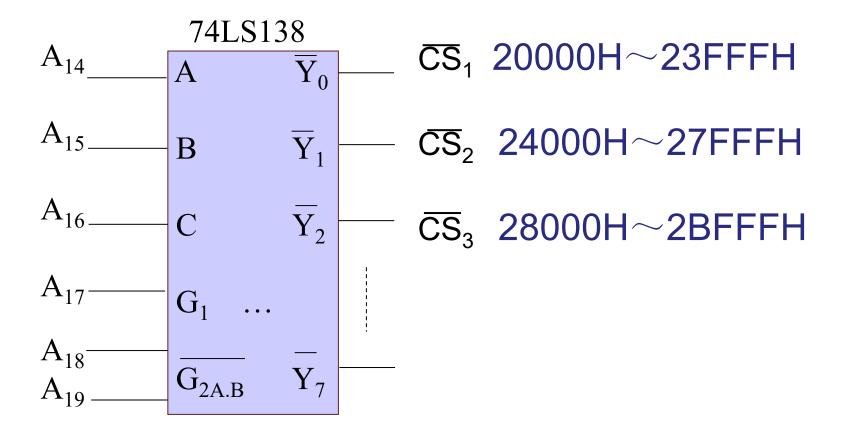
当译码允许信号有效时 ,Yi是输入A、B、C的 函数,即Y=f(A,B, C)。(注意:输出低电 平有效)

**

-	_												
G_1	$\overline{G_{2A}}$	\overline{G}_{2B}	С	В	A	Y0	<u> </u>	<u>¥2</u>	<u>¥3</u>	<u>¥4</u>	<u>¥5</u>	<u>76</u>	<u>77</u>
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	0	1	1	1	1	1	1	0	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0
其	它值	1	X	X	X	1	1	1	1	1	1	1	1

+

74LS138连接示例1

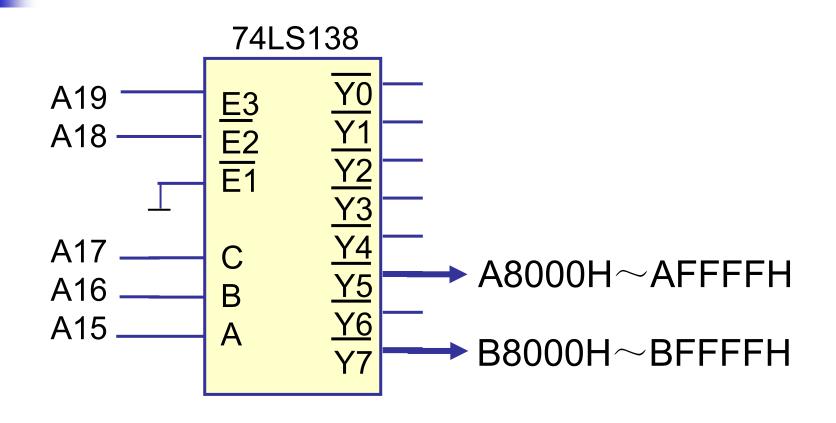




*****+

74LS138连接示例2





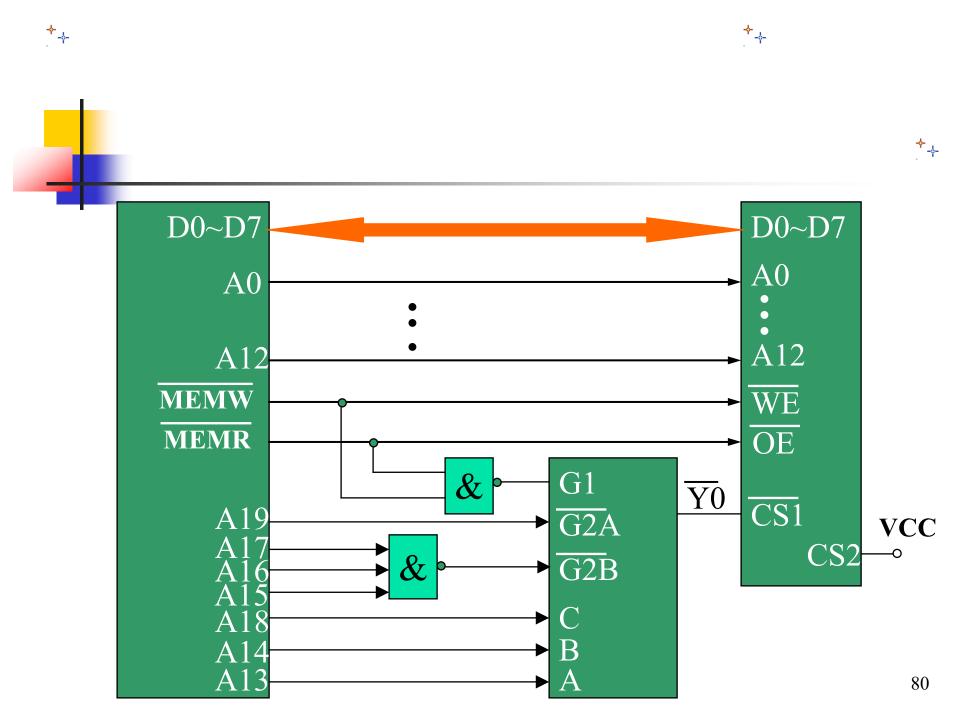


■ 由题知地址范围:

 A19
 A12
 A0

 0 0 1 1 1 0 0 0 ...
 0

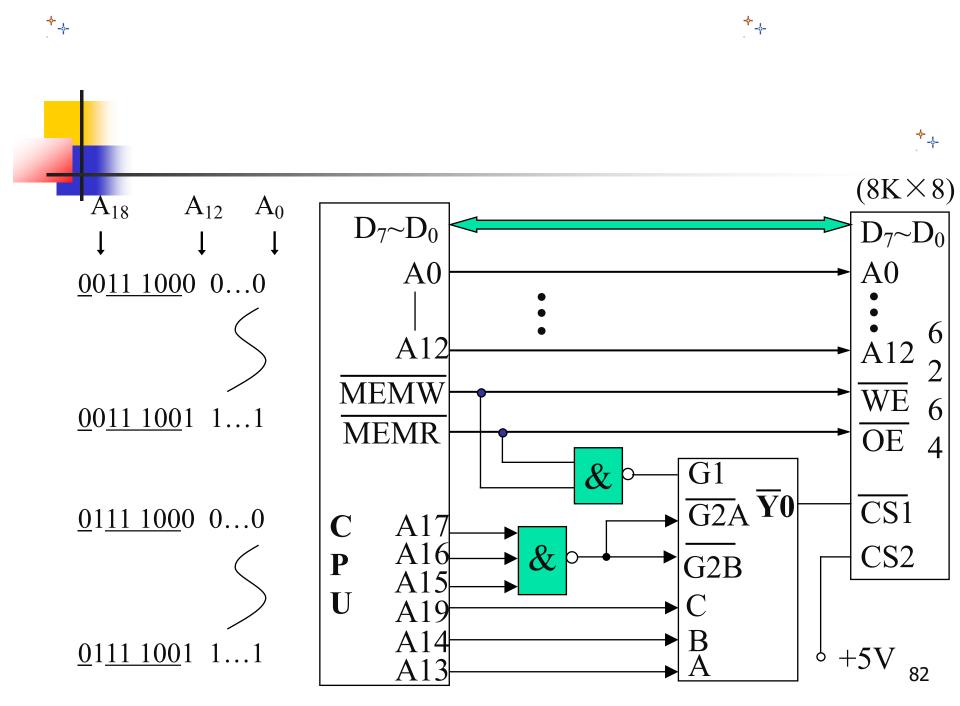
 高位地址





- 将SRAM 6264芯片与系统连接,使其地址范围 为: 38000H~39FFFH和78000H~79FFFH。
- 选择使用74LS138译码器构成译码电路。

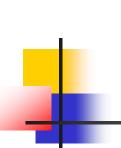
■ 下图中A₁₈不参与译码,故6264的地址范围为: 38000H~39FFFH, 78000H~79FFFH



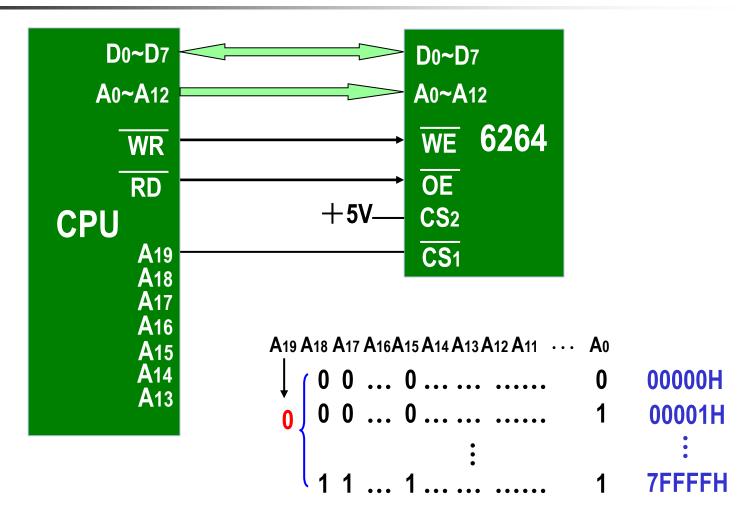
线选译码

除了存储器内部需要的地址信号线外,只用少数几根高位地址信号线<u>直接控制</u>存储器的片选端,进行芯片的译码,且每根负责选中一个芯片(组)。

- ●线选法节省译码电路,设计简单。
- ●存储器芯片中的一个存储单元有多个地址,地址空间严重浪费,多个存储单元共用的存储地址不应使用。



++



+

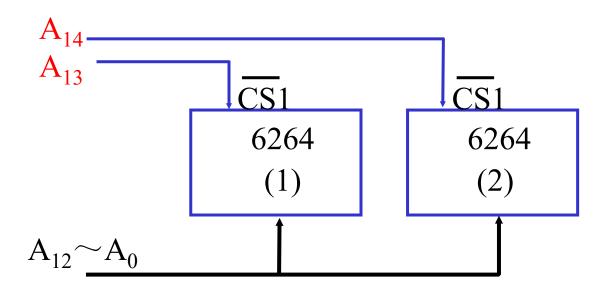
÷

切记: $A_{14} A_{13} = 00$ 的情况不能出现

00000H-01FFFH 的地址不可使用

++

线选译码示例



	$A_{19}^{\sim}A_{15}$	A ₁₄ A ₁₃	A_{12} \sim A_0	一个可用地址
1	$\times \times \times \times$	1 0	全0~全1	04000H \sim 05FFFH
2	×	0 1	全0~全1	02000H \sim 03FFFH
	$\times \times \times \times$			
	X			

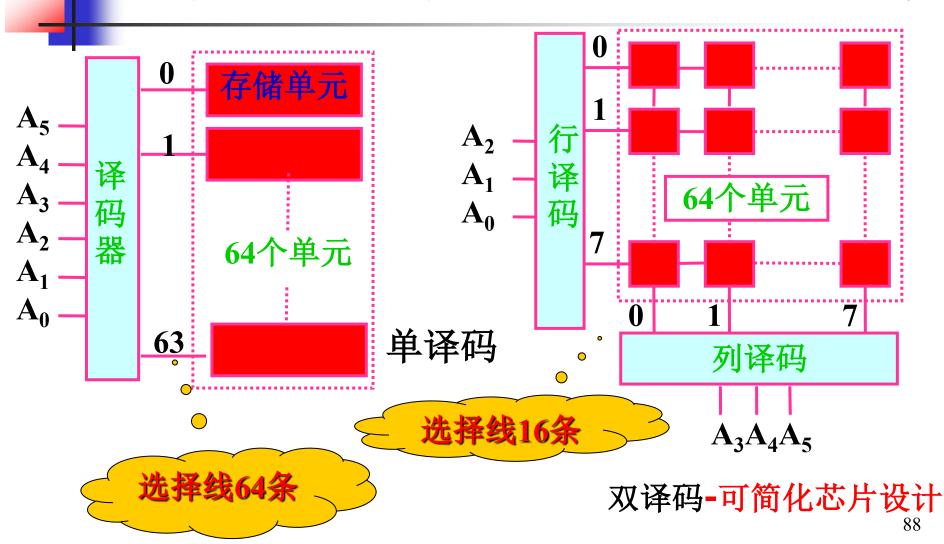
二、动态随机存储器DRAM

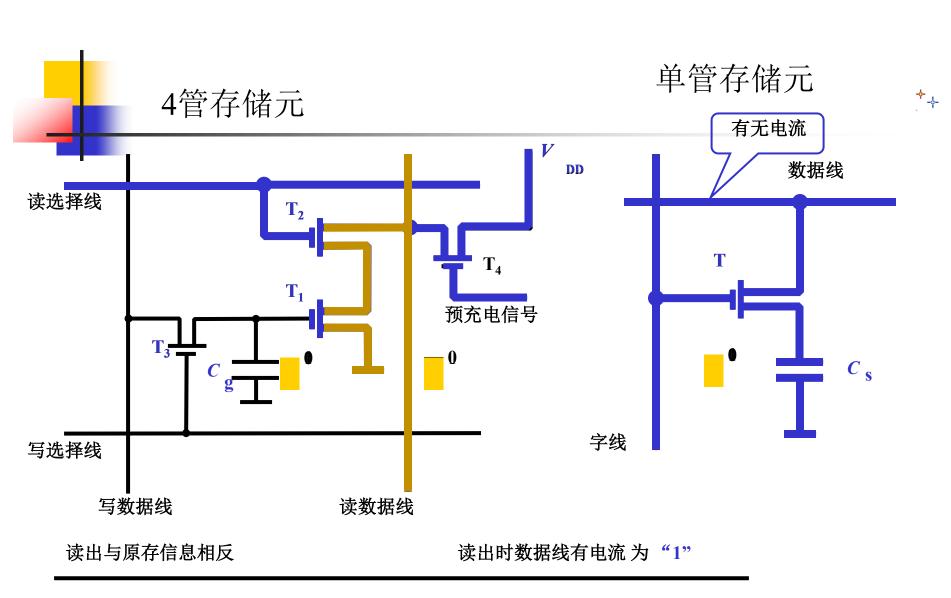


- 存储元主要由电容构成;
- 主要特点:
 - ■需要定时刷新。
 - 集成度高(存储容量大,可达1Gbit/片以上),功耗低,但速度慢(10ns左右)。
- 应用领域:
 - DRAM在微机中应用非常广泛,如微机中的内存条 (主存)、显卡上的显示存储器几乎都是用DRAM 制造的。

单译码和双译码

++





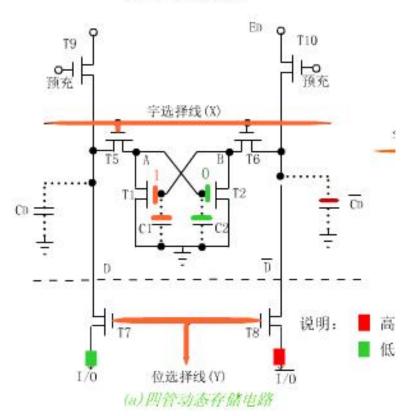
++











在六管静态存储元电路中,信息 暂存于 71, 72管的栅极,这是因为管 子总是存在着一定的电容。负载管 73 , 74是为了给这些存储电荷补充电荷 用的。

由于MOS的栅极电阻很高,故泄漏电流很小,在一定的时间内这些信息电荷可以维持住。为了减少管子以提高集成度,把负载管73,74去掉,这样变成了四管的动态存储电路。



地址线: A₇~A₀, 重 复使用,分二次接受 16位地址信号。

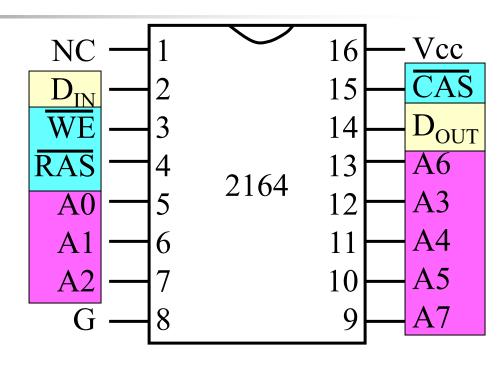
数据线: Dout输出, Din输入。

控制线:

行地址选通RAS

列地址选通CAS

读写信号WE



可寻址的单元数: 216 = 64K

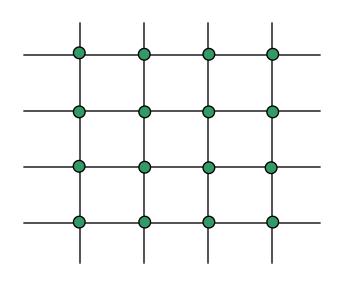
每单元数据位数:1

容量=2¹⁶×1=64K×1 b



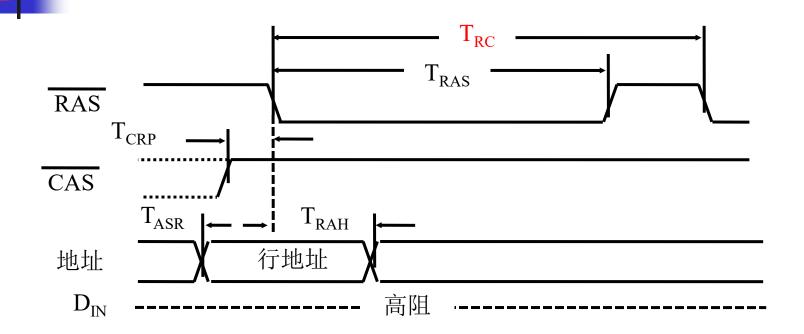


- 行列地址分时传送,共用一组地址信号线;
- 地址信号线的数量仅 为同等容量SRAM芯 片的一半。





工作原理-刷新

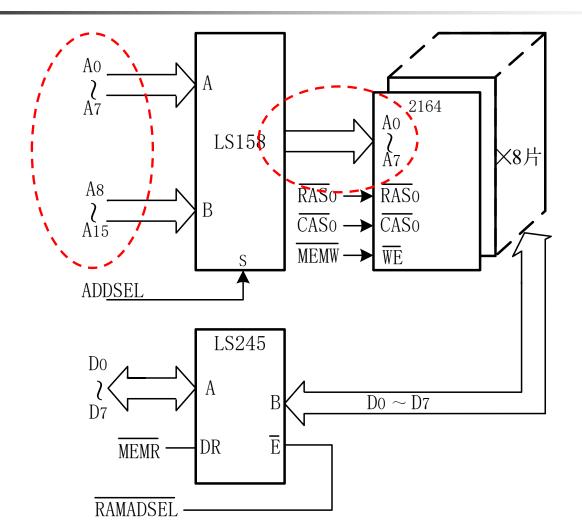


采用"仅行地址有效"方法刷新:行地址选通有效,传送行地址,列 选通信号无效,无列地址。芯片内部实现行存储单元的刷新;没有数 据输入输出;存储系统中所有芯片每隔固定时间同时进行刷新。 **+**+





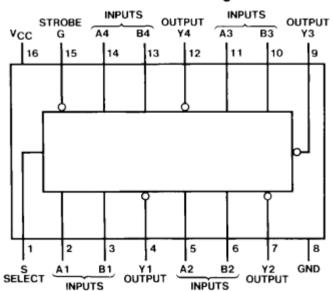
3. 2164A在系统中的连接







Dual-In-Line Package



	Inputs	Output Y			
Strobe	Select	Α	В	LS157	LS158
Н	X	X	X	L	Н
L	L	L	X	L	Н
L	L	Н	X	Н	L
L	Н	X	L	L	Н
L	Н	X	Н	Н	L

H = High Level, L = Low Level, X = Don't Care



■ DRAM 2164A与系统连接的几点说明:

- 芯片上的每个单元中只存放1位二进制码,每字节数据分别存 放在8片芯片中;
- 系统的每一次访存操作需同时访问8片2164A芯片,该8片芯片必须具有完全相同的地址;
- 芯片的地址选择是按行、列分时传送,由系统的低8位送出行 地址,高8位送出列地址。

■ 结论:

- 每8片2164A构成一个存储体(单独一片则无意义);
- 每个存储体内的所有芯片具有相同的地址(片内地址),应同时被选中,仅有数据信号由各片分别引出。







芯片	6116	6264	62256
地址线	$A_{10} \sim A_0$	$A_{12} \sim A_0$	$A_{14} \sim A_0$
数据线	$D_7 \sim D_0$	$D_7 \sim D_0$	$D_7 \sim D_0$
容量	$2K \times 8$	$8K \times 8$	$32K \times 8$

芯片	2114	2164	21256	
地址线	A_9 \sim A_0	$A_7 \sim A_0$	A_8 \sim A_0	
数据线	$D_3 \sim D_0$	$\mathrm{D}_{\mathrm{OUT}}$, D_{IN}	D_{OUT} , D_{IN}	
容量	$1K \times 4$	$64K \times 1$	$256K \times 1$	

三、存储器扩展技术



- 用多片存储芯片构成一个需要的内存空间;
- 各存储器芯片在整个内存中占据不同的地址范围;
- 任一时刻仅有一片(或一组)被选中。
- 存储器芯片的存储容量等于:

单元数×每单元的位数



+ +





2. 存储器扩展方法

,*+

- 字位扩展 —— 既扩展字长也扩展单元数

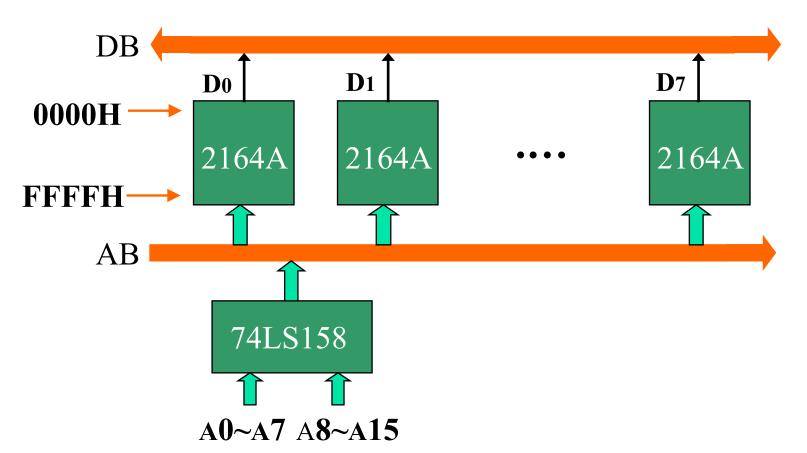


- 构成内存的存储器芯片的字长小于内存单元的字长时——需进行位扩展。
- 位扩展:每单元字长的扩展。

++

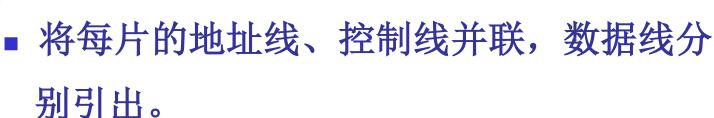


■ 用8片2164A芯片构成64KB存储器。



*+





- 位扩展特点:
 - 存储器的单元数不变,位数增加。

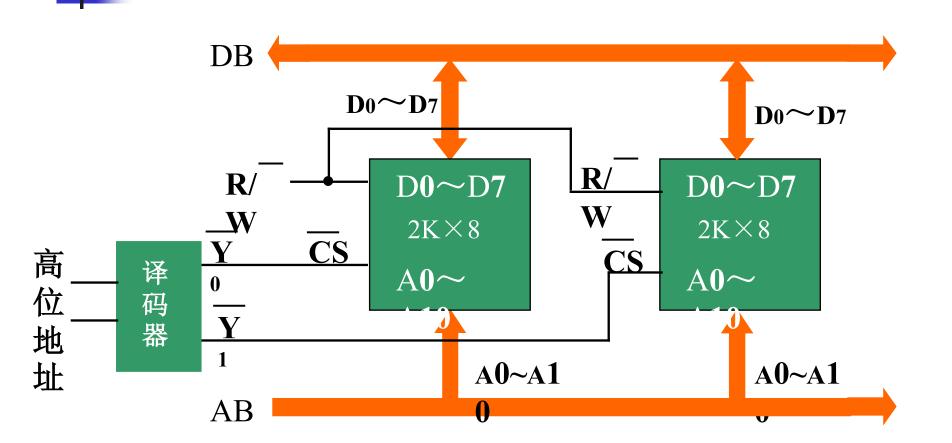


- 地址空间的扩展
 - 芯片每个单元中的字长满足,但单元数不满足。
- 扩展原则:
 - 每个芯片的地址线、数据线、控制线并联。
 - 片选端分别引出,以使每个芯片有不同的地址范围。

*







++



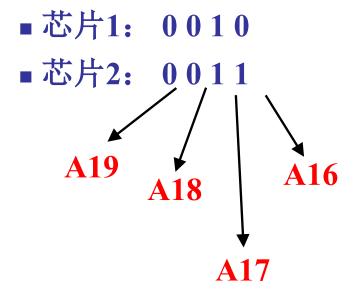
- 用两片64K×8位的SRAM芯片构成容量为 128KB的存储器
- 两芯片的地址范围分别为:
 - 20000H~2FFFFH
 - 30000H~3FFFFH

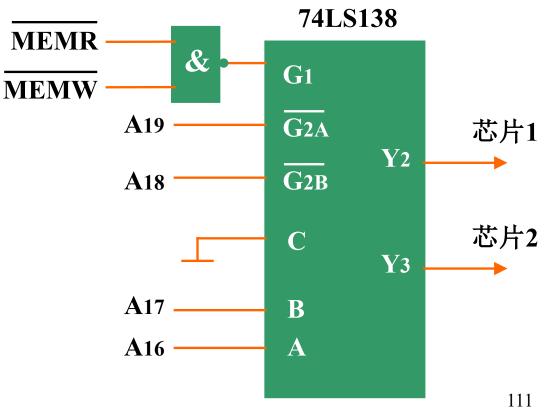
*





高位地址:





*



- 设计过程:
 - 根据内存容量及芯片容量确定所需存储芯片数;
 - 进行位扩展以满足字长要求;
 - 进行字扩展以满足容量要求。
- 若已有存储芯片的容量为L×K,要构成容量为M×N的存储器,需要的芯片数为:

 $(M/L) \times (N/K)$

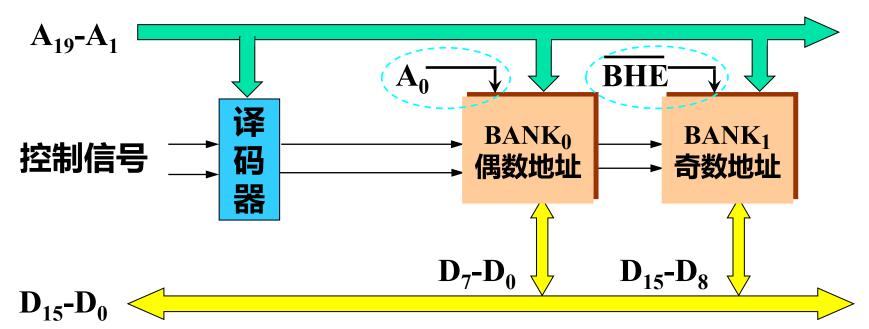




- 数据总线为16位:
- 偶地址存储体与16位数据线的低8位(D7-D0)连接
- 奇地址存储体与16位数据线的高8位(D₁₅-D₈)连接



20位地址线中的**19**条 (A_{19} - A_1)对两个存储体寻址,地址线中的 A_0 与偶地址存储体(片选)相连,当 A_0 =**0**时,选中偶地址存储体;CPU的引脚BHE与奇地址存储体(片选)相连,当BHE=**0**时,奇地址存储体被选中。





BHE	$\mathbf{A_0}$	操作
0	0	奇偶两字节同时传送
0	1	奇地址传送一个字节
1	0	偶地址传送一个字节
1	1	无操作

当读写16位数据时,如果低字节在偶地址存储体、高字节在奇地址存储体,则同时读写两个存储体,在一个总线周期内完成操作;如果低字节在奇地址存储体,高字节在偶地址存储体,则需要两个总线周期才能完成存取操作。



8086的存储器译码电路



两种译码方法:

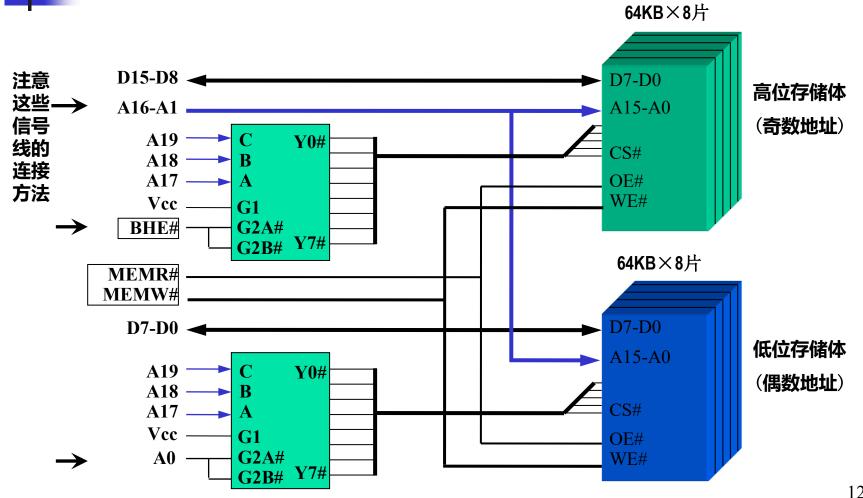
- 独立的存储体译码器
 - 每个存储体各用一个译码器
 - 缺点: 电路复杂,使用器件多
- 独立的存储体写选通
 - 译码器共用,但为各存储体产生独立的写控制信号
 - 电路简单,节省器件





1) 独立的存储体译码器

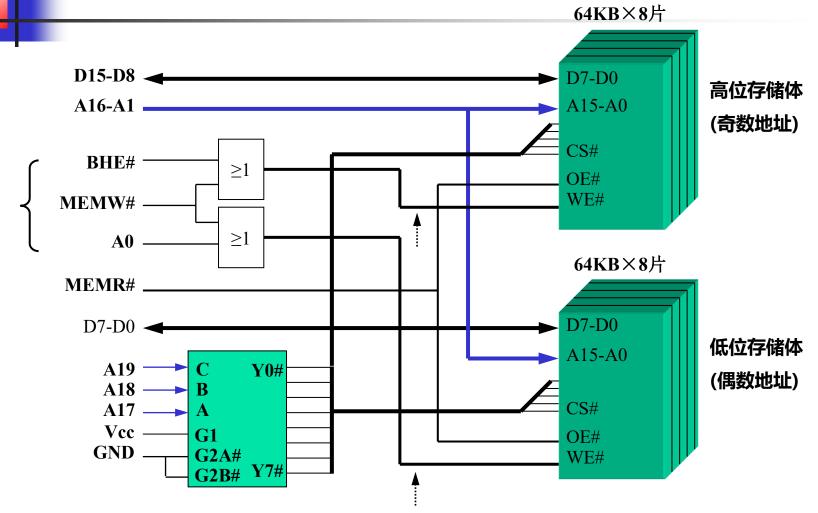








2) 独立的存储体写选通



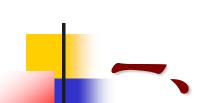
用不同的写控制信号, A₀=0选择偶地址, BHE#=0选择奇地址。





§ 5.3 只读存储器 (ROM)

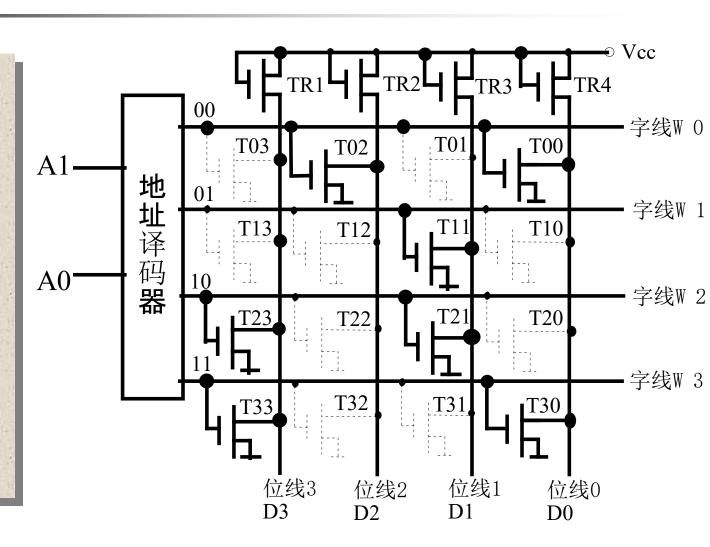
- ➤ 掩膜ROM (MROM)
- ➤ 一次可编程ROM (PROM)
- ▶紫外线可擦除可编程ROM (EPROM)
- ▶ 电可擦除可编程 ROM (E²PROM
- ➤ 闪速存储器 (Flash Memory)



掩膜ROM

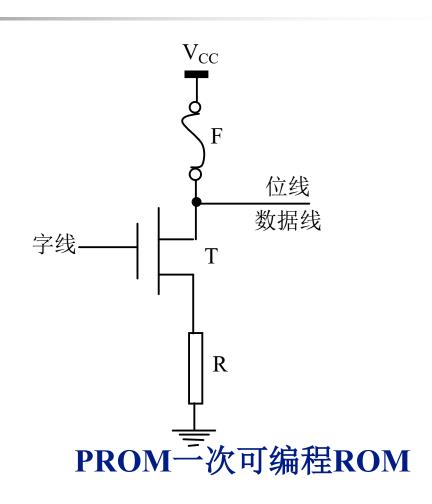
,**+**+

原理: 掩膜ROM 存储信息是靠 MOS管是否跨接 来决定 0、1的, 当跨接MOS管, 对应位信息为0, 当没有跨接(被 光刻而去掉), MOS的位置对应 的信息为1。



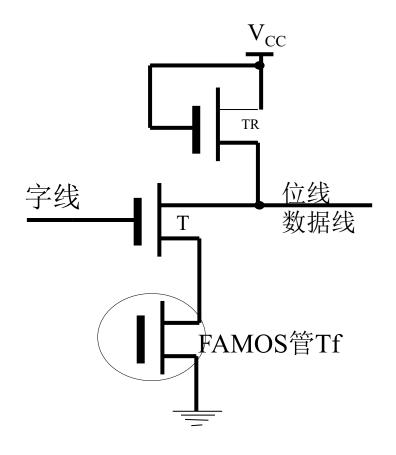


原理: PROM 是靠存储单元中的熔丝是否熔断决定信息0和1的, 当熔丝未断时, 信息为0, 熔丝烧断时信息记录1。





依靠FAMOS浮置栅是 否积累电荷存储信息0 和1的,当浮置栅有足 够的电荷积累时, 记录 的信息为0,没有一定 的电荷积累时,信息为





1. 特点

- 可多次编程写入;
- 掉电后内容不丢失;
- 内容的擦除需用紫外线擦除器。



2. EPROM 2764

- 8K×8bit芯片
- 地址信号: A0 —— A12
- 数据信号: D0 —— D7
- 输出信号: OE
- 片选信号: CE ____
- 编程脉冲输入: PGM
- 其引脚与SRAM 6264完全兼容.







地址信号 $A_{12}\sim A_0$ 数据线 $D_7\sim D_0$

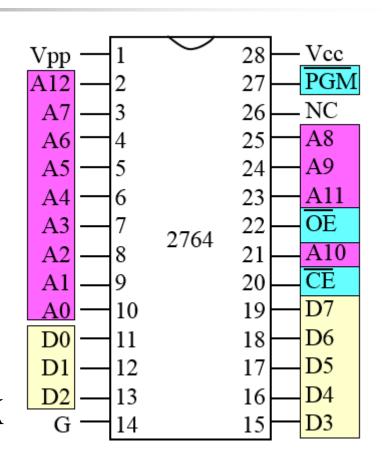
控制线:

片选 \overline{CE} 编程控制信号 \overline{PGM} 输出允许信号 \overline{OE}

可寻址的单元数: 2¹³ = 8K

每单元数据位数:8

 $=2^{13} \times 8 = 8 \text{KB}$



++



2764的工作方式

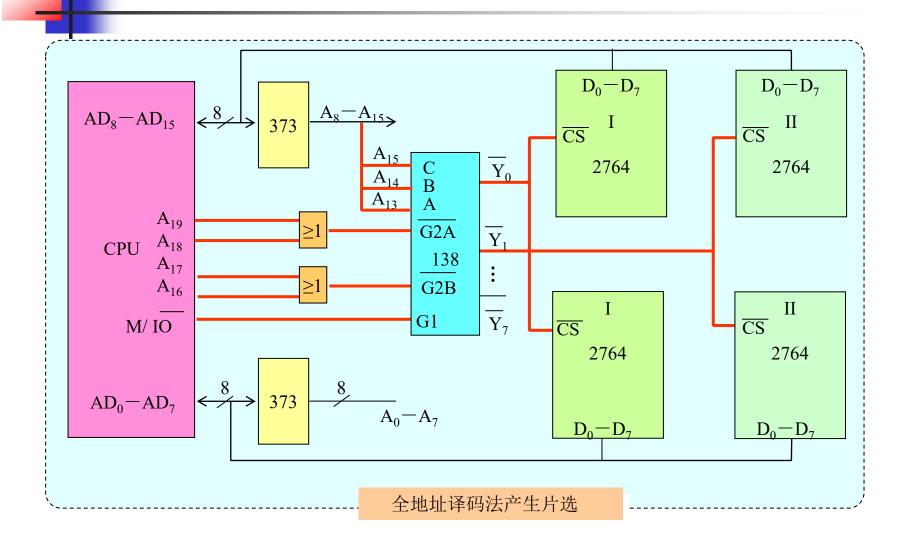
数据读出 编程写入 标准编程方式 快速编程方式 擦除

编程写入:

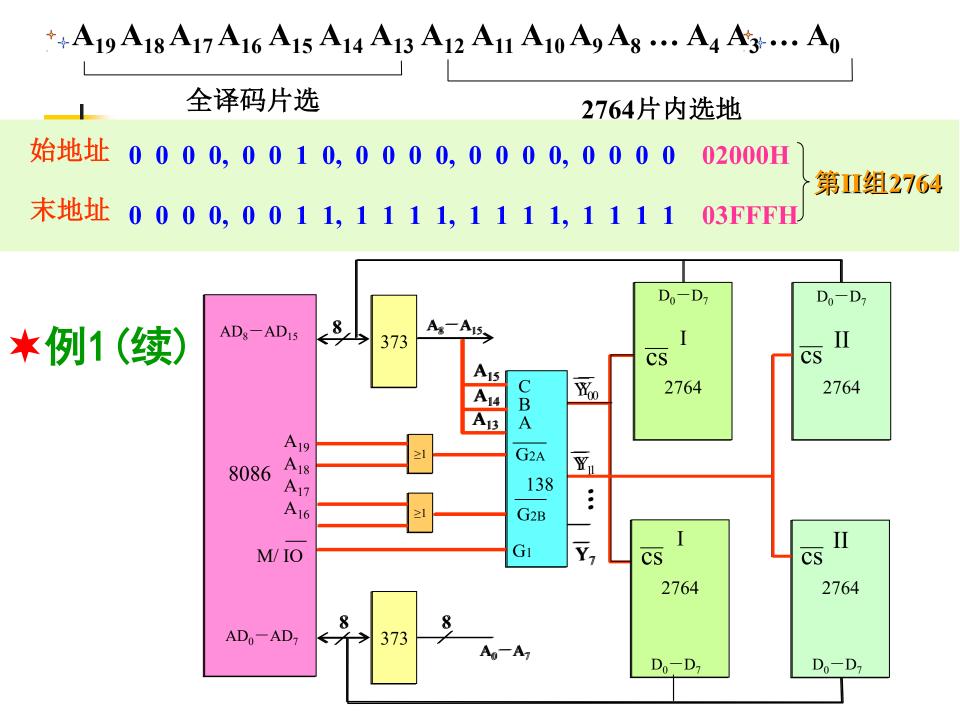
每出现一个编程负脉冲就写入一个字节数据

例1

++



+

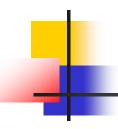




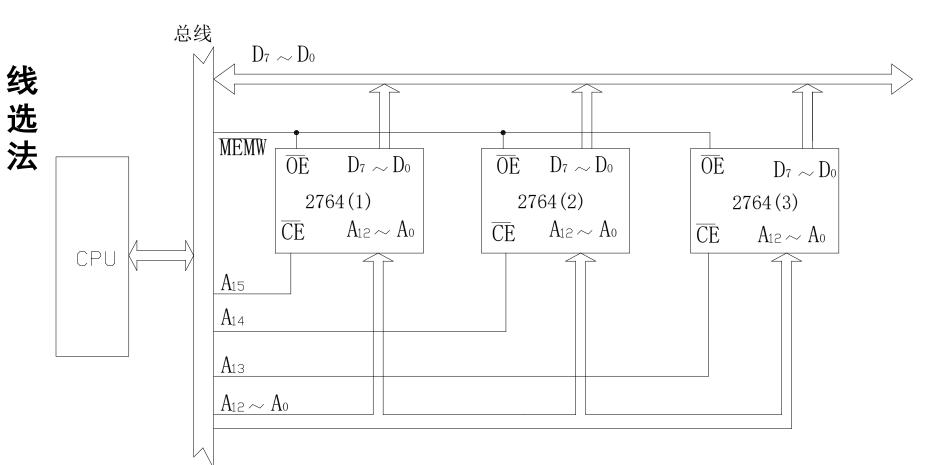
■ 试计算图中3片EPROM 2764的寻址空间: 设系统有16位地址线A15~A0,而存储器本身使用的地址为A12~A0。用3条高位地址线A15、A14、A13分别做3片2764的片选信号。







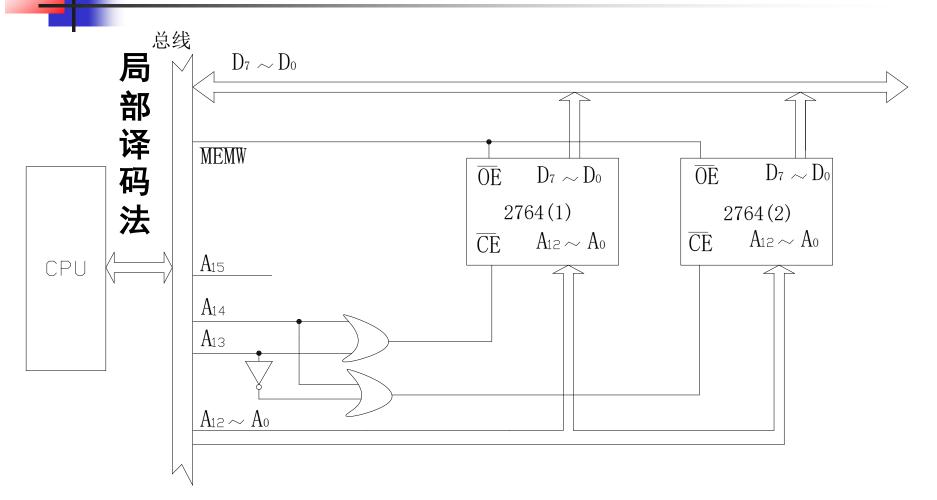
,*+



4													***
存储器	$\begin{vmatrix} A_{15}A_{14}A \\ A_0 \end{vmatrix}$	A ₁₃ A ₁₂	A ₁₁ A	\ ₁₀	<mark>Д</mark> 9 Д	A ₈ A ₇	, A ₆	A ₅	, A ₄	A_3	A ₂	A ₁	寻址空间
	0 × ×	0 0	0	0	0	0 0	0	0	0	0	0	0	0000H~1FFFH
2764	$0 \times \times$	0 0	0	0	0	0 0	0	0	0	0	0	1	或2000H~3FFFH
(1)			ł										或4000H~5FFFH
	$0 \times \times$	1 1	1	1	1 1	1 1	1	1	1	1	1	1	或6000H~7FFFH
	\times 0 \times	0 0	0	0	0 (0 0	0	0	0	0	0	0	0000H~1FFFH
2764	\times 0 \times	0 0	0	0	0	0 0	0 (0	0	0	0	1	或2000H~3FFFH
(2)			i										或8000H~9FFFH
	\times 0 \times	1 1	1	1	1	1 1	1	1	1	1	1	1	或000H~BFFFH
	$\times \times 0$	0 0	0	0	0 (0 (0	0	0	0	0	0	0000H~1FFFH
2764	$\times \times 0$	0 0	0	0	0 (0 0	0	0	0	0	0	1	或4000H~5FFFH
(3)			į										或8000H~9FFFH







+



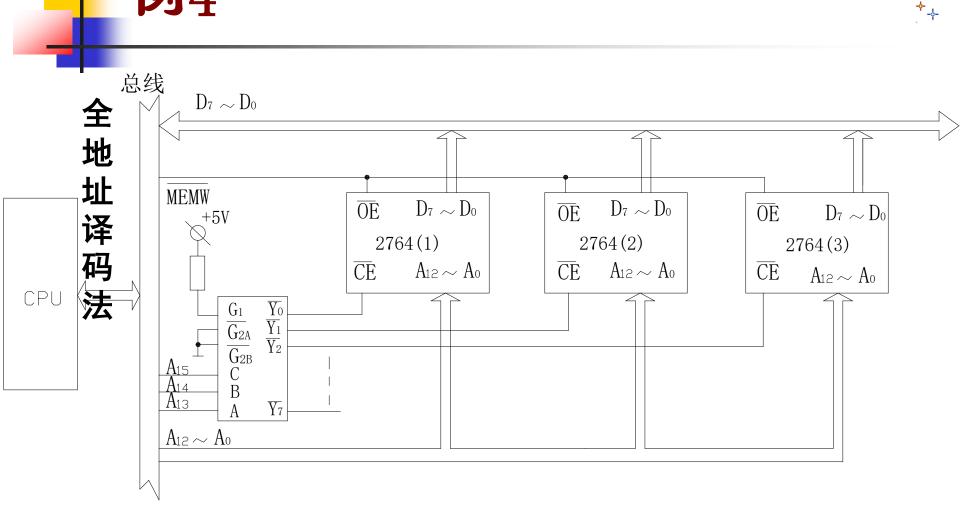


存储器	A ₁₅	A ₁₄	A ₁₃	, A ₁	₂ A ₁	₁₁ A ₁	₀ A ₀	₉ A ₈	8 A.	₇ A ₆	A ₅	A_4	A_3	A_2	A ₁	A_0	寻址空间
	×	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000H~7FFFH
2764	×	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	
(1)											į						或
	×	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	8000H~9FFFH
	X	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	2000H~3FFFH
	×	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1	
2764											į						或
(2)	×	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	A000H~BFFFH



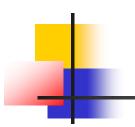


1列4











存储器	$A_{15}A_{14}A_{13} A_{12}A_{11}A_{10}A_{9} A_{8} A_{7}A_{6} A_{5}A_{4} A_{3} A_{2} A_{1}A_{0}$	寻址空间
	0 0 0 0 0 0 0 0 0 0 0 0 0	
2764	0 0 0 0 0 0 0 0 0 0 0 0 1	0000H~1FFFH
(1)	į	
	0 0 0 1 1 1 1 1 1 1 1 1 1 1	
	0 0 1 0 0 0 0 0 0 0 0 0 0 0	
2764	0 0 1 0 0 0 0 0 0 0 0 0 0 1	2000H~3FFFH
(2)	ļ	
	0 0 1 1 1 1 1 1 1 1 1 1 1 1	
	0 10000000000000	
2764	0 1 0 0 0 0 0 0 0 0 0 0 1	4000H~5FFFH
(3)		
	0 1 0 1 1 1 1 1 1 1 1 1 1 1	

二、EEPROM





1. 特点

- 可在线编程写入;
- 掉电后内容不丢失;
- ■电可擦除。

*

2. 典型EEPROM芯片98C64A

- 8K×8bit芯片;
- 13根地址线(A0 —— A12);
- 8位数据线 (D0 —— D7);
- 输出允许信号(OE);
- 写允许信号(WE);
- 选片信号(CE);
- 状态输出端(READY / BUSY)。





数据读出

入一页(1~32字节)



- 可通过程序实现对芯片的读写;
- 仅当READY / BUSY=1时才能进行"写" 操作
- "写"操作的方法:
 - 根据参数定时写入
 - 通过判断READY / BUSY端的状态进行写入
 - 仅当该端为高电平时才可写入下一个字节。





特点:

通过向内部控制寄存器写入命令的方法 来控制芯片的工作方式。



工作方式

读单元内容

数据读出 读内部状态寄存器内容 读芯片的厂家及器件标记

编程写入:数据写入,写软件保护

字节擦除,块擦除,片擦除、擦除挂起

五、铁电和磁性存储器

传统半导体存储器的缺点:不可能既具有非易失性,又可快速无限多次读写。

铁电随机存储器(FRAM=Ferroelectric RAM)和磁性随机

存储器(MRAM= Magnetic RAM),解决了传统半导体 存储

器没有解决的问题。



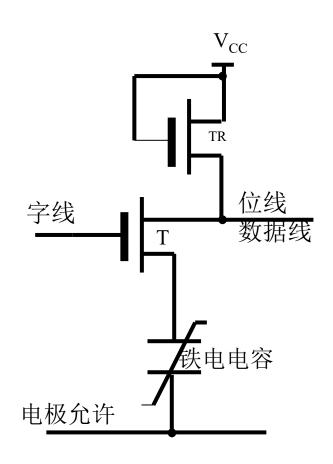


核心技术:

FRAM的核心技术是铁电晶体材料。这一特殊材料使得铁电存储器同时拥有随机存取存储器(RAM)和非易失性存储产品的特性。

工作原理:

当一个电场被加到铁电晶体时,中心原子顺着电场的方向在晶体里移动。 当原子移动时,它通过一个能量壁垒, 从而引起电荷击穿。 内部电路感应到电 荷击穿并设置存储器。移去电场后,中心原子保持不动,存储器的状态也得以 保存。





FRAM产品有两种基本形式,一种是并行结构,一种是串行结构。

并行结构的FRAM与容量相同的SRAM芯片引脚兼容,如FM1808与

62256兼容;串行结构的FRAM与同容量的串行E²PROM引脚兼容

,如FM24C64与AT24C64兼容。



工作原理:

- (1) MRAM工作的基本原理与硬盘类似,数据以磁性的方向为依据,存储为0或1。
- (2) MRAM的磁介质与硬盘有着很大的不同。它的磁密 度要大得多,也相当薄,因此产生的自感和阻尼要少得 多,这是MRAM速度大大快于硬盘的重要原因。
- (3) 当进行读写操作时,MRAM中的磁极方向控制单元会使用相反的磁力方向,以便能同时进行读写操作,不延误时间,因此速度快。







IBM PC/XT存储器的空间分配



RAM⊠
640KB

保留区 128KB

ROMX 256KB

00000H

9FFFFH

BFFFFH

FFFFFH



本章主要应掌握的知识点

, +

- 译码电路设计
- 半导体存储器系统设计
 - SRAM存储器系统设计
 - EPROM和EEPROM与系统的连接及其读操作或读、 写操作。



第5章应注意的几点



■ 基本概念:

- 不同半导体存储器的特点及应用场合
- Cache的基本概念

■ 系统设计:

- 存储器芯片与系统的连接
- 译码电路及其他控制信号
- 存储器扩展技术

能够设计出所需 要的内存储器