**数字电路实验报告（五）**

|  |  |  |  |
| --- | --- | --- | --- |
| 姓名： | 马福泉 | 学号： | 23336179 |
| 实验地点： | 丰盛堂c503 | 实验时间： | 2024.5.11 |

**实验五 译码器电路原理及应用**

**一、实验目的**

1. 熟悉译码器的功能与使用方法。

2. 掌握用中规模集成电路（MSI）设计的组合逻辑电路的方法。

**二、实验仪器及器件**

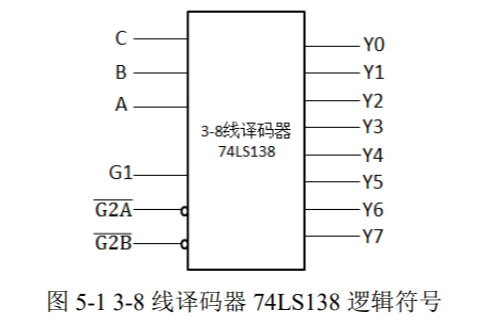
1. 数字电路实验箱、逻辑分析仪。

2. 器件：74LS00，74LS197，74LS138

**三、实验原理**

1. 74LS138（3-8 线译码器）

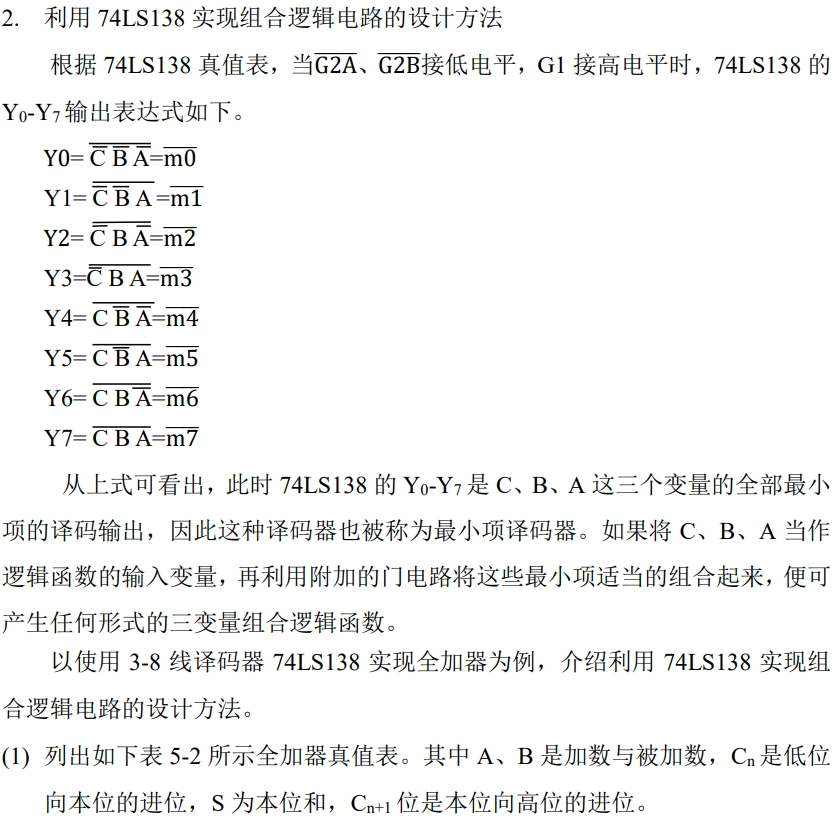
译码器可将每个输入的二进制代码译成对应的输出高、低电平信号。如下图 5-1 所示为 3-8 线译码器 74LS138 的逻辑符号。G2A ̅̅̅̅̅̅、̅G2B ̅̅̅̅̅是 74LS138 的使能端， 低电平有效。C、B、A 和 G1 是 74LS138 的输入引脚，与输出引脚 Y0-Y7 满足 真值表所列 3-8 线译码器逻辑关系。

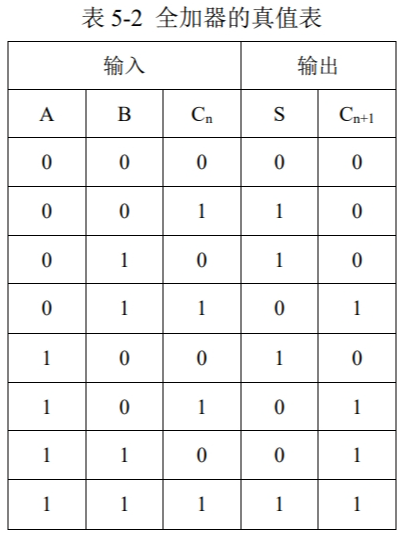
****

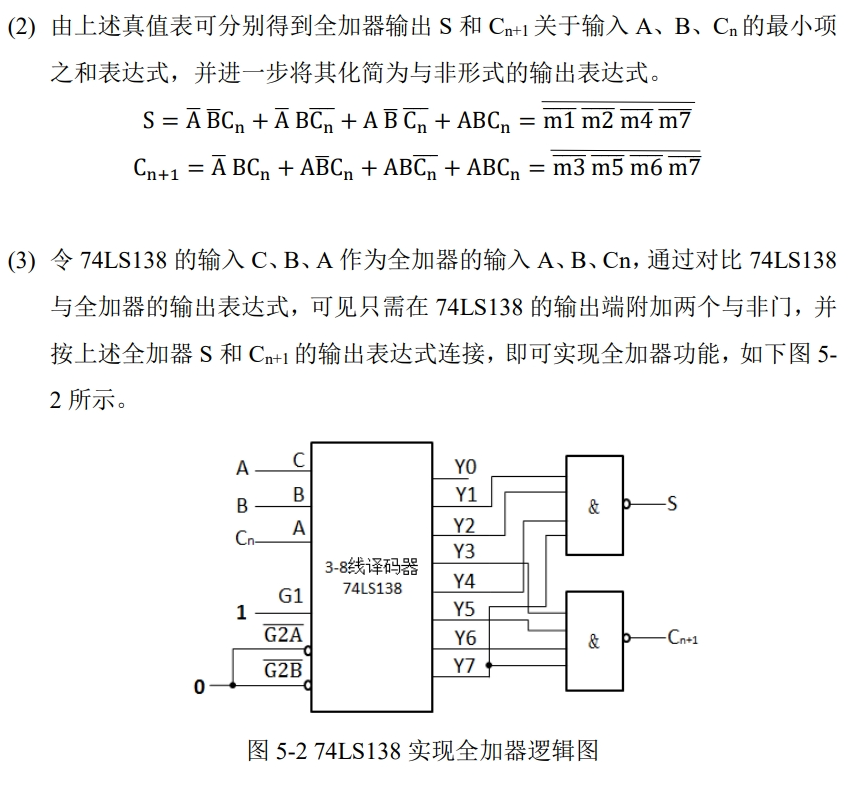
如表 5-1 所示为 3-8 线译码器 74LS138 的真值表，此时G2A ̅̅̅̅̅̅、̅G2B ̅̅̅̅̅接低电平， G1 接输入（数据）信号 D。

****

从上表可以看出，当G2A ̅̅̅̅̅̅、̅G2B ̅̅̅̅̅接低电平时，即芯片的使能端接有效选通信 号时，74LS138 将 G1 送来的输入（数据）信号 D 通过 C、B、A 输入（地址） 信号所指定的一根输出线反相后送出去。

****

****

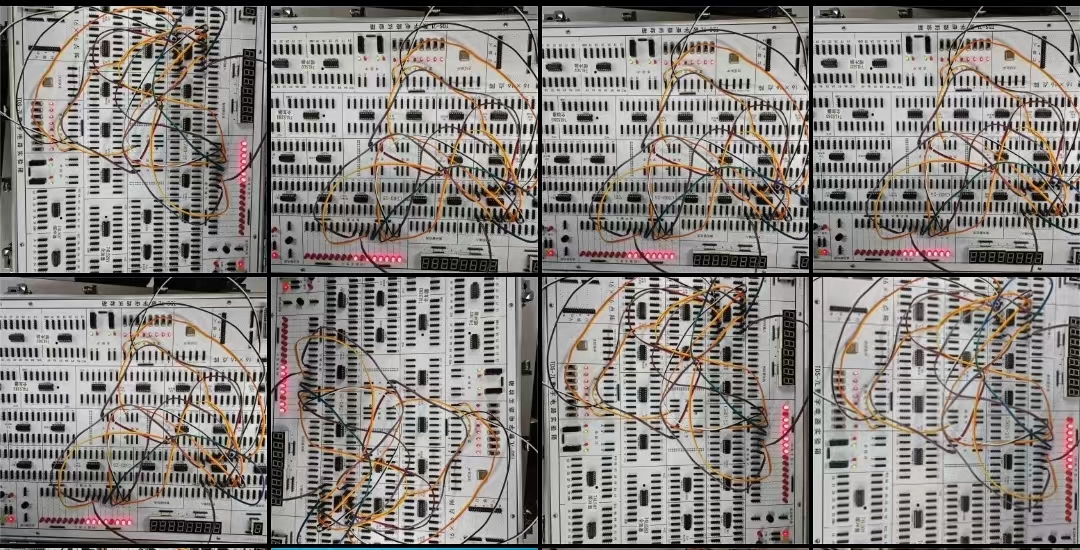
****

**四、实验过程与结果**

1. 对 74LS138 进行静态测试。

将 74LS138 的使能端G2A ̅̅̅̅̅̅、G2B ̅̅̅̅̅接低电平，使用 实验箱上的模拟开关作为 74LS138 的输入 C、B、A 和 G1，并把 74LS138 的 输出 Y0-Y7 接 LED“0-1”显示器，按照真值表对电路进行静态测试，检查 74LS138 是否正常工作。

实验结果如下，74LS138正常工作。



2. 对 74LS138 进行动态测试。

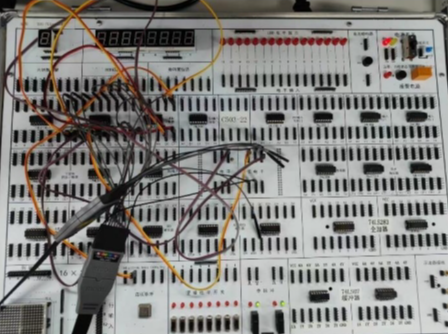
(1) 将实验箱上 74LS197 构成的十六进制计数器作为 74LS138 的输入信号源， 将 74LS197 的输出 Q3、Q2、Q1 和 Q0 接“0-1”显示器，CP0 接手动负脉冲 （74LS197 是下降沿触发的异步计数器），测试十六进制计数器是否工作正 常。

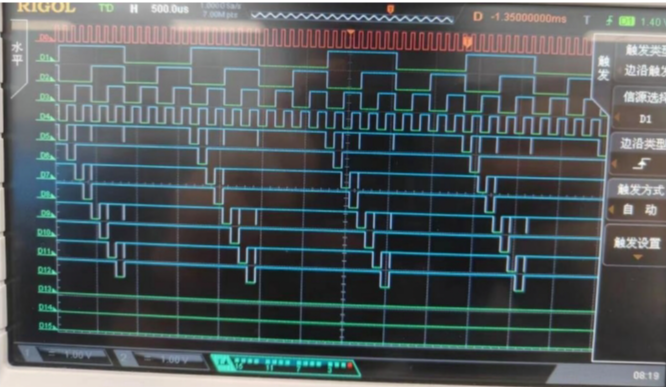
(2) 将 74LS138 的使能端G2A ̅̅̅̅̅̅、̅G2B ̅̅̅̅̅接低电平；

(3) 将 74LS197 的 CP0 接 10KHz 连续脉冲，74LS197 的输出端 Q3、Q2、Q1、 38 实验五 译码器电路原理及应用 Q0 依次与 74LS138 的输入端 G1、C、B、A 相连。使用示波器数字通道观测 并记录 CP0、 G1、C、B、A 和 Y0 、 Y1 、Y2 、Y3 、Y4 、 Y5 、 Y6 、 Y7 波形，分析波形之间的相位关系;

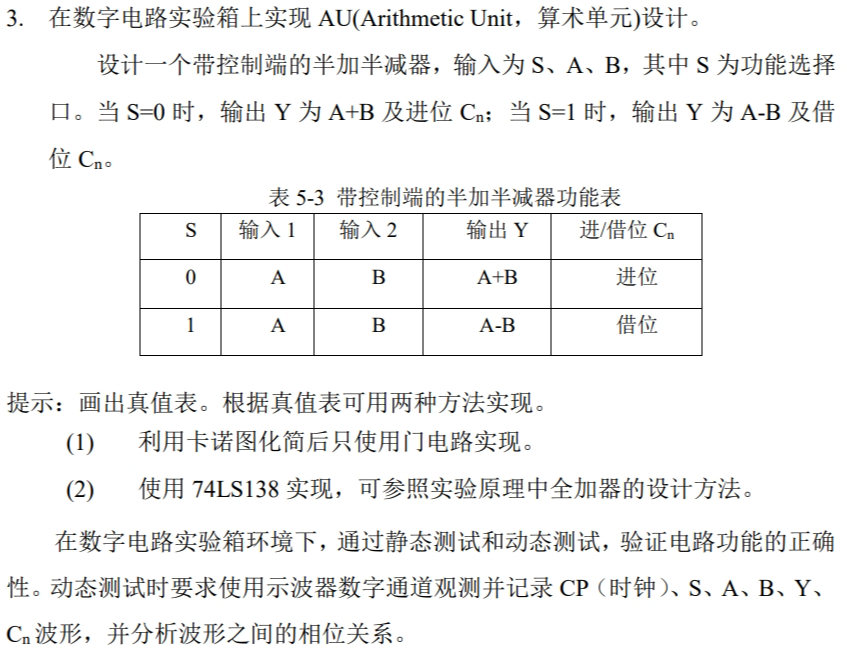
(4) 将 74LS197 的 CP0 接 10KHz 连续脉冲，将 74LS138 的 G1 接高电平，G2A ̅̅̅̅̅̅、 ̅G2B ̅̅̅̅̅均与 74LS197 的输出端 Q3 相连， 74LS197 输出端 Q2、Q1、Q0 依次与 74LS138输入端C、B、A相连。使用示波器数字通道观测并记录CP0、 G2A ̅̅̅̅̅̅、 ̅G2B ̅̅̅̅̅、C、B、A 和 Y0 、 Y1 、Y2 、Y3 、Y4 、 Y5 、 Y6 、 Y7 波形， 分析波形之间的相位关系。

动态测试结果如下：



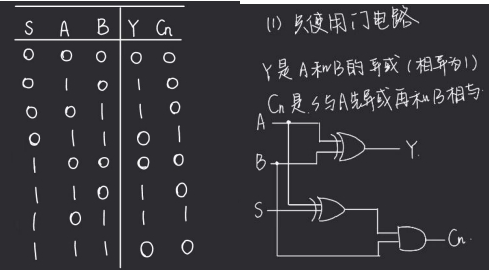


D0 为时钟信号 CP0，D1 为 G2A，D2 为 G2B，D3-5 分别为 C、B、 A，D6-D13 分别为 Y0-Y7 波形 经与真值表对照，两个动态测试结果均符合 74LS138 的电路逻辑。

****

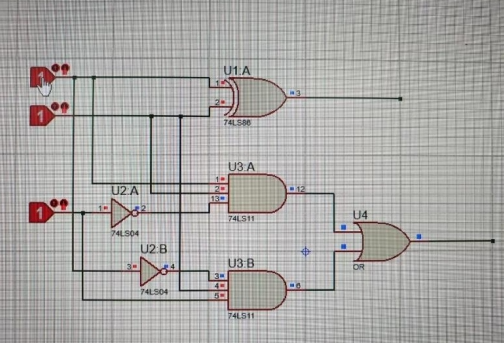
AU设计：

真值表如下：

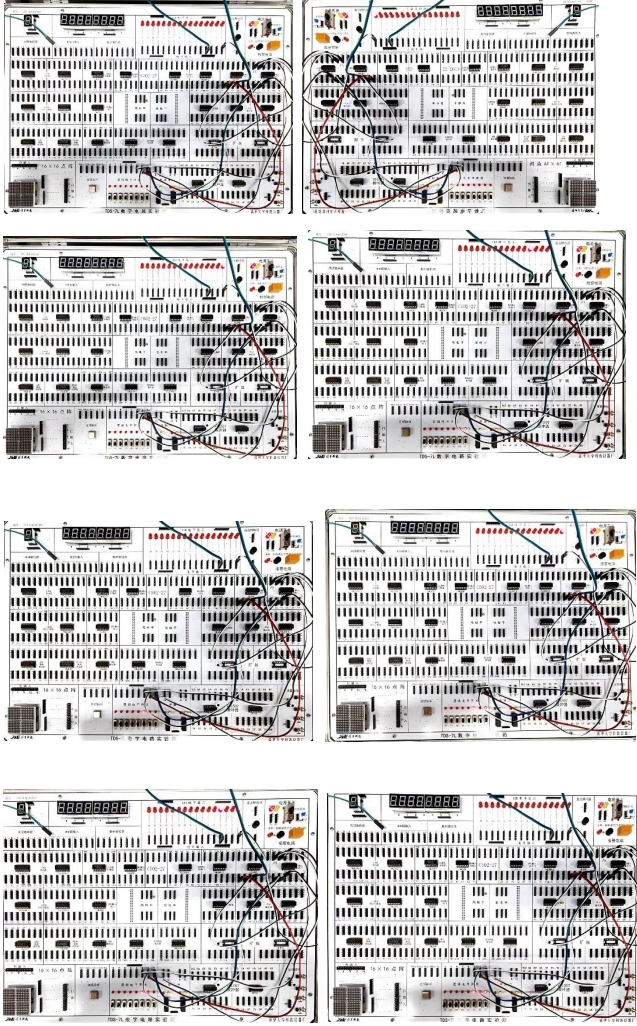


**方法一：使用逻辑门设计电路**

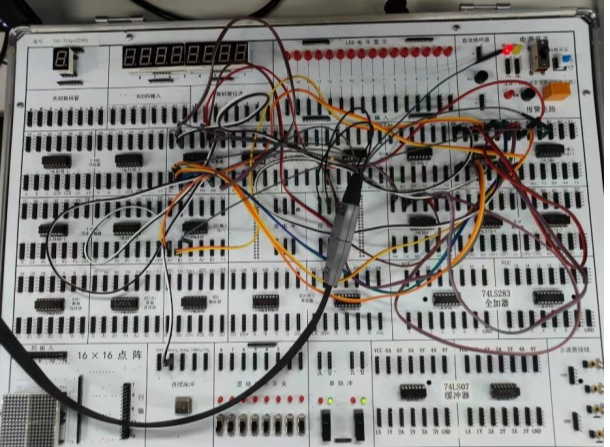
按下图电路图连接门电路，按真值表顺序进行静态测试。

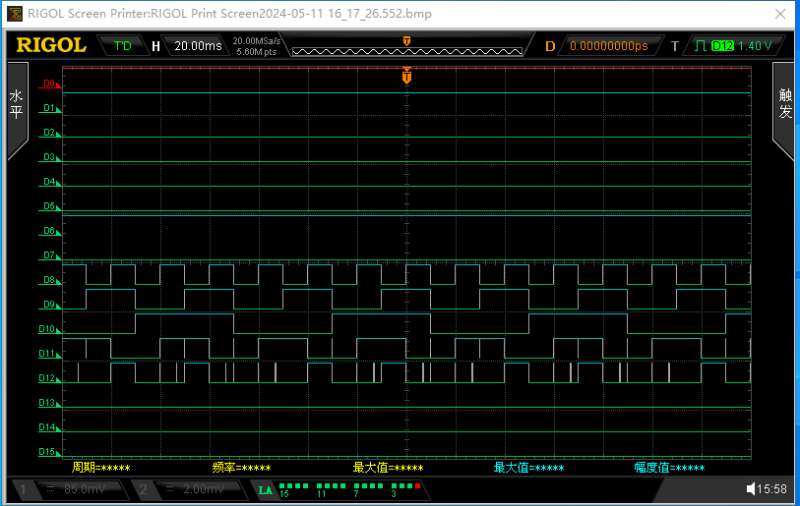
****

静态测试结果如下：



动态测试结果如下：

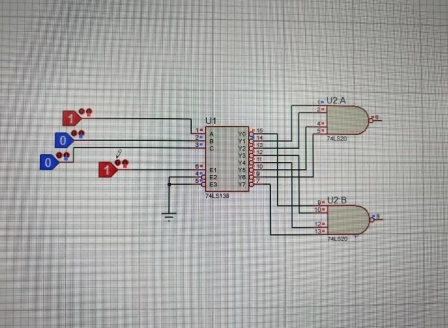


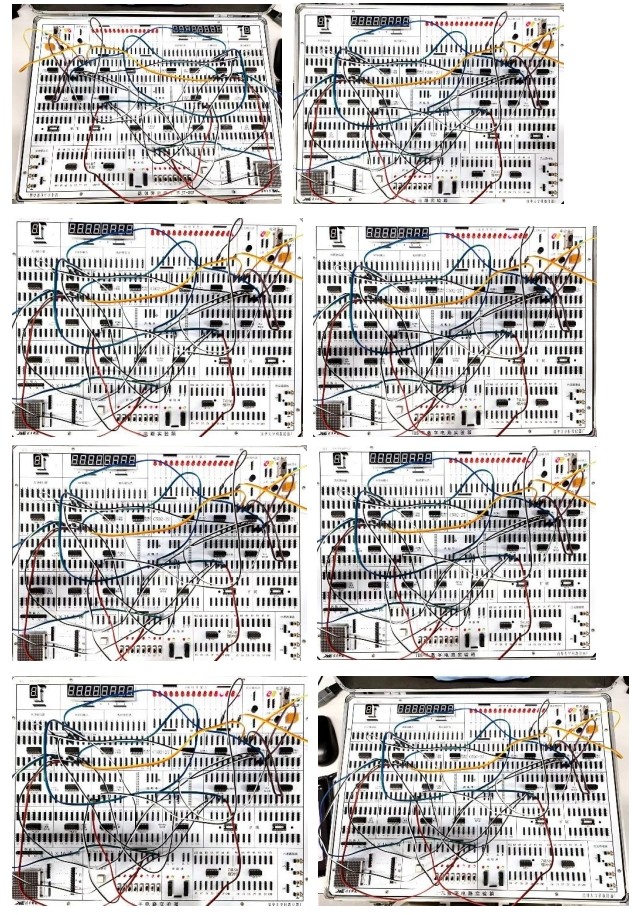
****

波形从上到下依次为 B、A、S、Y、Cn。 经检验，静态测试和动态测试的波形均符合真值表。

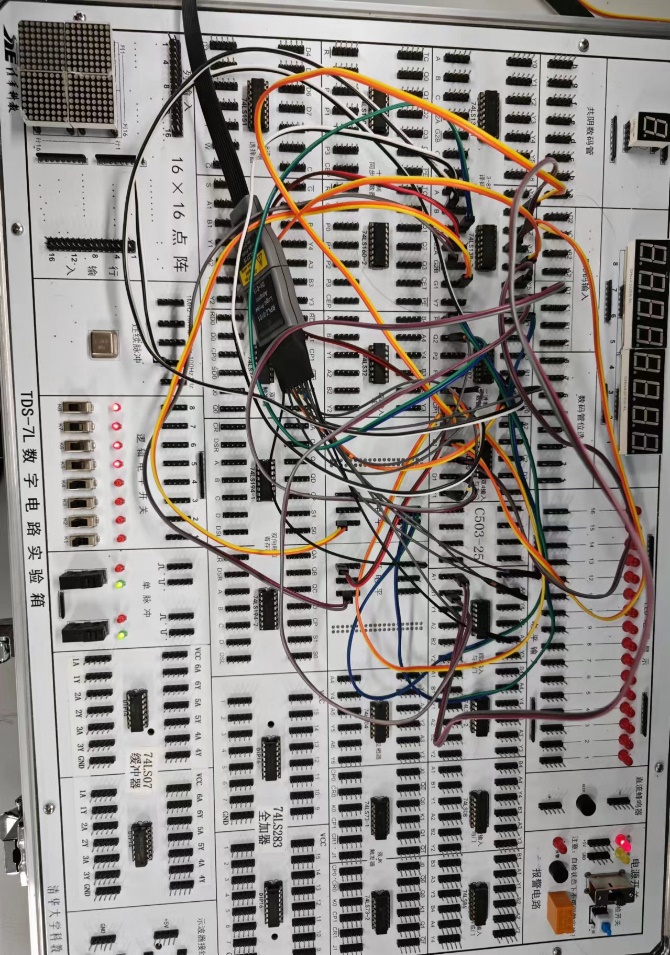
**方法二：使用 74LS138 设计电路**

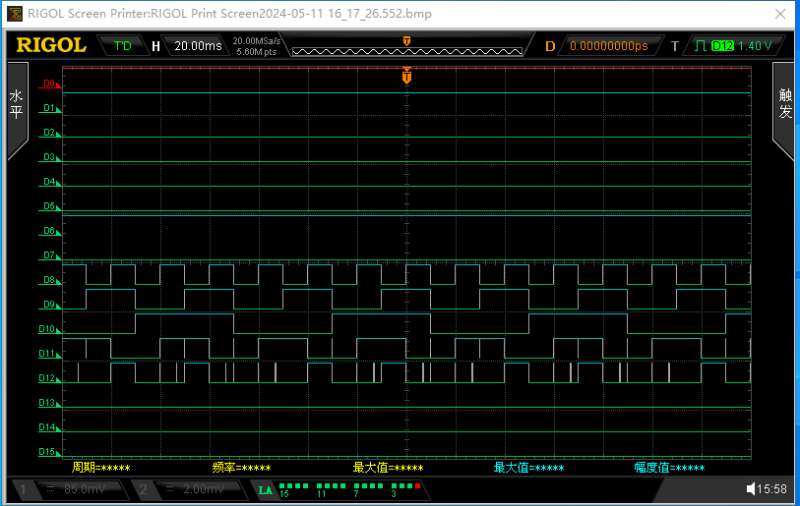
根据卡诺图，设计电路如下

****

静态测试结果如下：

动态测试结果如下：

****

****

波形从上到下依次为 B、A、S、Y、Cn。 经检验，静态测试和动态测试的波形均符合真值表。

**五、分析与讨论**

本次实验采用了**两种方法**，各自优缺点如下：

**方法一：使用 74LS138 实现组合逻辑电路的优缺点：**

1. 优点：

1.集成度高: 74LS138 是一个 3-8 解码器，可以将输入的多 个信号解码为一个输出信号，因此可以实现较复杂的逻辑功能。

2.简化电路设计: 使用 74LS138 可以减少所需的逻辑门数量和连线， 简化整个电路的设计和布线过程。

3.可靠性高: 74LS138 是一种常用 的 TTL(晶体管-晶体管逻辑)芯片，具有较高的可靠性和稳定性。

1. 缺点：
2. 限制于特定功能: 74LS138 是一个特定功能的解码器，只能 实现特定的解码功能，不够灵活。
3. 占用引脚多: 74LS138 需要多个 输入引脚和输出引脚，占用了较多的芯片引脚资源。
4. 功耗较高: 由于是 TTL 芯片，相比于 CMOS(互补金属氧化物半导体)芯片，功耗 较高。

**方法二：使用门电路实现组合逻辑电路的优缺点：**

1. 优点：
2. 灵活性高: 可以根据实际需求选择不同类型的逻辑门(如与 门、或门、非门等)，实现灵活的逻辑功能。
3. 节省芯片资源: 可以 根据需要选择性地使用逻辑门，节省芯片资源。
4. 低功耗选项: 可以 选择使用 CMOS 逻辑门来降低功耗。
5. 缺点：
6. 复杂度高: 需要设计大量的逻辑门电路，并进行复杂的连线， 增加了电路设计和布线的复杂度。
7. 容易出错: 由于需要大量的逻辑 门和连线，容易出现错误，调试难度较大。
8. 不利于集成: 门电路实 现的组合逻辑不利于集成和封装，对于复杂的逻辑功能，需要大量 的芯片和空间。

**加上思考与提高！！！！！！！**