**数电实验报告（十六）**

**8421 码检测电路的设计  
摘要：**序列检测电路就是从一组输入码流中鉴别出用户期望的序列，属于时序逻辑 电路中的有限状态机的设计，可采用通用的设计步骤实现。状态机由触发器和组 合逻辑电路组成，能够根据控制信号按照设定的状态进行转移，因此序列检测电 路设计的关键在于状态图和状态表的确定。另外 Mealy 型同步时序电路需考虑冒险现象的处理。

1. **实验目的**

1. 了解 8421 码检测电路的工作原理。

2. 掌握利用有限状态机实现同步时序电路的设计方法。

1. **实验器材**

1. 数字电路实验箱、逻辑分析仪。

2. 器件：74LS73，74LS74，74LS00，74LS20，74LS197 等。

1. **实验内容要求**

（1）参考实验原理步骤采用 J-K 触发器搭建 8421 码序列同步检测电路，要求采用不同于实验原理的其他状态分配方法完成电路的设计。 (1) 静态测试：可将 8421 码序列检测电路的输入 X 连接到实验箱的逻辑电平开关 K1，J-K 触发器的时钟连接到实验箱的正脉冲按键。

电路静态测试时，按照从低位到高位依次输入串行序列码组。例如，输入 非法码（1010）2=（10）10。数据应按 0101 顺序改变逻辑电平开关 K1：0→1→0→1。 且需先改变输入数据 X（即逻辑电平开关 K1 的置位），再按下正脉冲按键输 入时钟信号。

按上述方法，输入不同的码组，检测电路的输出状态 Q3Q2Q1（接 LED“0- 1”显示器）是否按照状态转换表正常工作，F’ （接 LED“0-1”显示器）是否输 出正确的 8421 码序列检测结果。

(2) 动态测试：将 74LS197 接成十六进制计数器（CP0 作为计数脉冲，Q0 接 CP1），J-K 触发器的时钟和 74LS197 的时钟 CP0 均接实验箱上的 10KHz 连续 脉冲，并将 74LS197 的输出 Q2 接入 8421 码序列检测电路的输入数据端 X。使 用示波器数字通道观察并记录 10KHz 连续脉冲 CP、74LS197 的输出 Q2 和 8421 码序列检测电路的输出 F’波形。分析时序波形的输出是否符合 8421 码序列检 测电路的逻辑功能。

1. **实验原理**
2. 序列检测电路

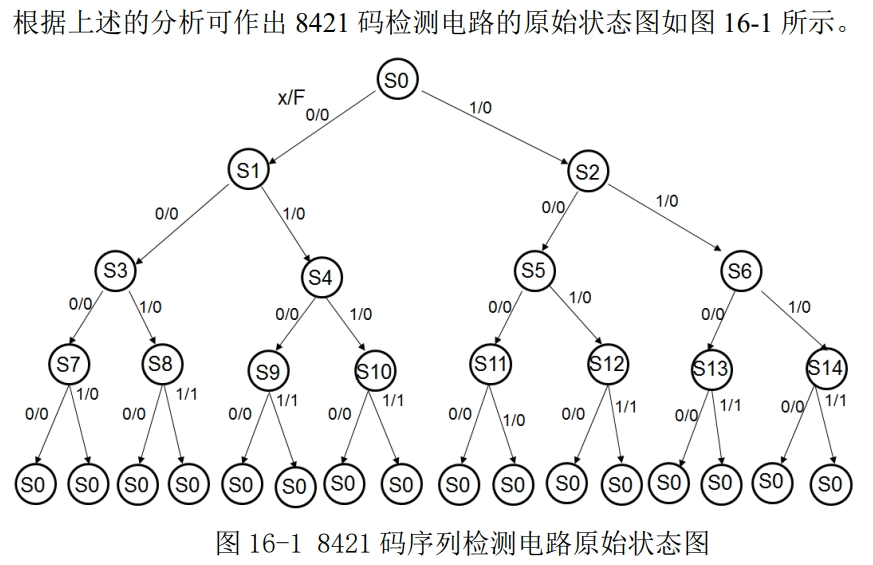
序列检测电路是用于检测指定二进制码组成的脉冲序列信号的同步时序逻辑电路。序列检测电路一般以待识别序列命名，例如“11101”序列检测电路、8421 码检测电路等。序列检测电路连续接收一串二进制码后，如果这组序列码与检测 电路预置序列码不一致的话，则输出脉冲或声音信号。待识别序列越长，检测电路的状态数越多，电路越复杂。

以 8421 码（串行输入）检测电路为例，说明序列检测电路的通用设计步骤。 8421 码检测电路用于检测串行的 8421 码传输过程中是否发生错误。要求 8421码传送过程中是由低位到高位串行输送，例如十进制数 2（代码为 0010）是按 0、 1、0、0 次序传送的。如果在传送过程中代码发生错误，出现非法数码（不在 0000 到 1001 之间的代码），则检测电路发生一个正脉冲信号。

考虑到 Mealy 型电路的输出（输出是输入和现态的函数）比 Moore 型电路 的输出（输出是状态的函数）超前一个时钟周期，且电路的状态较少，电路复杂 度较低，此处选择 Mealy 型电路实现 8421 码检测电路。Mealy 型 8421 码检测电 路要求 8421 码是由低位到高位传送，每四个码元检测一次，当电路收到第四个 码元时，若判断是非法码，则输出为 1，否则输出为 0。

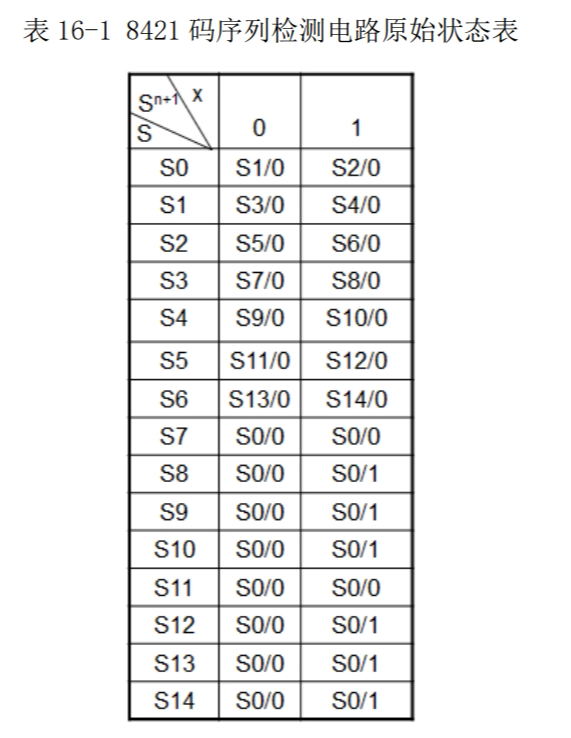
电路设计的关键是建立原始状态图和状态表，确定了电路有效状态后电路的 设计步骤可参考同步时序逻辑电路的通用设计方法。具体步骤如下：

1. 列出原始状态转换图。 设电路输入为 x，电路输出为 F，当输入为非法码时输出为 1，否则输出为 0。检测电路初始状态为 S0，当电路接收第一个码元后，根据输入是 0 还是 1， 将分别转到两个不同的新状态 S1 和 S2，从 S1或 S2 出发，接收到第二个码元后， 又根据是 0 还是 1，又转到两个不同的新状态，类推到接收到的第三、第四码元 码元后电路执行同样的动作。在接收到第四个码元后，根据所接收的代码判断是 否是非法码而确定其输出是否为 1，并且电路回到初始状态 S0，准备接受新的一组码组。

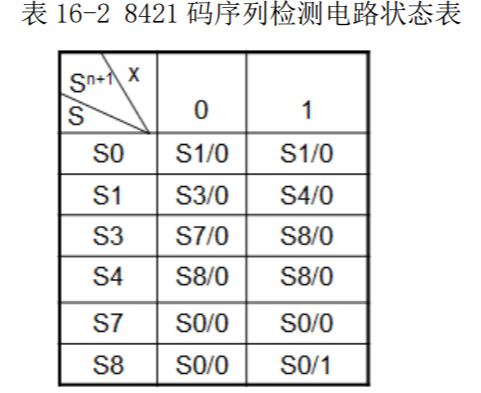


1. 列出原始状态表，并化简状态表。

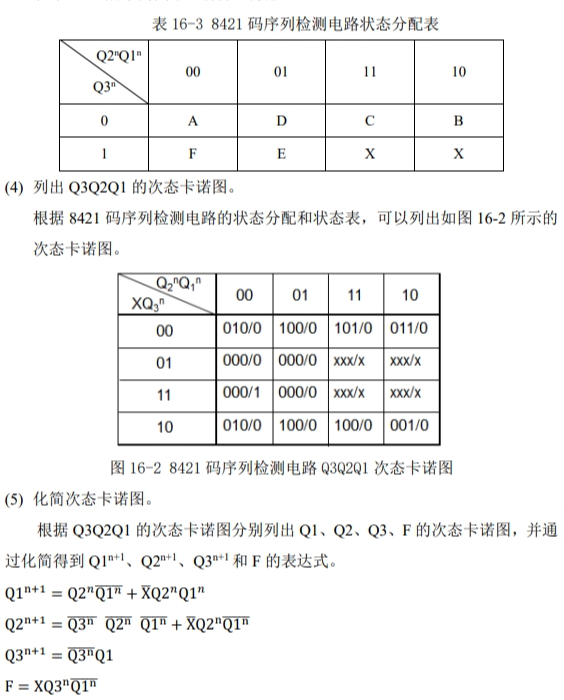
根据 8421 码检测电路的原始状态图可列出如表 16-1 所示 8421 码检测电路 的原始状态表。

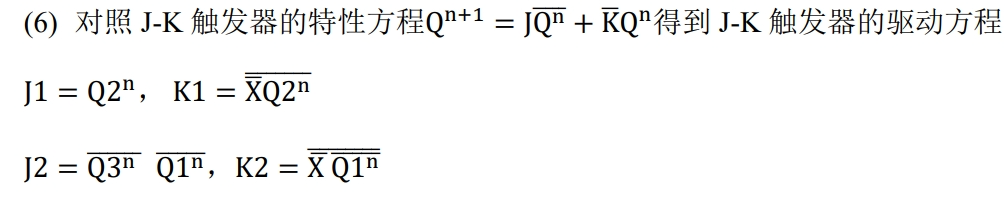


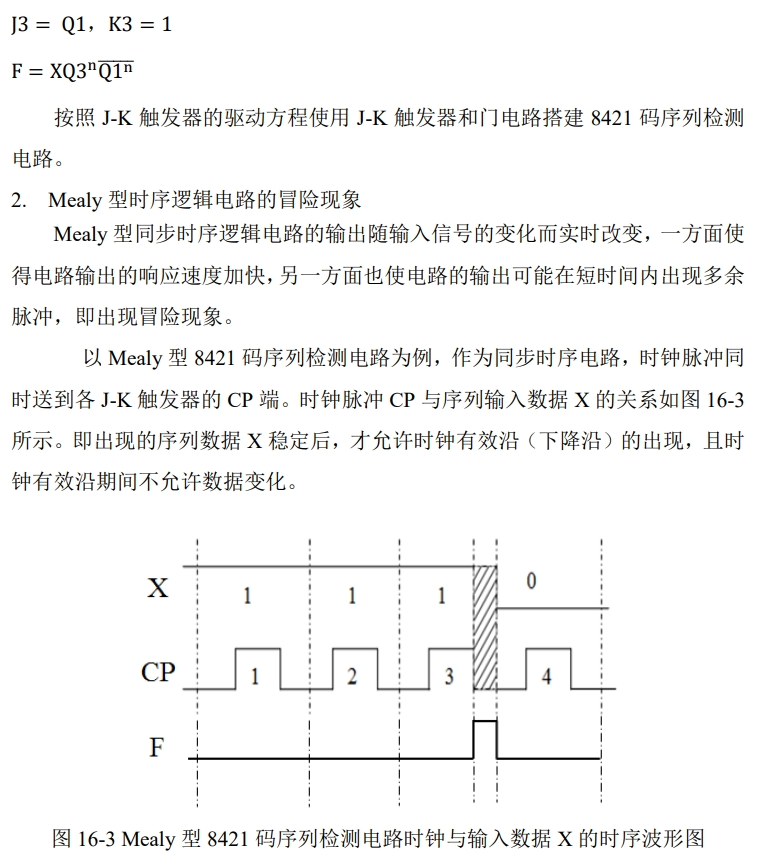
找出原始状态表中的等效状态，所谓等效状态是指当输入相同时输出相同且 次态也相同的状态。通过等效状态的合并化简原始状态表，得到表 16-2 所示化 简后的状态表。



令 S0=A，S1=B，S3=C，S4=D，S7=E，S8=F，且如下表所示方案进行状态 分配，即 A=000，B=010，C=011，D=001，E=101，F=100。状态分配方案不唯一，如表 16-3 所示为其中一种分配方案。







当输入序列数据 X 为 (0111)2=(7)10 时，8421 码序列判定输入数据是合法 8421 码，F 应该输出 0。但当我们依据 8421 码序列检测电路状态表分析，X 按 照从低位到高位依次输入数据 1→1→1→0，Mealy 型电路的输出 F 取决于电路 的现态和数据的即时输入，则 8421 码序列检测电路具体工作状态如下：

(1) 输入数据 X=1，第一个时钟有效沿（下降沿）到达后，8421 码序列检测电路 从 A 态变成 B 态，电路输出 F 输出 0；

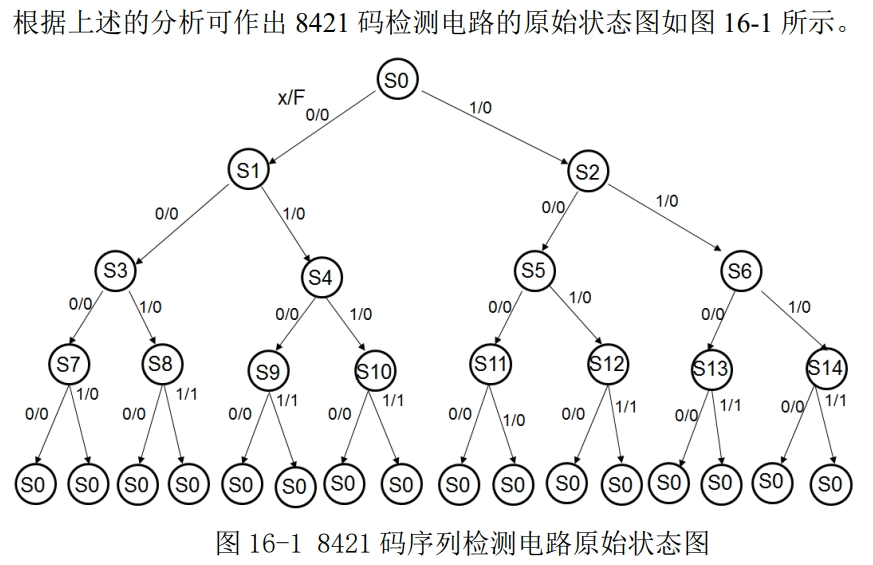
(2) 输入数据 X=1，第二个时钟有效沿（下降沿）到达后，8421 码序列检测电路 变成 D 态，电路输出 F 输出 0；

(3) 输入数据 X=1，第三个时钟有效沿（下降沿）到达后，8421 码序列检测电路 变成 F 态，此时 X=1 还没有变化，则上图中阴影部分时间内将有电路输出 F=1 输出，直至 X=0，电路输出 F 才变为 0；

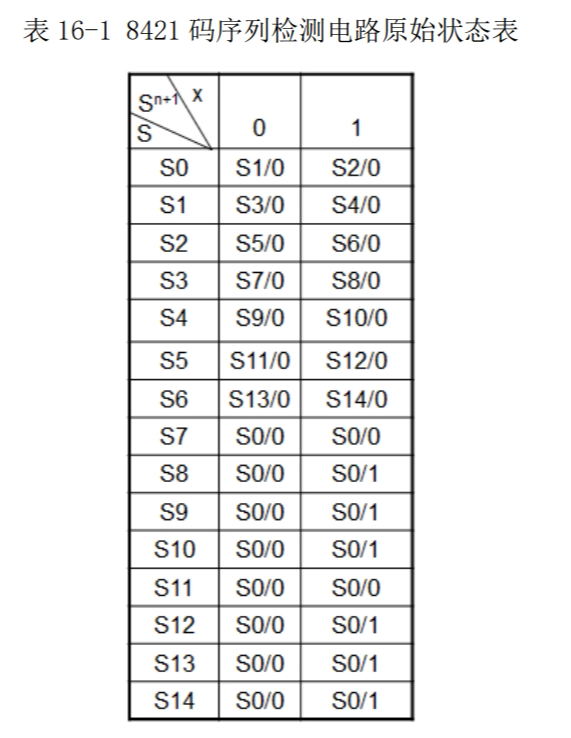
(4) 输入数据 X=0，第四个时钟有效沿（下降沿）到达后，8421 码序列检测电路 回到 A 态。

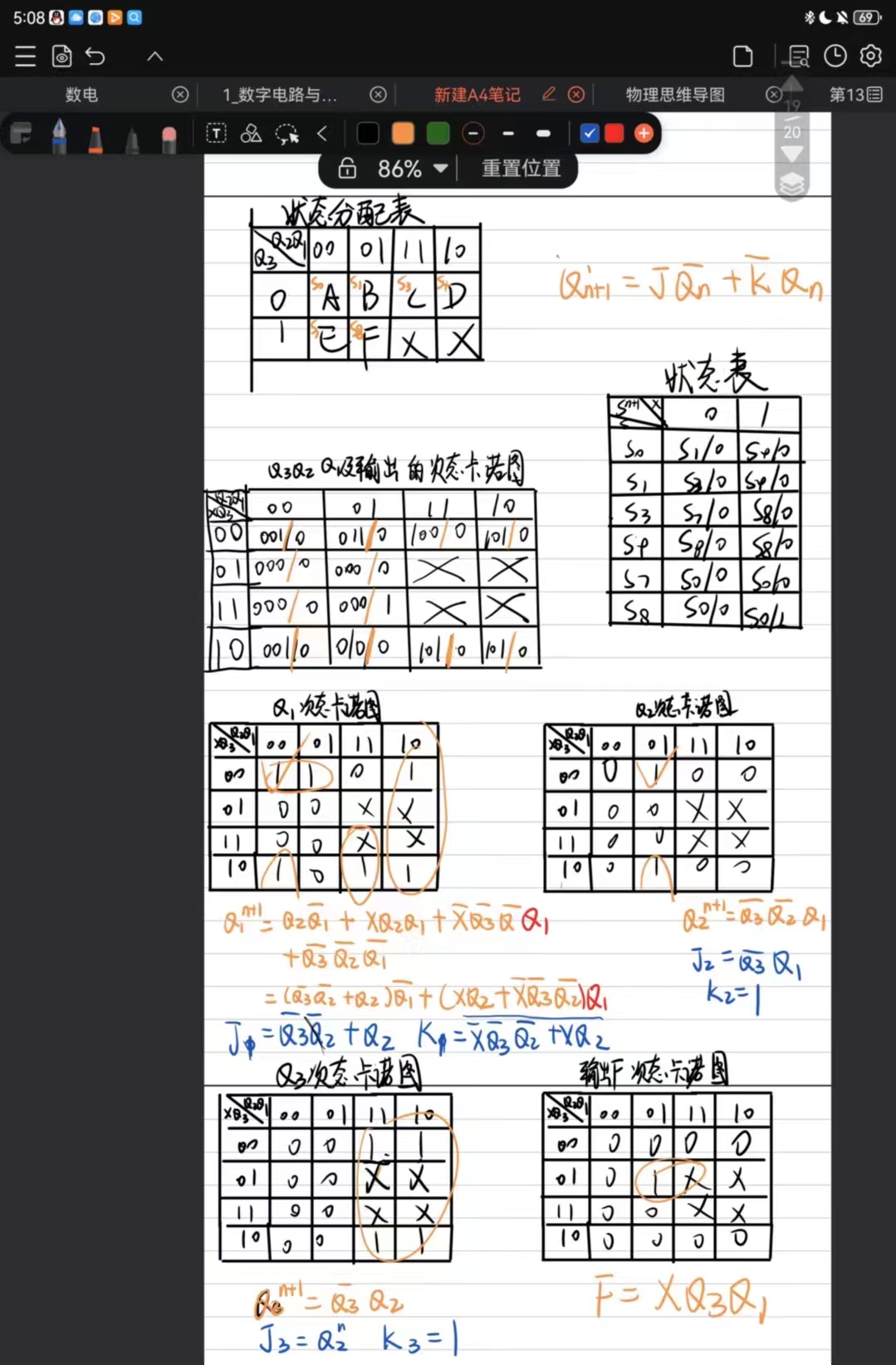


1. **实验过程及结果**



原始状态表、化简状态表、各个卡诺图·以及得到的表达式如下：

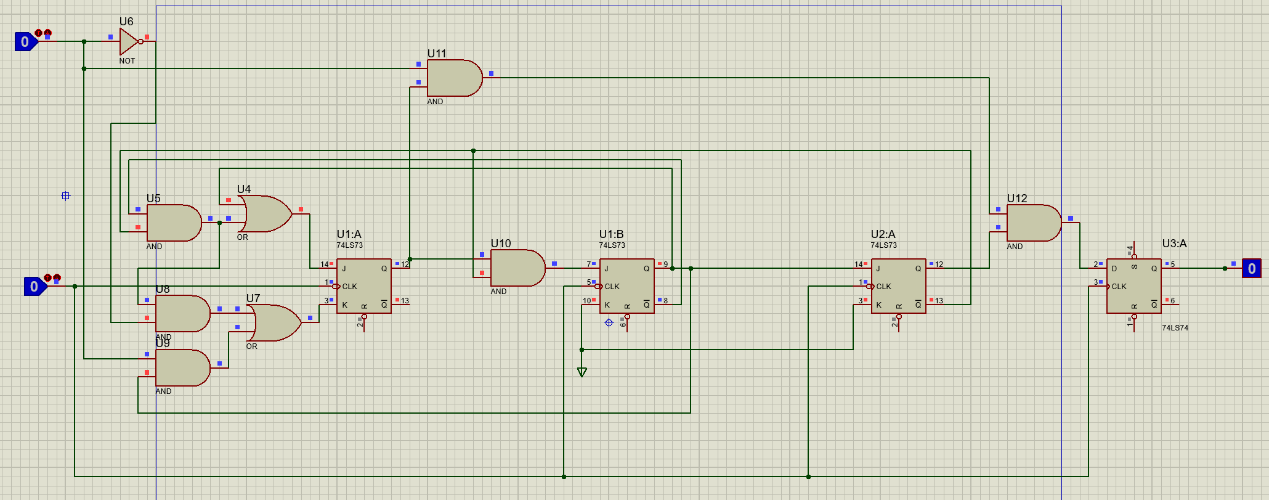




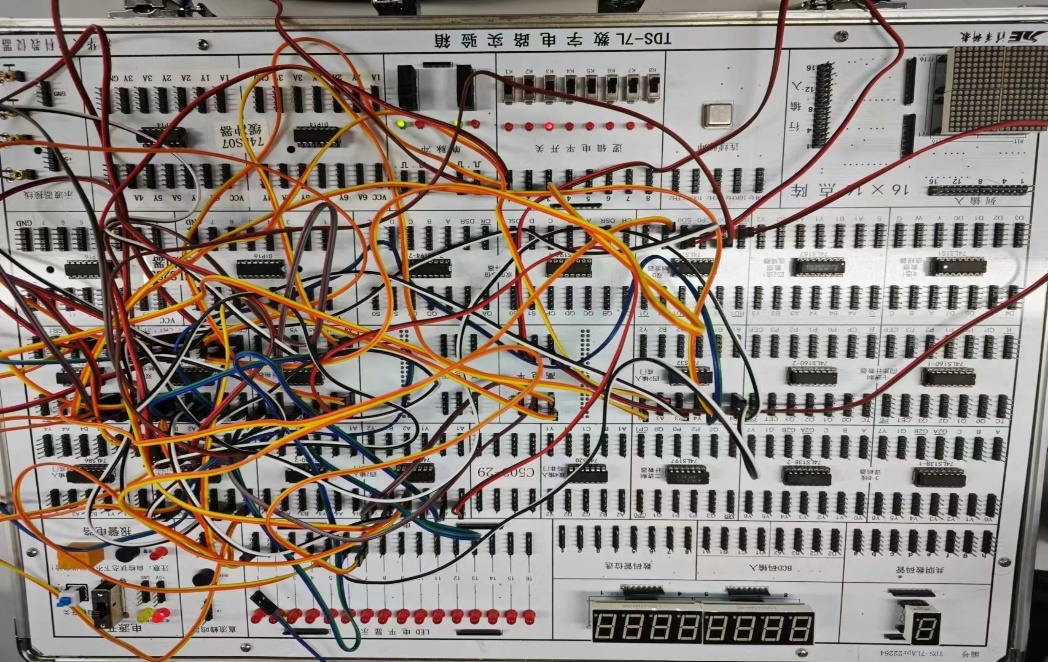
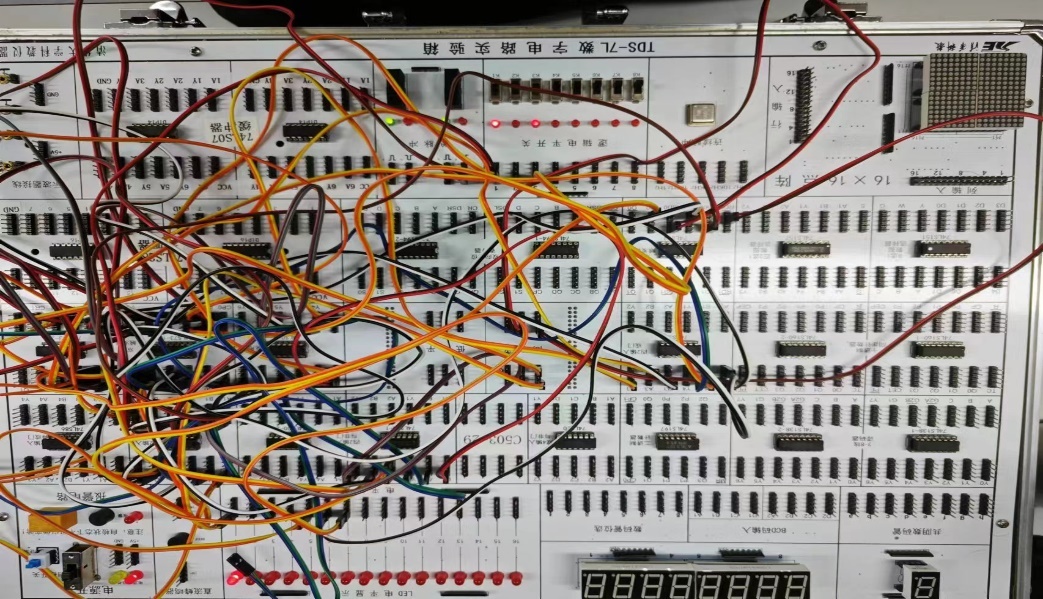
为了消除 Mealy 型时序逻辑电路的冒险现象，采用 D 触发器将电 路的输出锁存后再输出，设计电路如下：

1. 静态：

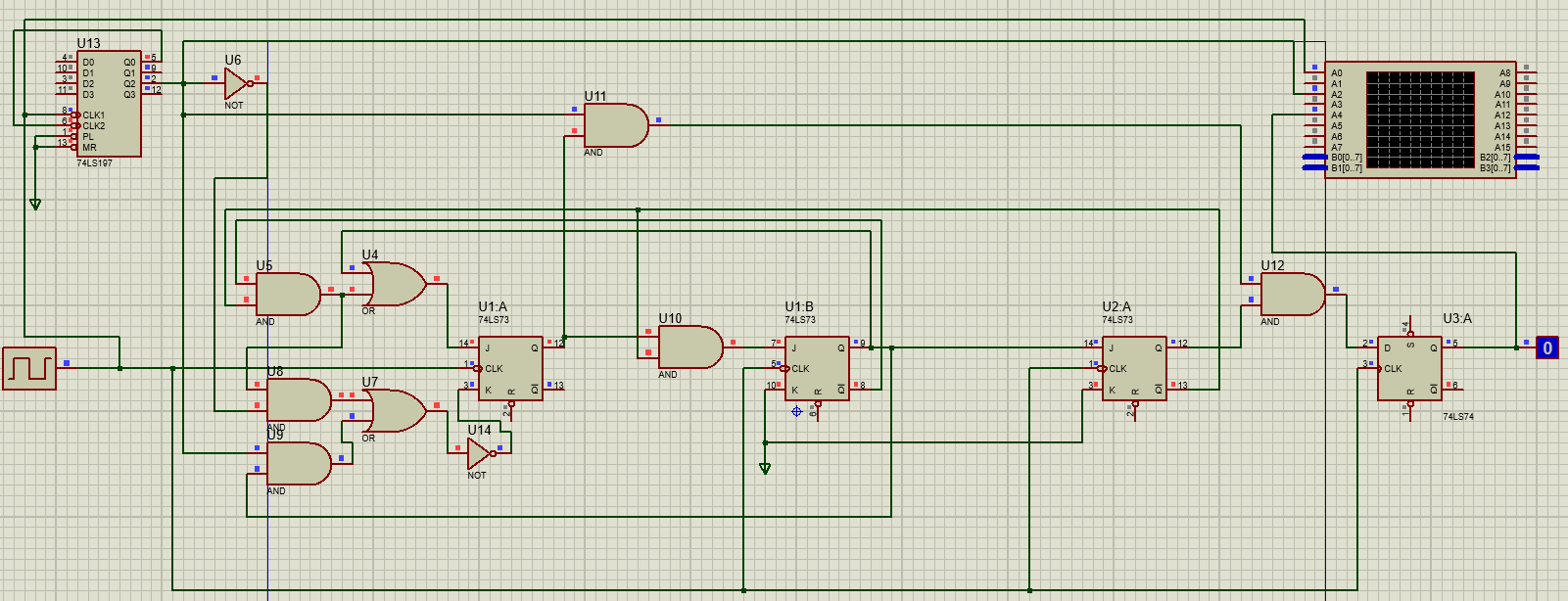
仿真设计如下：



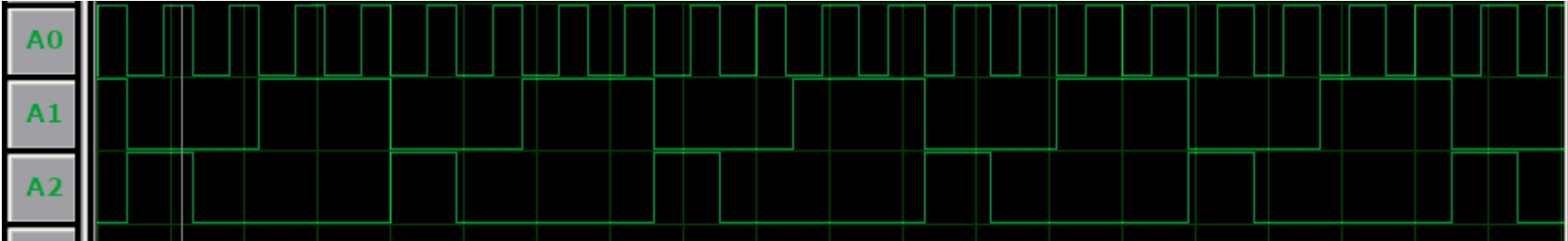
实验箱连接如下：



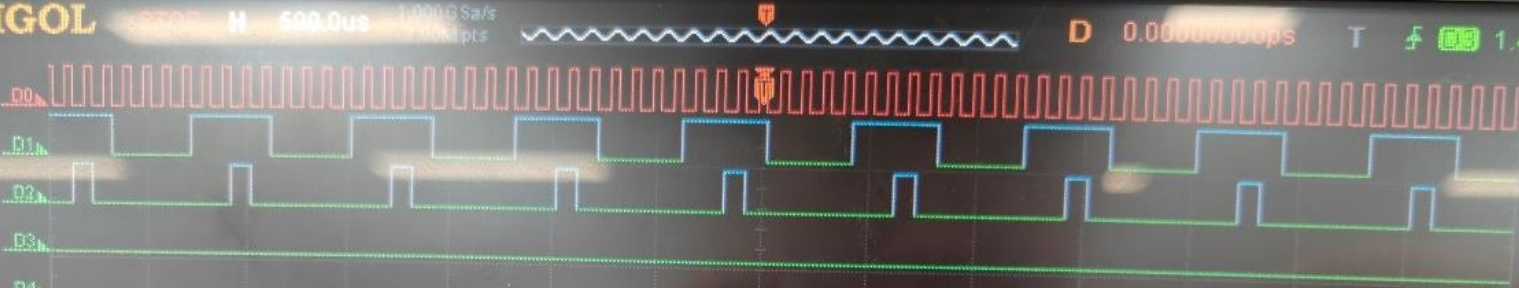
1. 动态



波形图如下：

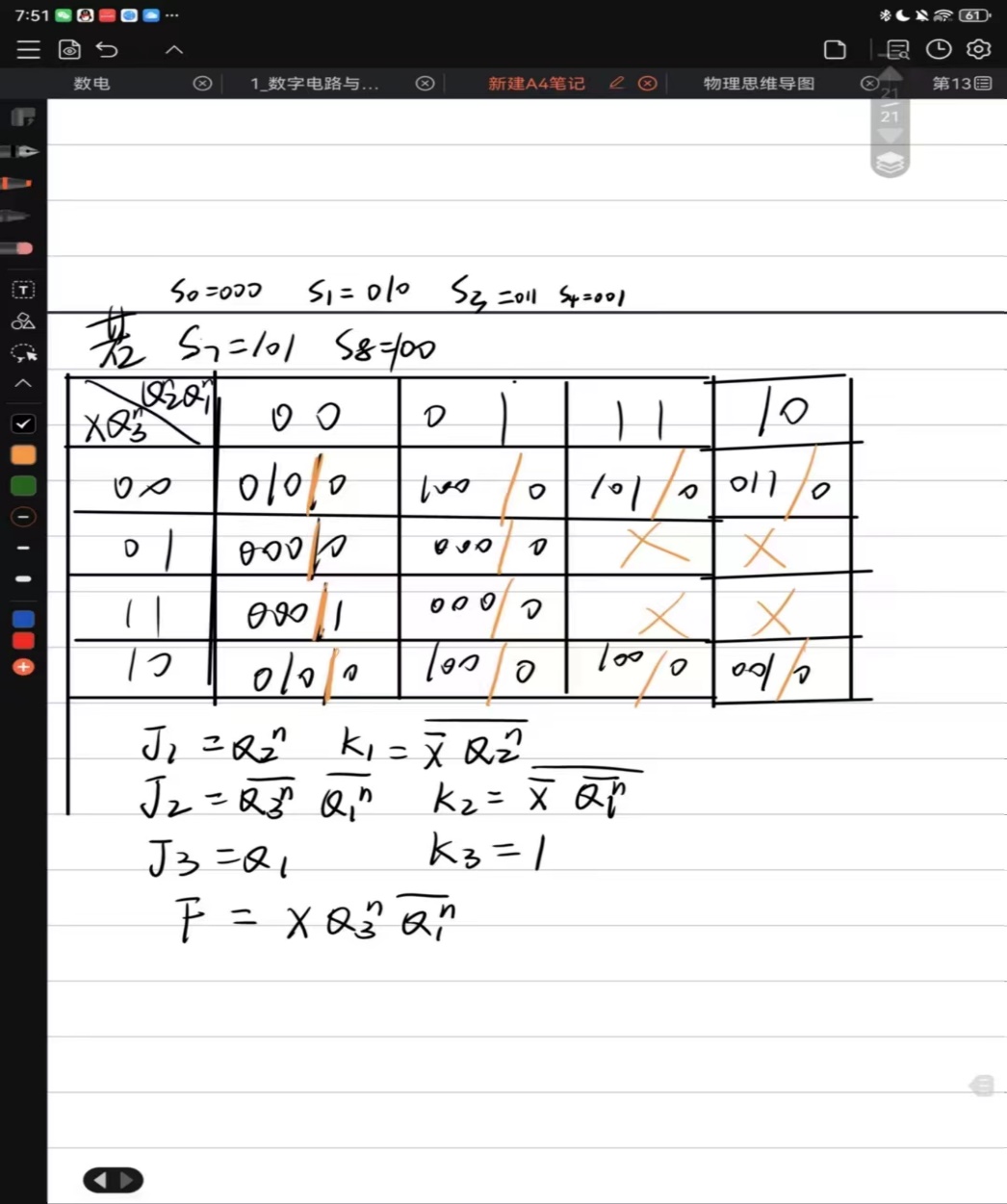


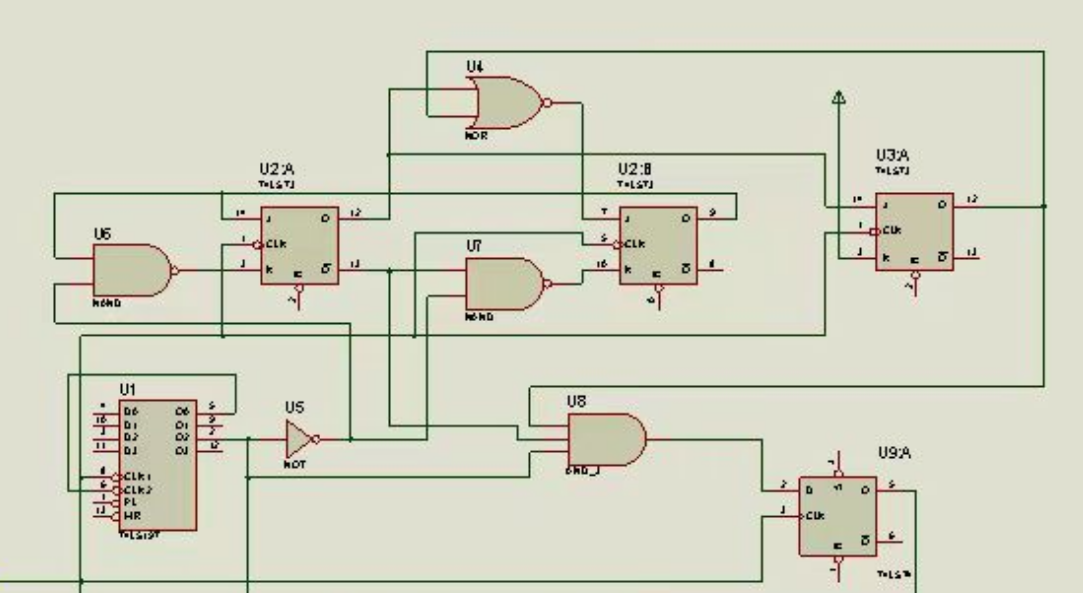
实验箱示波器结果如下:



从上到下依次为CLK、X、F.

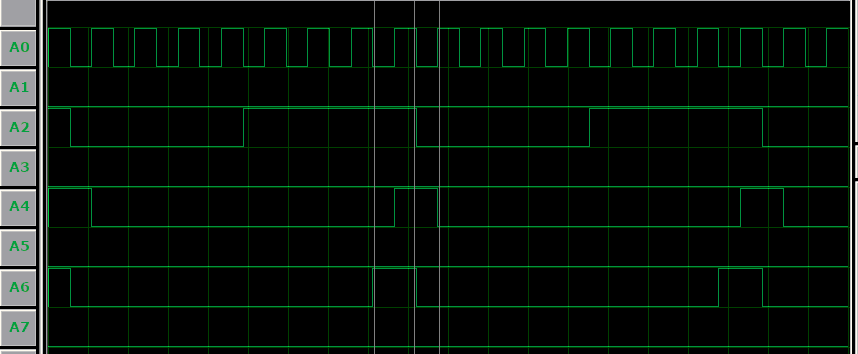
1. **思考与创新**
2. **可采用不同的状态分配实现电路**

****



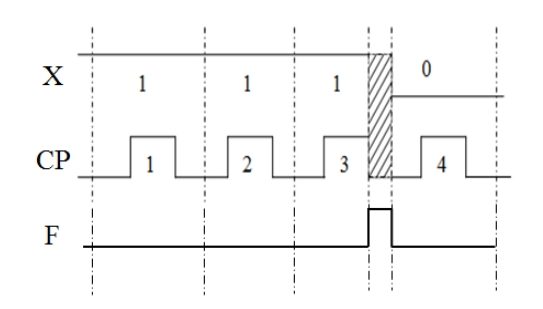
1. **结合实验结果（同时观测 F 和 F’的时序波形）讨论 D 触发器锁存输出对 Mealy 型 8421 码序列检测电路的改进效果。**

如下图所示：从上到下依次为CLK、X、F、F’



8421 码序 列检测电路只有在第四个时钟有效沿（下降沿）到达时，F 的输出才能保证正确。

若不添加D触发器，可能出现的错误: 电路在阴影时间内，F错误输出 1。



添加D触发器：电路在阴影时间内，F 的错误输出 1，由于第四个时钟的上升沿（D 触发器 是上升沿触发）还未到达，不会影响 F’的输出，即 F’ 在阴影时间内保持原输出 0 不变。当输入序列最后一个数据 X=0，第四个时钟的上升沿到达后，F’=0 电路 输出正确的 8421 码检测结果。

1. **实验注意事项：**

1）.在实验箱上连线时，每个 JK 触发器的清零信号需要接到手动负脉 冲上，并且在开始输入数据之前按下手动负脉冲，否则 JK 触发器无 法开始工作。

2）.动态测试的波形具有周期性和随机性，周期性是因为此时的输入信号为 74LS197 的 Q2 输出，它和时钟信号 Q0 具有一定的周期关系。随机性是因为不知道 JK 触发器会从时钟信号的哪个信号开始作为输入数据。