**数电实验报告（十五）**

**利用 MSI 设计六十进制计数器**

|  |  |  |  |
| --- | --- | --- | --- |
| 姓名： | 马福泉 | 学号： | 23336179 |
| 实验地点： | 丰盛堂c503 | 实验时间： | 2024.6.7 |

**摘要：**使用集成计数器搭建计数器，避免了通过化简次态卡诺图求取触发器驱动方 程的繁琐步骤，同时也降低了电路连接的复杂度。使用集成计数器时需要区分芯 片采用的清零和置数方式，设计符合进制要求的计数器电路

1. **实验目的**

1. 熟悉中规模集成电路计数器的功能及应用。

2. 复习中规模集成电路译码器的功能及应用。

3. 复习七段数码管扫描式显示电路的工作原理。

4. 学会综合测试的方法。

1. **实验仪器**

1. 数字电路实验箱、逻辑分析仪。

2. 器件：74LS160，74LS48，74LS20，74LS157 等

1. **实验内容要求**

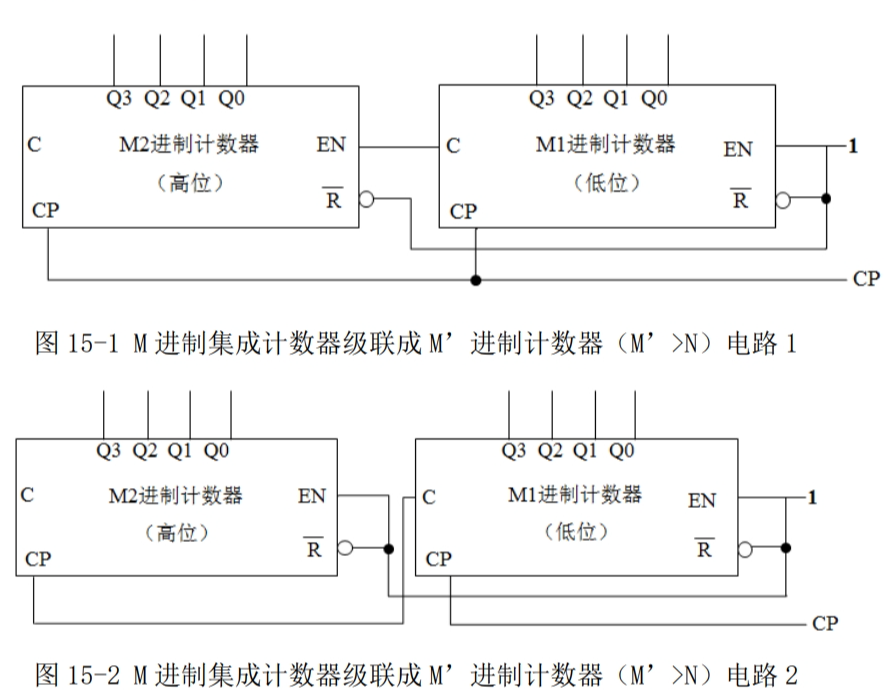
分别采用同步置数和异步清零方法，使用两片集成计数器 74LS160 搭建一个 六十进制计数器（六进制为高位，十进制为低位）。要求低位显示在 1 号数码管， 高位显示在 2 号数码管。

1. 将实验箱上 10KHz 的连续脉冲作为六十进制计数器的计数脉冲，使用示 波器数字通道观察并记录 CP（计数脉冲）和两片 74LS160 的计数输出 Q3、Q2、Q1、Q0，分析并验证电路逻辑功能。

2. 将实验箱上 1Hz 的连续脉冲作为六十进制计数器的计数脉冲，使用实验 箱上的七段数码管显示计数结果（注意高低位显示顺序）。

1. **实验原理**
2. 任意 N 进制计数器的实现

将 M 进制集成计数器级联成M′进制计数器的方法有两种，如图 15-1、图 15-2 所示，可以利用低位计数器的进位信号作为高位计数器的时钟信号或高位 计数器的计数使能信号，搭建M′进制计数器。其中M′ = M1 × M2，M1 和 M2 为现有集成计数器的模数。



上述电路中使用的 M1\M2 进制集成计数器中，CP 为计数脉冲。Q3、Q2、 Q1、Q0 为从高位到低位的四位二进制计数输出端。C 为进位输出端，当计数 器计数至 M1\M2-1 时，C 在下一个 CP 有效沿到来之前输出高电平。EN 为计 数允许端，高电平有效。R̅为清零端，低电平有效。

2.同步清零、同步置数、异步清零和异步置数

在使用集成计数器时，要区分所使用的计数器采用的清零和置数方式是同步 还是异步。同步方式和异步方式的区别在于清零和置数的操作是否需要等待时钟 的有效沿到达。同步清零和同步置数是指当清零或置数端有效时，计数器将在时 钟有效沿到达时进行清零或置数。异步清零和异步置数是指当清零或置数端有效 时，计数器的输出立即清零或置数。

在集成计数器中，清零和置数均采用同步方式的有 74LS163。清零和置数均 采用异步方式的有 74LS193、74LS197、74LS192。清零采用异步方式、置数采用 同步方式的有74LS161、74LS160。有的只具有异步清零功能，如CC4520、74LS190、 74LS191。74LS90 则具有异步清零和异步置 9 功能。

(1) 利用同步清零端或置数端置零或置数构成 N 进制计数器 实现步骤如下：

（1）写出状态 SN-1 的二进制代码。

（2）求归零逻辑，即求同步清零端或置数控制端信号的逻辑表达式。

（3）画电路图。

(2) 利用异步清零端或置数端置零或置数构成 N 进制计数器

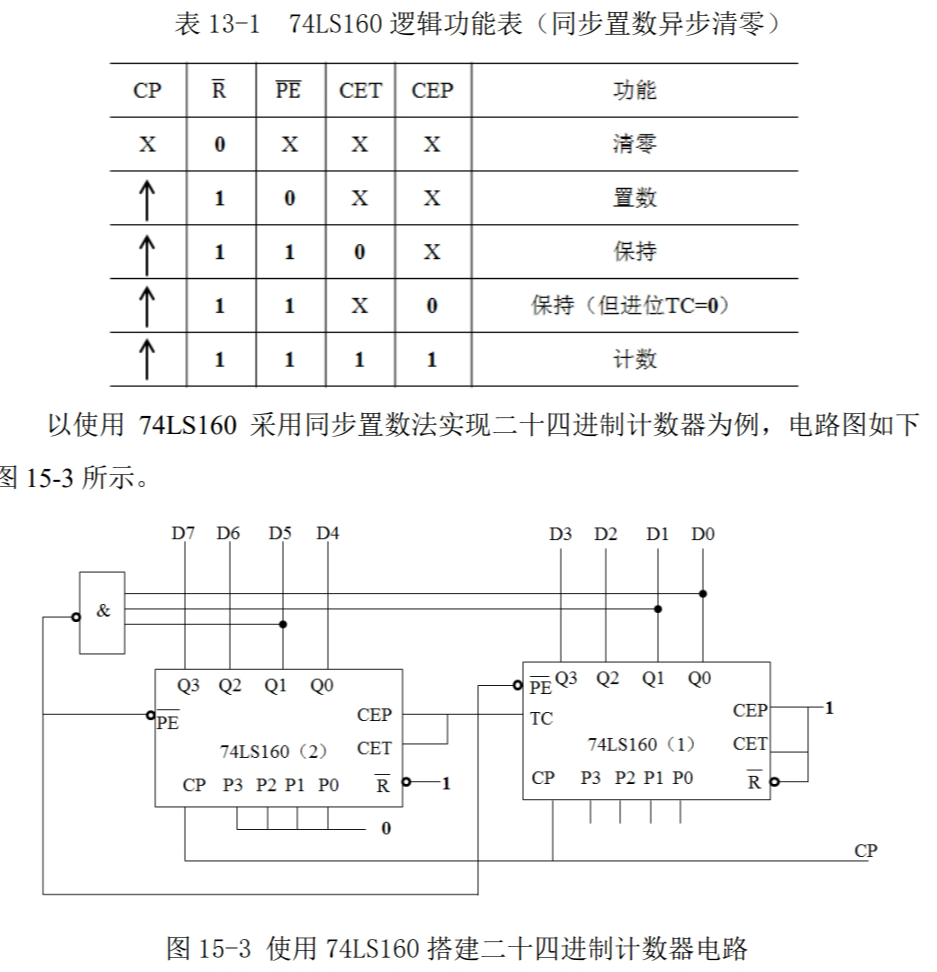
实现步骤如下：

（1）写出状态 SN的二进制代码。

（2）求归零逻辑，即求异步清零端或置数控制端信号的逻辑表达式。

（3）画电路图。 需要注意的是采用异步清零端实现计数器归零时，如果清零信号持续时间过短，可能会导致部分计数器未能复位，从而造成计数错误。可改进电路适当延长 清零信号的持续时间，以提高利用异步清零端实现计数器归零的可靠性

3. 集成计数器 74LS160

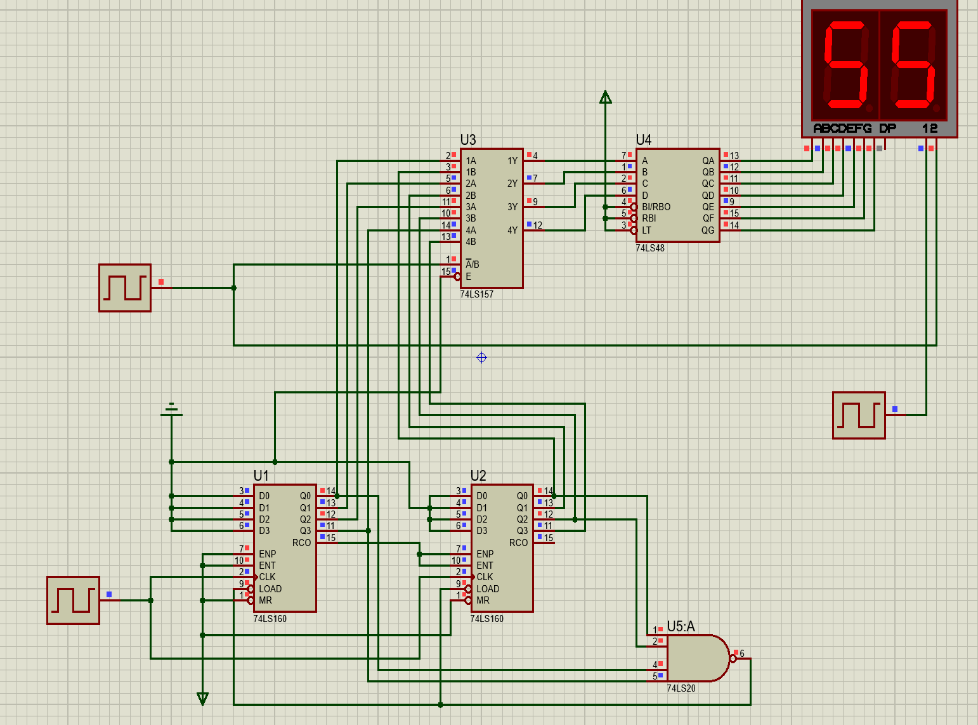


1. **实验过程及分析**

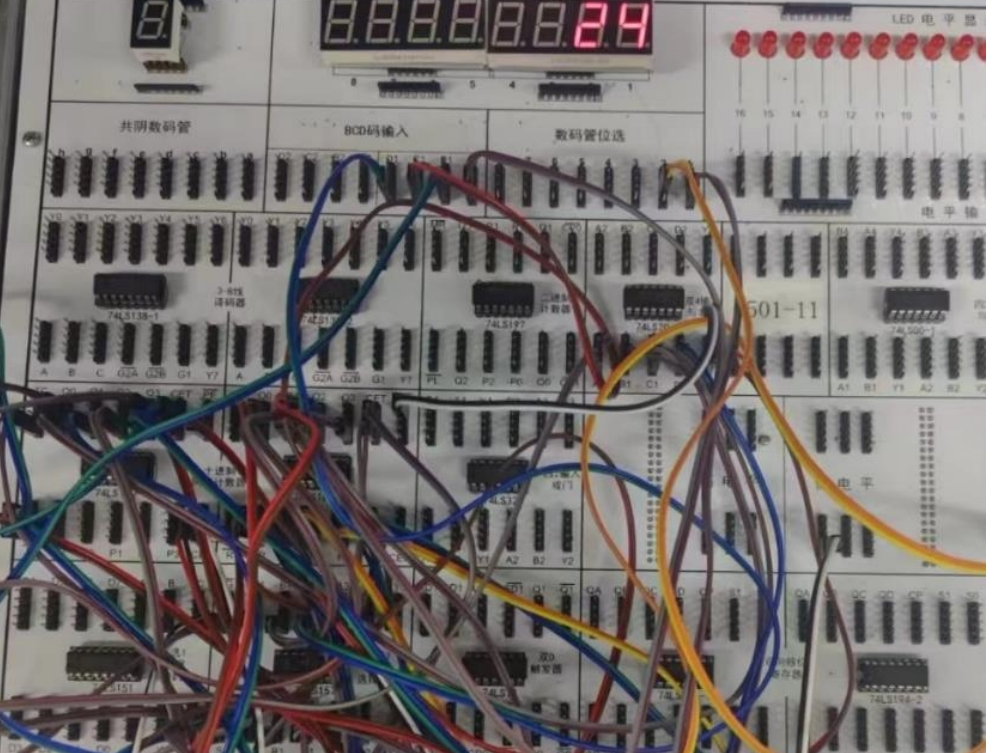
分别采用同步置数和异步清零方法，使用两片集成计数器 74LS160 搭建一个 六十进制计数器（六进制为高位，十进制为低位）。要求低位显示在 1 号数码管， 高位显示在 2 号数码管。

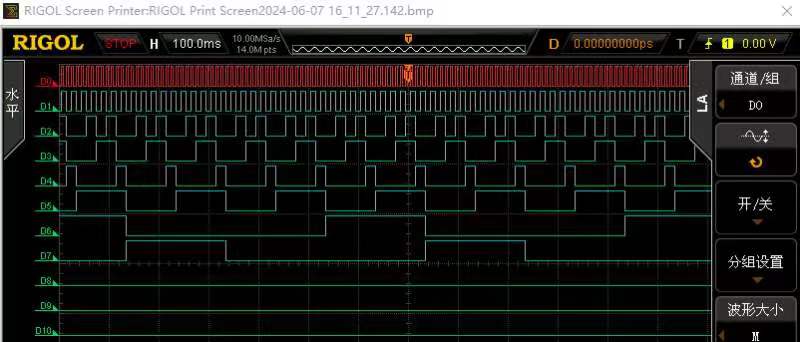
1. 同步置数的方法

Proteus仿真设计如下：



实验箱连接如下：

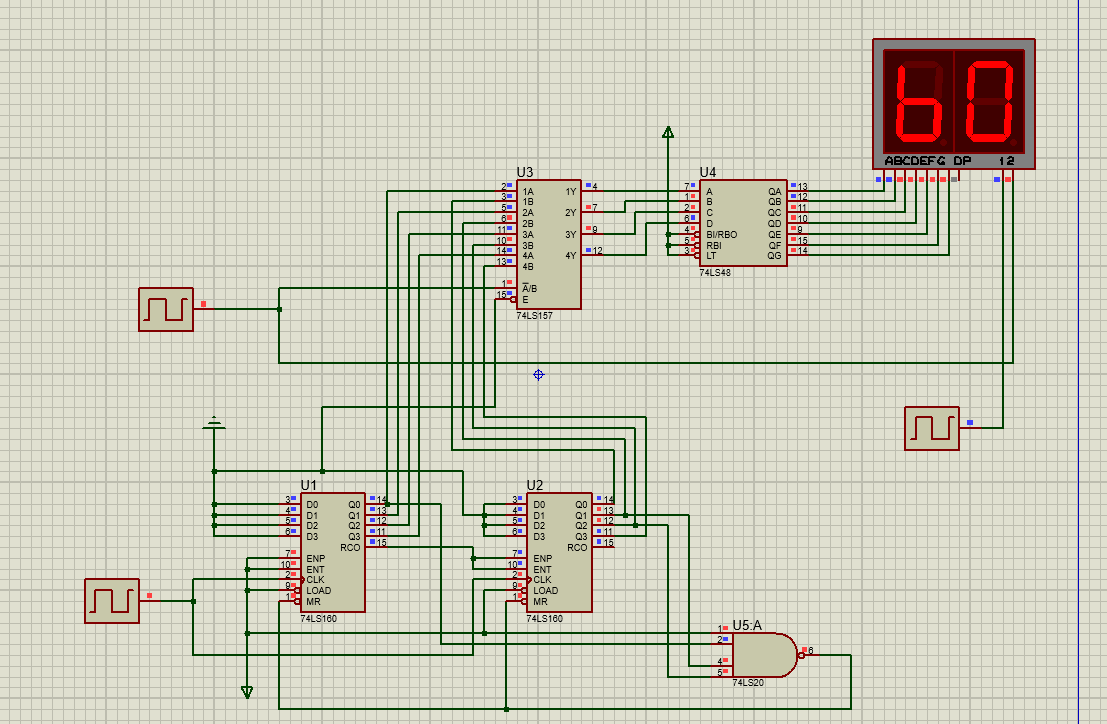
**** 示波器显示如下：

****

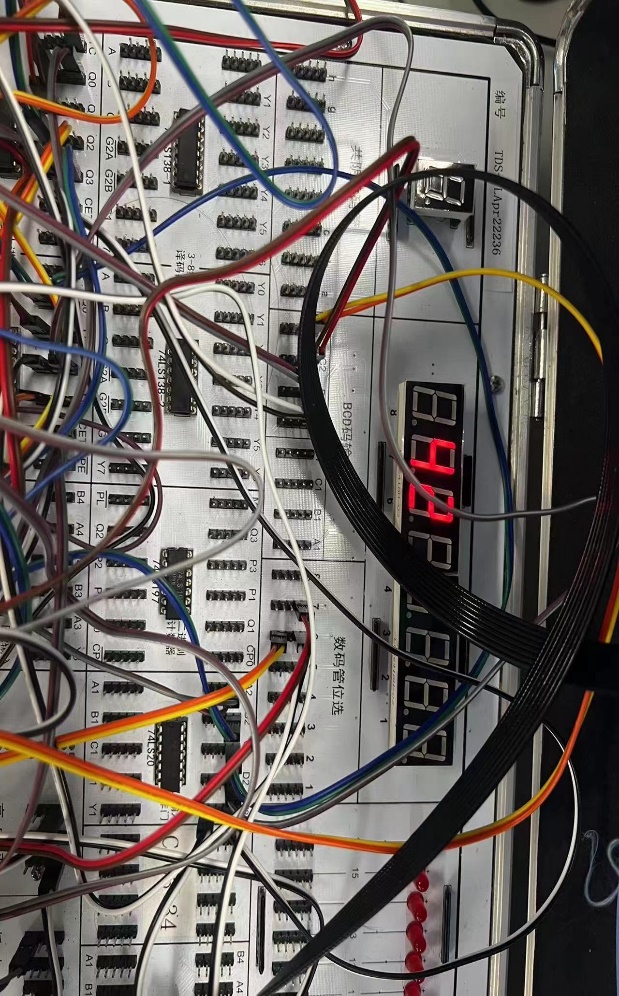
从上到下依次为CLK,个位Q0~Q3,十位Q0~Q2

1. 异步清零的方法

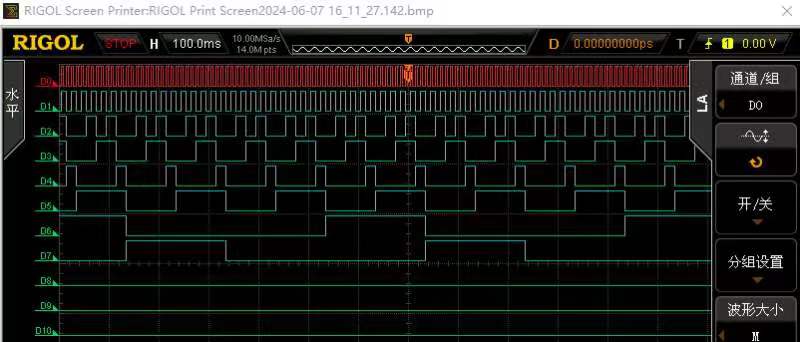
仿真设计如下：



实验箱连接如下：



示波器显示波形如下：



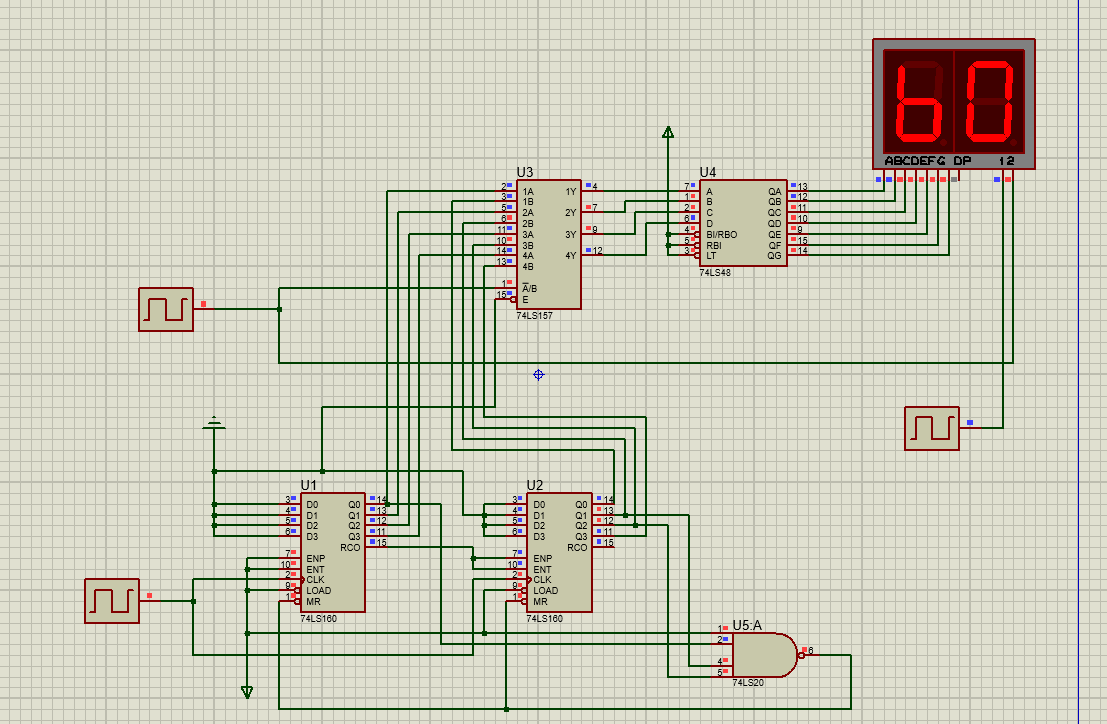
从上到下依次为CLK,个位Q0~Q3,十位Q0~Q2

1. **思考与提高**
2. **同步置数和异步清零方法设计六十进制计数器电路的区别。**

同步置数是将 MR 端接高电平 1，到数字计数到 59 时置数，通过真值 表选择相应的位数连接门电路接入置数端.

异步清零时将 load 端接高电平 1，当数字计数到 60 时清零，通过真值 表分析并选择相应的位置连接门电路接入清零端

如图：

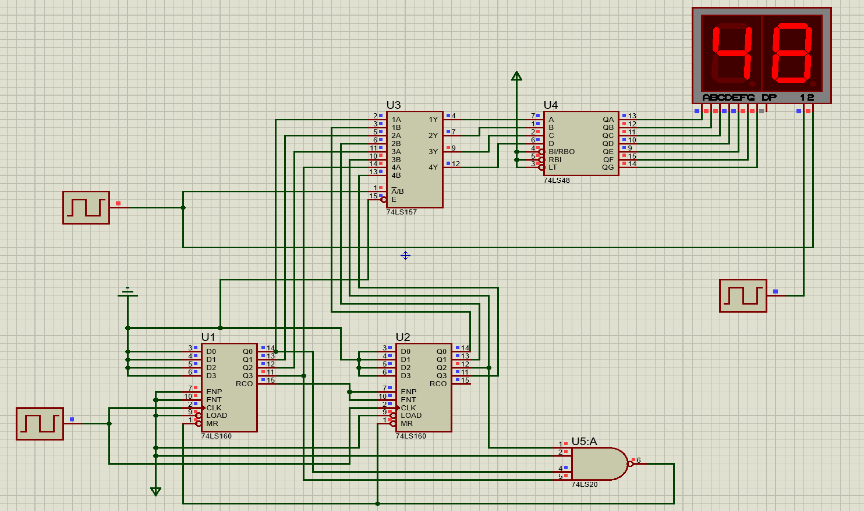


1. **使用 74LS197 和 74LS160 实现二十四进制计数器的区别**

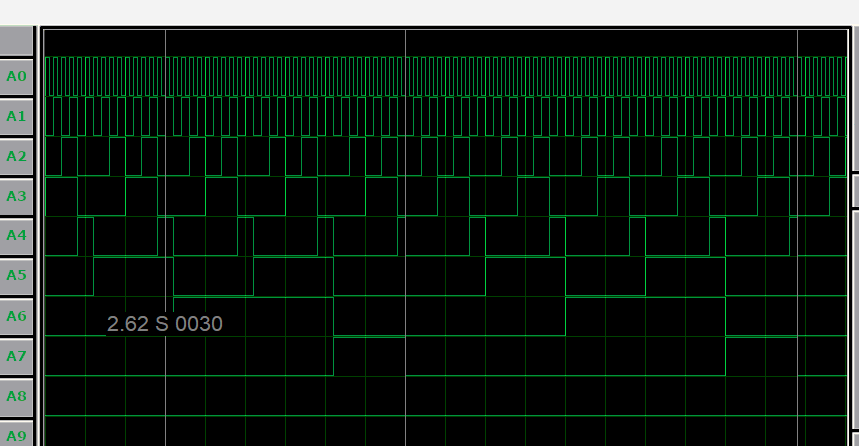
* **74LS197**：这是一个可预置的四位二进制同步加减计数器。虽然它本身是一个二进制计数器，但可以通过外部逻辑电路（如译码器、比较器等）来限制其计数范围，从而实现二十四进制计数器。例如，当计数器达到“10111”（即23的二进制表示）时，可以通过外部逻辑将计数器重置为“00000”（即0的二进制表示），从而形成一个二十四进制的循环。
* **74LS160**：这是一个四位二进制同步可预置计数器。与74LS197类似，它本身也是一个二进制计数器。但74LS160有一个特殊的“进位输出”（RCO）引脚，当计数器从“10011”（即15的二进制表示）增加到“10100”时，RCO会输出一个高电平脉冲。这个特性使得74LS160在实现大于十六进制的计数器时更为方便。为了实现二十四进制计数器，可以使用RCO引脚来触发一个外部逻辑电路，当计数器达到“10111”（即23的二进制表示）时，将计数器重置为“00000”。

1. **设计一个48进制的计数器**

Proteus设计如下：



示波器显示波形如下：



从上到下为CLK,个位Q0~Q3,十位Q0~Q2

试验箱连接如下：

