**数电实验报告（十三）**

**同步／异步计数器的实现**

时序逻辑电路通常由组合逻辑电路和触发器两部分基本电路单元构成，且 触发器的输出信号往往与时序逻辑电路的输入端之间存在反馈连接。时序逻辑 电路可分为同步时序逻辑电路和异步时序逻辑电路，区别在于各级触发器是否 采用同一时钟脉冲触发。时序逻辑电路的设计可采用通用的设计步骤，根据电 路时序特点选用合适的触发器和时钟信号完成。

|  |  |  |  |
| --- | --- | --- | --- |
| 姓名： | 马福泉 | 学号： | 23336179 |
| 实验地点： | 丰盛堂c503 | 实验时间： | 2024.6.7 |

**一、实验目的**

1. 熟悉 JK 触发器的逻辑功能。

2. 掌握使用 JK 触发器搭建同步计数器和异步计数器的设计方法。

**二、实验器材**

1. 数字电路实验箱，逻辑分析仪。

2. 器件：74LS74，74LS00，74LS08，74LS20 等。

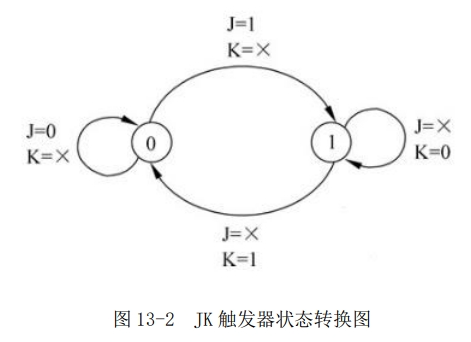
**三、实验要求**

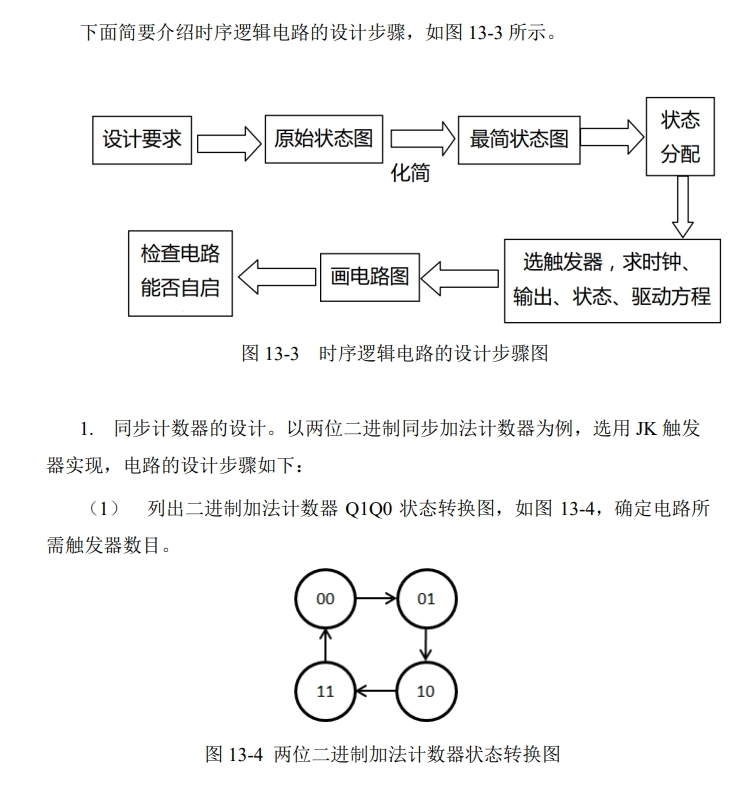
1. 用 JK 触发器设计一个 16 进制同步计数器，用逻辑分析仪观察并记录 CP 和各输出的波形。

2. 用 JK 触发器设计一个 16 进制异步计数器，用逻辑分析仪观察并记录 CP 和各输出的波形。

**四、实验原理**

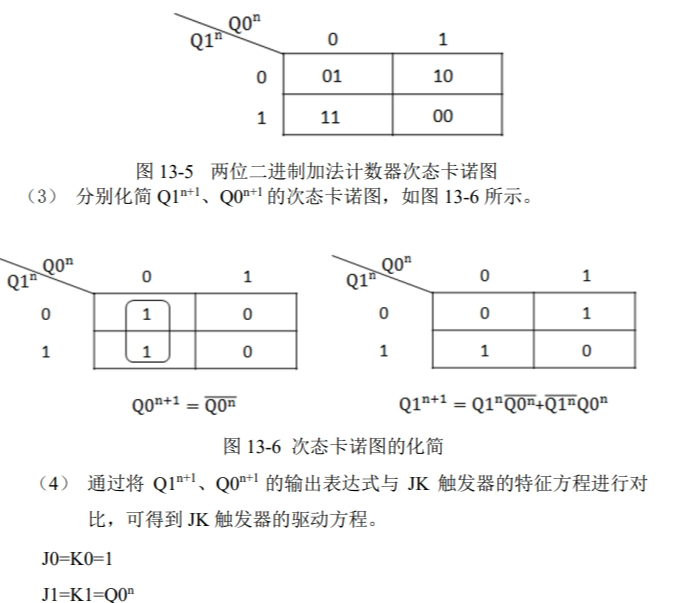
本实验采用集成 J-K 触发器 74LS73 构成时序电路，图 13-1 为 74LS73 的 符号、特性方程，表 13-1 为其功能表，图 13-2 为其状态转换图。

 ****

主从结构的 J-K 触发器在结构和制造工艺的要求尚还有缺点，使用时要求 的工作条件较严格，负载能力也往往达不到理论值。在门电路中往往认为输入端悬空就相应于接了高电平，在短时间的实验期间不会出错。但在 J-K 触发器中， 凡是要求接“1”的，一定要接高电平，不能悬空，否则会出现错误的翻转。触 发器的两个输出的负载过分悬殊，也会出现误翻。 J-K 触发器的清零输入端在 工作时一定要接高电平或连接到实验箱的清零端子 。

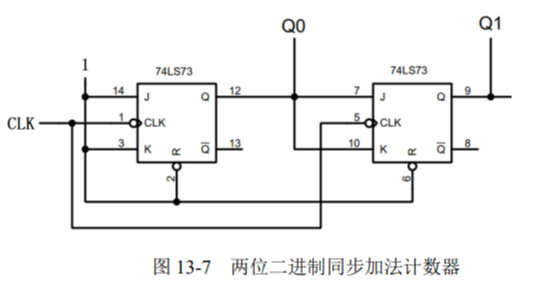
如上图，电路的有效状态 m=4，求所需触发器数目 n。则根据2 𝑛 ≥ 𝑚，可 得 n=2，即需要 2 个触发器。

（2） 画出 Q1n+1Q0n+1的次态卡诺图，如图 13-5 所示。



（5） 检查自启动，由于生成的计数器电路包含了 Q1Q0 所有可能状态，即 Q1Q0 没有不确定的次态，因此这里无需检查自启动。

如图 13-7 所示为两位二进制同步加法计数器电路图，两级 JK 触发器采用同 一连续脉冲作为触发信号，状态的更新是几乎是同时的，因此符合同步计数器要 求。另外由于电路的输出 Q1Q0 是对输入连续脉冲的二进制计数，因此也称为二 进制同步加法计数器。

****

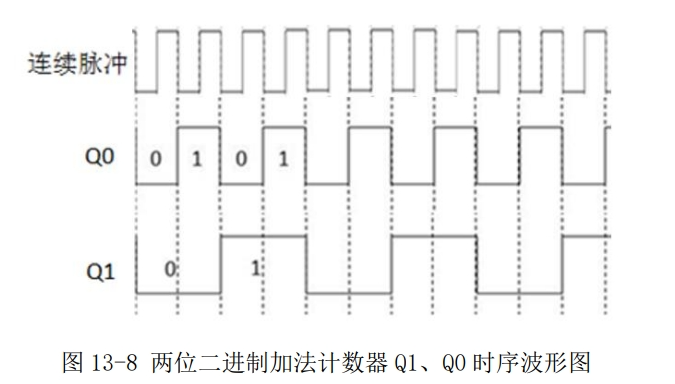
2. 异步计数器内部的每一级触发器的触发信号（时钟信号）是不同的。有 的触发器直接受触发信号的控制，有的触发器则是把其他触发器的输出信号作为 自己的时钟信号。

异步时序逻辑电路的设计除了完成同步时序逻辑电路设计的各项步骤外还 需要为每级触发器选取合适的时钟信号。挑选时钟信号的原则：

（1）触发器状态翻转时必须有时钟触发信号；

（2）触发器状态不翻转时，多余的时钟信号越少越好，以便触发器驱动方 程的化简。异步计数器的设计。

以两位二进制异步加法计数器为例，选用 JK 触发器实现，电路的设计步骤 如下： （1）根据二进制加法计数器 Q1Q0 状态转换图，画出 Q1、Q0 时序波形图。

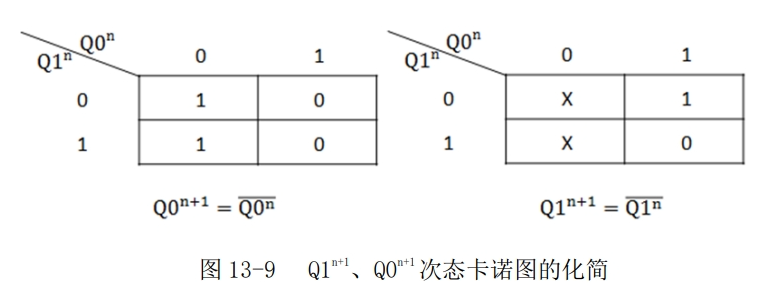
****

通过分析 Q1、Q0 时序波形关系可以看出，每当 Q0 波形出现下降沿时，Q1 状态翻转。

(2) 分别选择两个 JK 触发器的时钟信号。

由于采用下降沿触发的 JK 触发器 74LS73 搭建电路，根据上一步 Q1、Q0 时 序波形的分析结果，按照时钟信号的选取原则，显然第二级 JK 触发器的时钟信 号 CLK2=Q0。而根据计数器是对连续脉冲（有效沿）的计数的定义，第一级 JK 触发器的时钟信号 CLK1 直接选取连续脉冲即可。

(3) 化简 Q1n+1、Q0n+1的次态卡诺图，如图 13-9 所示。

****

需要注意的是异步加法计数器中触发器时钟有效沿到来之前，相应的触发 器输出状态都应该作为约束项处理，即次态卡诺图中无论原先填的是 0 还是 1，都记为 X。

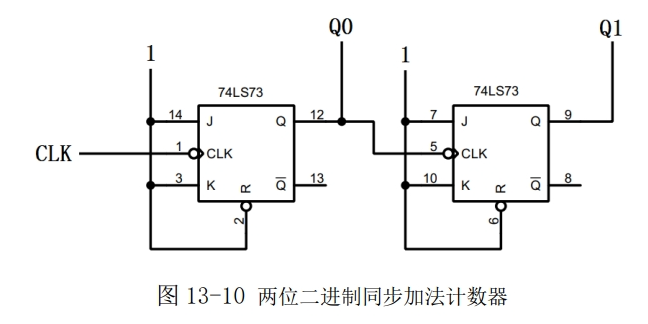
例如 Q1n+1 的次态卡诺图中，当 Q0 没有出现下降沿（Q0 没有发 生 1 到 0 的跳变）时，即 Q1Q0 由 00 变为 01 时和 Q1Q0由10变为11时，对应次态卡诺图中的 Q1n+1 都填 X。

(4) 通过将 Q1n+1、Q0n+1 的输出表达式与 JK 触发器的特征方程进行对比，可 得到 JK 触发器的驱动方程。

J0=K0=1, J1=K1=1。

(5) 检查自启动。同样由于两级 JK 触发器不会产生计数器未涵盖的 Q1Q0 状 态，此处无需检查自启动。

如图 13-10 所示，第二级 JK 触发器每收到前一级 JK 触发器输出信号(Q0)的 下降沿都会发生状态翻转，两级 JK 触发器状态的变化有先后，因此被称为异步 计数器。另外由于电路的输出 Q1Q0 是对输入连续脉冲的二进制计数，因此也称 为二进制异步加法计数器。

****

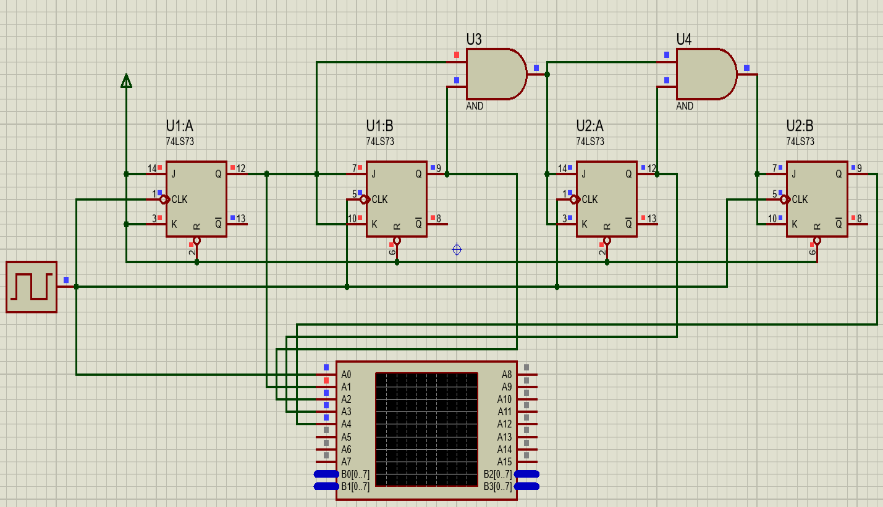
异步计数器与同步计数器相比电路较为简单，但异步计数器存在触发器逐级延迟的问题。同步计数器虽然各级触发器输出相差小，译码时能避免出现尖峰， 但是电路实现一般较复杂。  
 另一方面，通过对二进制计数器的输入、输出信号的相位、频率进行对 比，可以看出二进制计数器第 n 位输出端信号就是输入信号的 2 n 分频信号，且 分频信号的占空比是 50%，因此可以通过搭建计数器实现分频器功能。

**五、实验过程及结果**

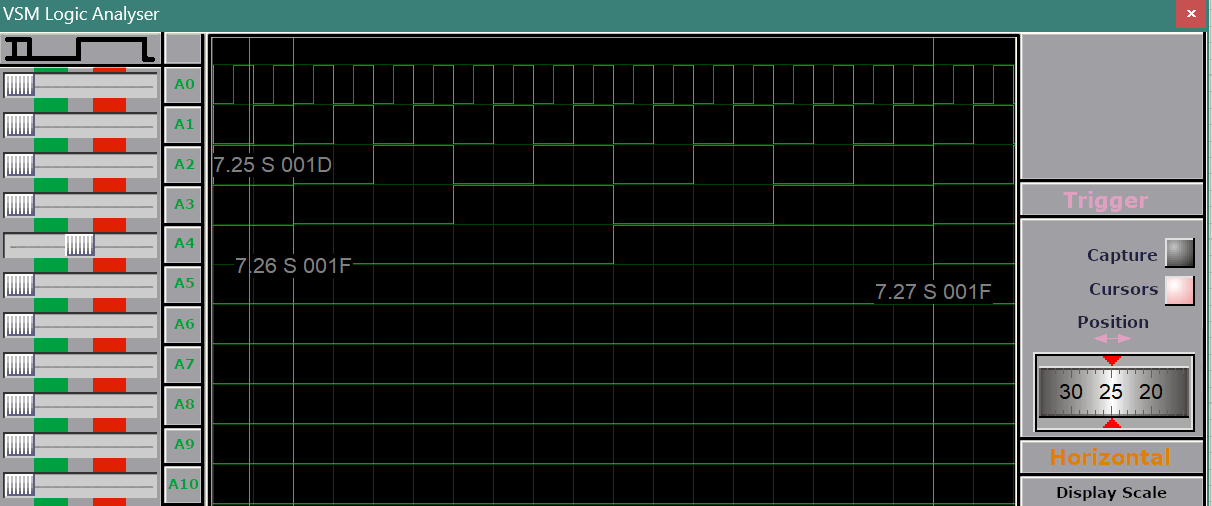
1. 用 JK 触发器设计一个 16 进制同步计数器，用逻辑分析仪观察并记录 CP 和各输出的波形。

Proteus仿真结果：

电路设计如下：

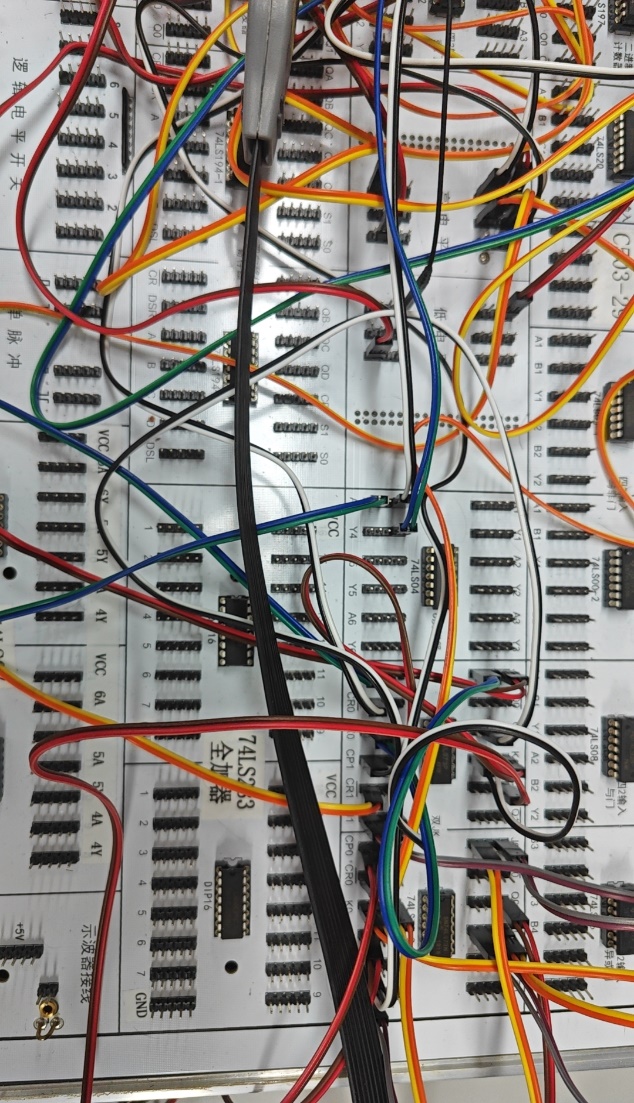


波形图：

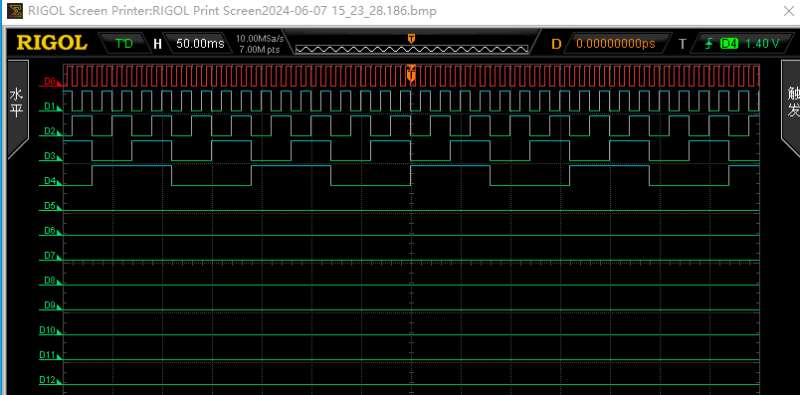


从上到下依次为CLK,Q0,Q1,Q2,Q3

实验箱连接如下：

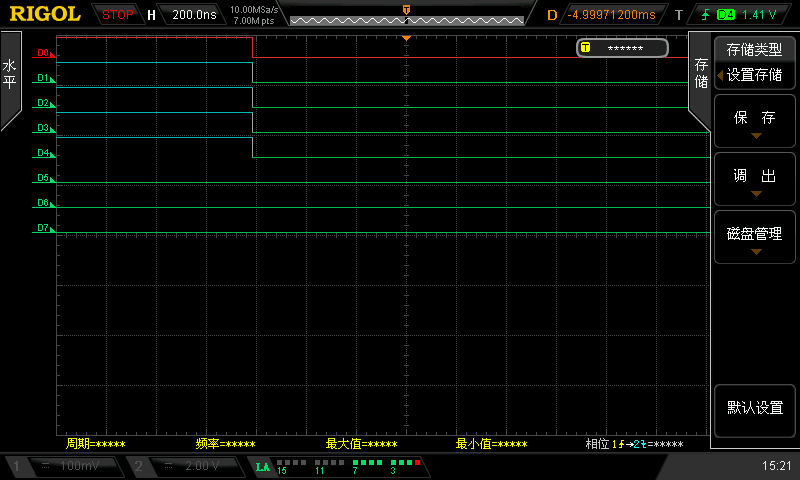


波形图显示：



从上到下依次为CLK,Q0,Q1,Q2,Q3

同步计数器放大后：

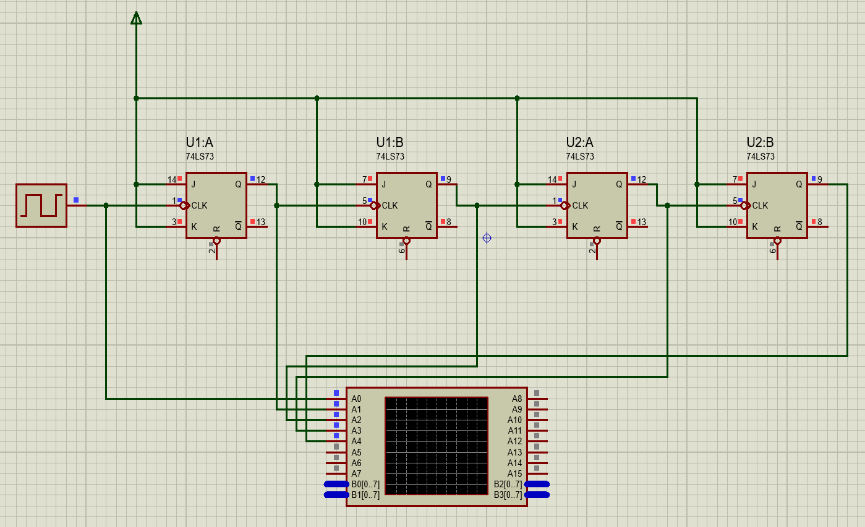


没有延迟现象.

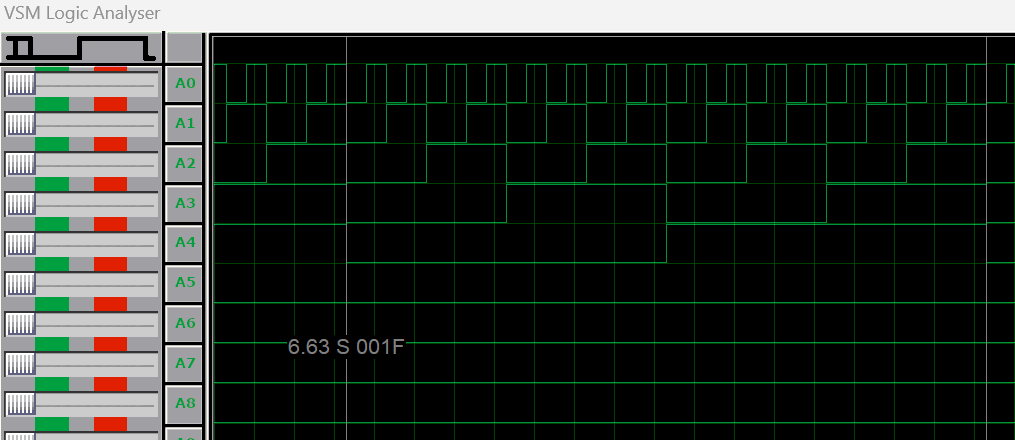
2. 用 JK 触发器设计一个 16 进制异步计数器，用逻辑分析仪观察并记录 CP 和各输出的波形。

仿真结果：

电路设计如下：

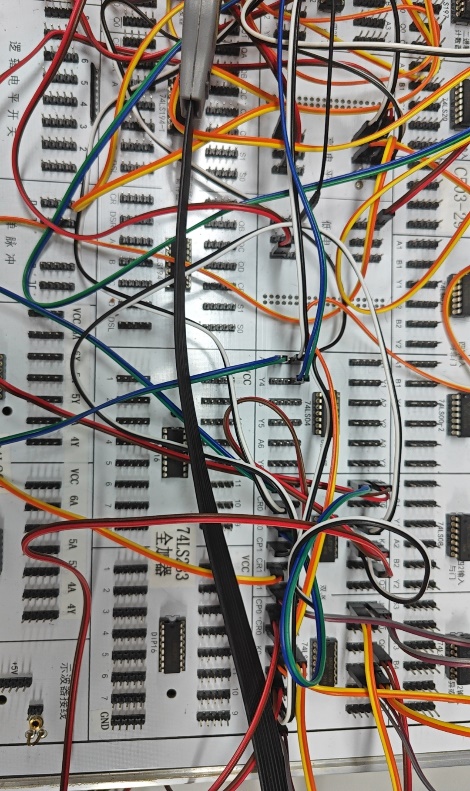


波形图如下：

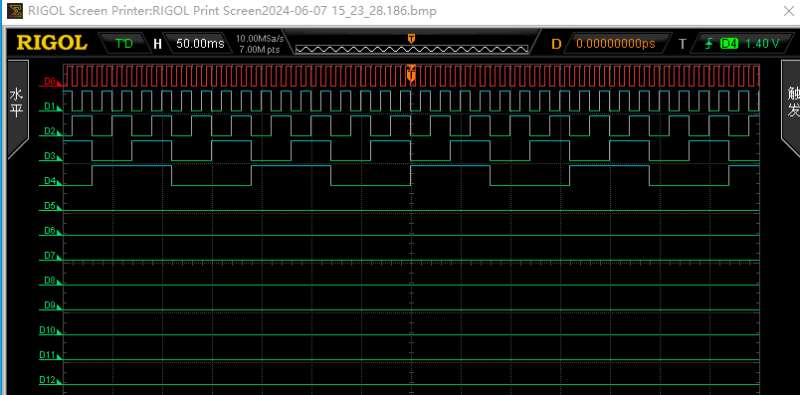
**、**

从上到下依次为CLK,Q0,Q1,Q2,Q3

试验箱连接如下：



波形图如下：



放大后如下：



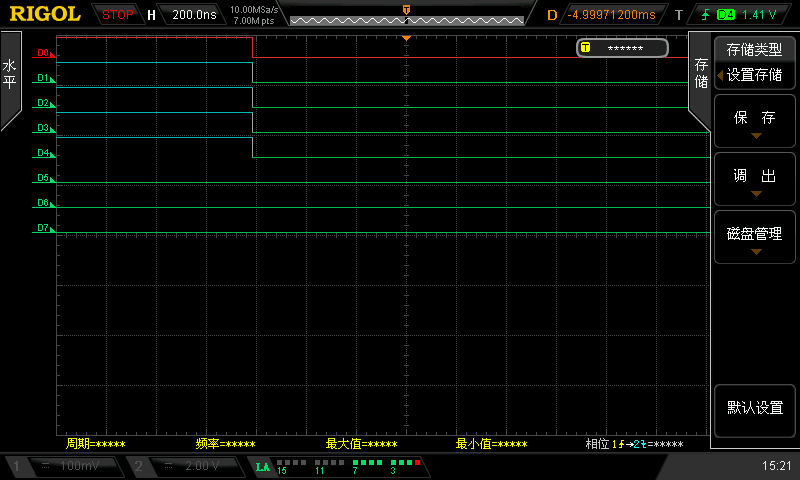
存在延迟现象。

**六、思考与创新**

**1.同步计数器与异步计数器的区别·**

**同步计数器**其触发信号是同一个信号，即同步计数器每一级的触发器都连接至同一个CLK（时钟脉冲）信号。

**示波器显示：**



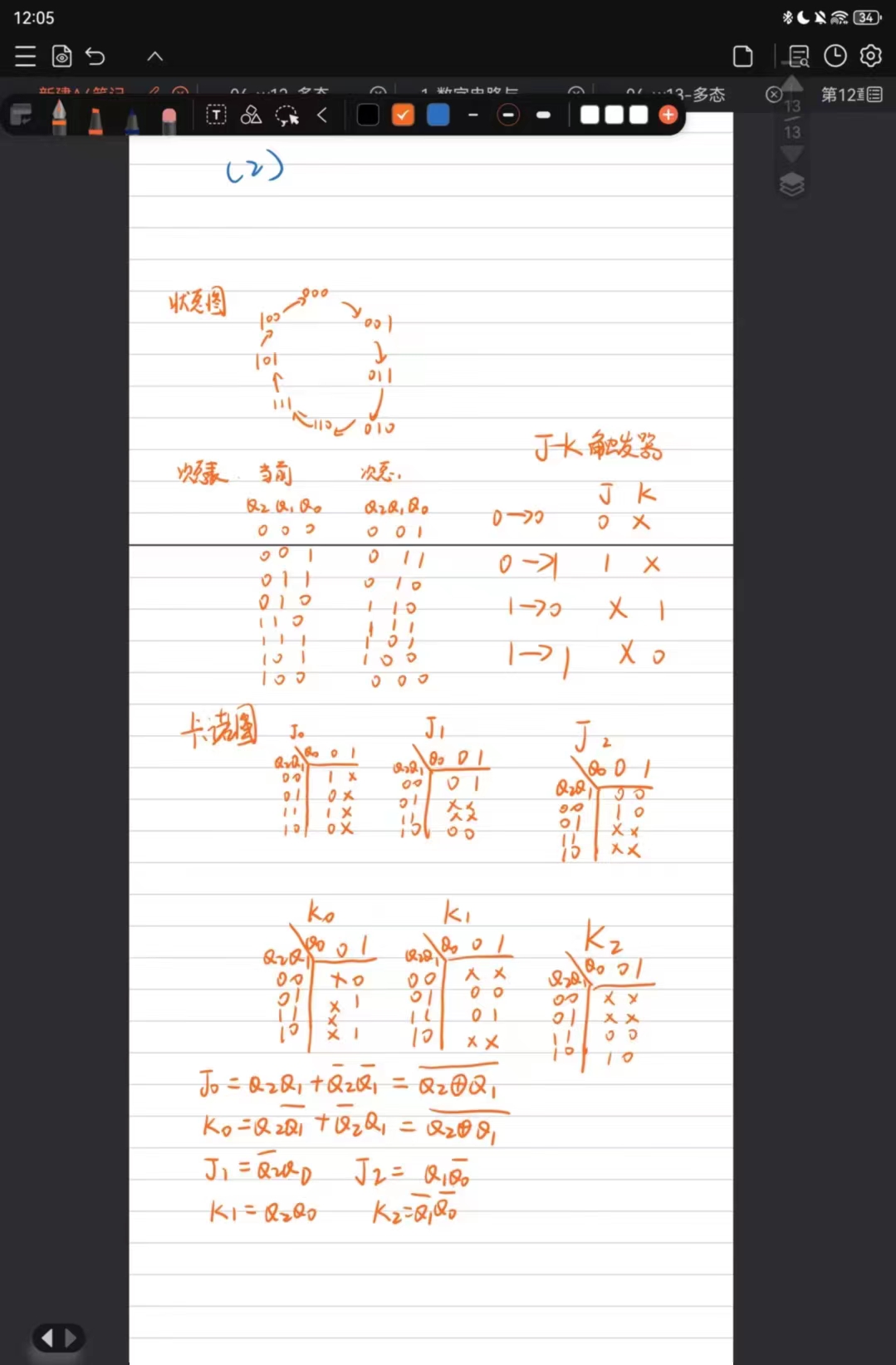
**异步计数器**其触发信号是不同的，即内部各触发器的时钟脉冲端CP并不全都连接在一起，因此各触发器的翻转时刻有先有后。

**示波器显示：**

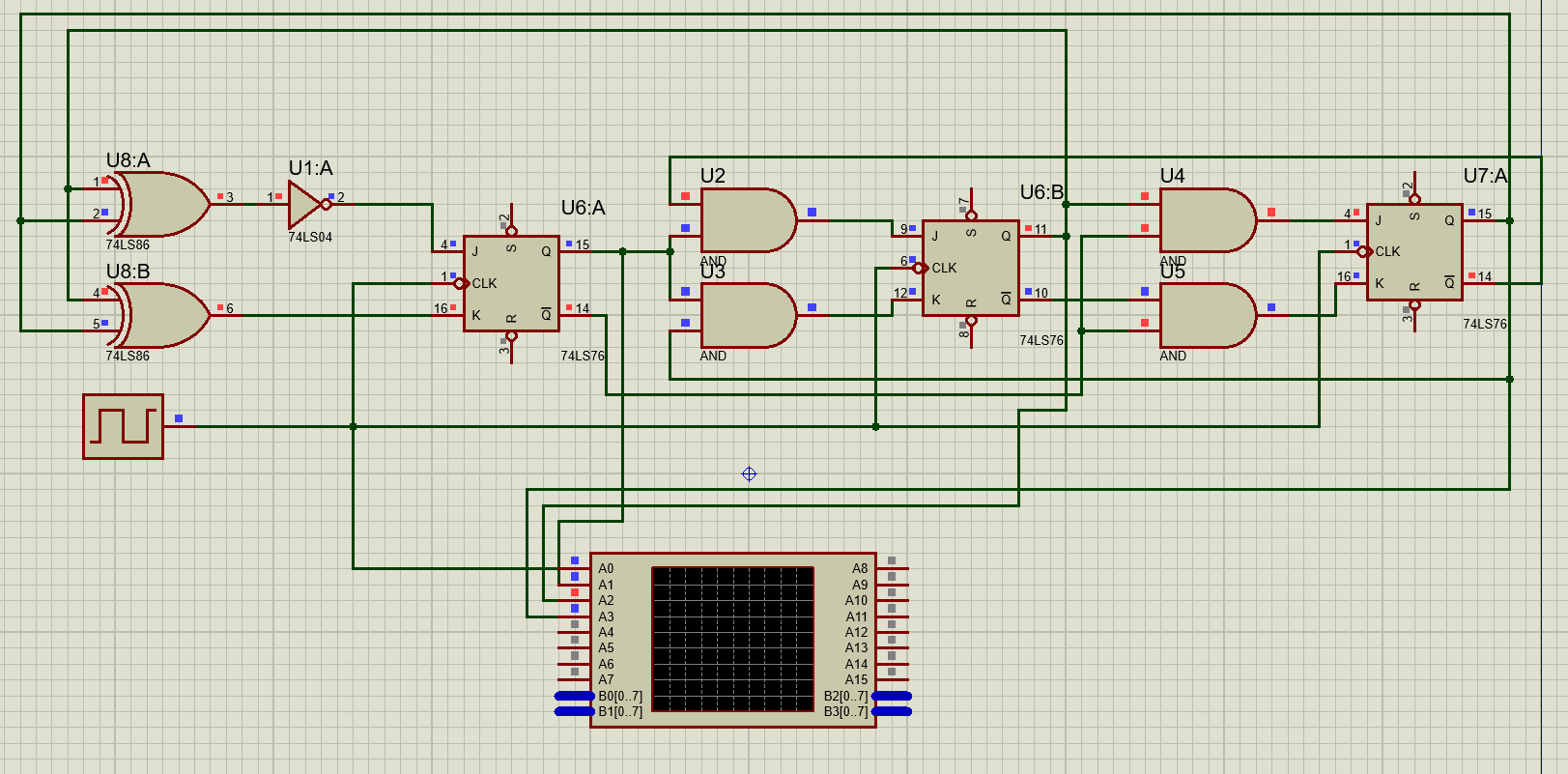


**2.设计以格雷码方式计数的十进制计数器.**

1设计如下：



2仿真设计如下：



示波器显示如下：

