

UNIVERSIDAD DE LAS AMÉRICAS PUEBLA

ESCUELA DE INGENIERÍA

DEPARTAMENTO DE COMPUTACIÓN, ELECTRÓNICA
Y MECATRÓNICA



Reporte final: Máquina expendedora de golosinas

Clave materia sección: LRT2022-1

Equipo 1

177516 Jesus Alvarez Sombrerero
177485 Iván Estrella Sánchez
178432 Fernanda Sofía Ovalle Prado
177212 Daniel Yamil Tlilayatzi Muñoz

A 27 de Noviembre de 2023, San Andrés Cholula, Puebla

Índice

1. Objetivo y objetivos particulares	1
1.1. Objetivos particulares	1
2. Introducción y Marco Teórico	1
3. Diagramas	2
A. Hoja de software	4
Referencias	5

1. Objetivo y objetivos particulares

Programar y simular un circuito secuencial que controle una máquina expendedora.

1.1. Objetivos particulares

- La máquina debe permitir comprar 5 productos.
- La máquina admite monedas de 1, 2, 5 y 10 pesos únicas.
- La máquina permite confirmar la compra, además de solicitar el cambio.
- La máquina debe tener un botón de reset que igual sirve para cancelar.
- Diseñar un circuito que permita la simulación de la máquina.
- Programar el circuito en un FPGA Basys 3 utilizando VHDL.
- Realizar testbench para verificar el funcionamiento del circuito en EDA Playground.

Material

Equipamiento

- Basys 3 board

Software

- Vivado 2022.2
- EDA Playground

2. Introducción y Marco Teórico

El proyecto aborda el diseño y la simulación de un circuito secuencial para controlar una máquina expendedora, utilizando el lenguaje de programación VHDL y el hardware FPGA Basys 3. El objetivo principal es crear un sistema que administre la venta de cinco productos diferentes: picafrase, 3 pesos; ositos, 6 pesos; viboritas, 7 pesos; papas, 12 pesos; jugo, 15 pesos. Este acepta monedas de 1, 2, 5 y 10 pesos que no se repiten. El diseño debe incluir funcionalidades clave, como la confirmación de compra, solicitud de cambio, y un botón de reset que también sirve para cancelar transacciones. Se busca probar todo con un testbench en EDA Playground y luego pasarlo a Vivado para programarlo en el Basys 3.

Un circuito secuencial es un tipo de circuito eléctrico en el que la salida no solo depende de las entradas actuales, sino también del historial de entradas anteriores. A diferencia de los circuitos combinacionales, donde la salida es una función directa de las entradas, los circuitos secuenciales incorporan memoria. Esta memoria se logra mediante el uso de elementos de almacenamiento, como flip-flops o latches, que pueden mantener un estado. Esto permite que

el circuito recuerde información pasada, lo que es fundamental para la creación de dispositivos como computadoras, donde se necesitan secuencias de operaciones y almacenamiento de datos [1].

Una forma que otros han desarrollado una máquina expendedora en VHDL es mediante la implementación de un controlador que gestiona las entradas monetarias y coordina la dispensación de productos y el cambio. Este enfoque utiliza un conjunto de señales para detectar la inserción de dinero y activa la entrega del artículo una vez que se alcanza la cantidad exacta. Con un diseño que incorpora estados de espera y procesamiento, el sistema asegura una operación fluida y eficiente, ajustando las salidas de la máquina en respuesta a las acciones del usuario. La programación en VHDL permite una descripción precisa del comportamiento del controlador de la máquina expendedora [2].

Siguiendo el acercamiento de seleccionar de acuerdo a casos, decidimos ir por una programación de asignación de señales condicional, además de utilizar la operación de suma y resta con números, contando igual, con un circuito capaz de hacer display de 7 segmentos. En VHDL, la programación de circuitos que realizan operaciones basadas en señales condicionales a menudo sigue un patrón donde un proceso secuencial verifica el estado de múltiples señales de entrada y realiza cálculos o toma decisiones basadas en esos estados. Cada señal de entrada representa una condición o un valor que, cuando es activado, desencadena una acción dentro del proceso. Por su lado las bibliotecas IEEE.STD_LOGIC_ARITH y IEEE.STD_LOGIC_UNSIGNED son paquetes adicionales en VHDL que proporcionan funcionalidades para realizar operaciones aritméticas con señales que son de tipo std_logic_vector [3]. Por su lado, un display de 7 segmentos en una Basys 3 debe ser mapeado por código utilizando el reloj, se debe diseñar las asignaciones que se pueden realizar en un display y un controlador que recorra los 4 displays. Posteriormente, se debe definir ese controlador en un archivo .xdc junto a los puertos que se pueden utilizar, los cuales deben ser activados en los tipos de asignaciones que se definen [4].

3. Diagramas

Código 1: Código desde archivo y en C

```
#include <16F1937.h>
#fuses XT,NOWDT
#use delay( clock = 4000000 )    // Reloj de 4 MHz
#use fast_io (B) // Directiva

void main () {
    port_b_pullups (TRUE);
    set_tris_B(0x01); // Definir entradas y salidas
    output_low (PIN_B1); // Escribir salida
    while (1)
    {
        if (input(PIN_B0)==1)
            output_low (PIN_B1);
        else
            output_high (PIN_B1);
    }
}
```

```
}  
}
```

Código 2: Código en VHDL

```
library IEEE;  
use IEEE.STD_LOGIC_1164.ALL;  
use IEEE.std_logic_unsigned.all;  
entity Contador0_9 is  
    Port ( clock_100Mhz : in STD_LOGIC;  
           reset : in STD_LOGIC;  
           Anode_Activate : out STD_LOGIC_VECTOR (3 downto 0);  
           LED_out : out STD_LOGIC_VECTOR (6 downto 0);  
           Led0: out STD_LOGIC:= '0';  
           Led1: out std_logic:= '0'); — COMMENT  
end Contador0_9;
```

Código 3: Código en Python

```
def hello(name):  
    print 'Hello ', name  
  
if __name__=='__main__':  
    hello('Me')    #COMENTARIO
```

A. Hoja de software

Referencias

- [1] R. Ubar, J. Kõusaar, M. Gorev, and S. Devadze, “Combinational fault simulation in sequential circuits,” in *2015 IEEE International Symposium on Circuits and Systems (ISCAS)*, 2015, pp. 2876–2879.
- [2] B. J. LaMeres, *Quick Start Guide to VHDL*. OpenStax, 2019. [En línea]. Disponible: <https://open.umn.edu/opentextbooks/textbooks/quick-start-guide-to-vhdl>
- [3] S. Noriega, *Introducción al diseño lógico con VHDL*, 2018. [En línea]. Disponible: <http://catedra.ing.unlp.edu.ar/electrotecnia/islyd/apuntes/Tema%2012c%20Logica%20Programable%20VHDL%20%202018.pdf>
- [4] I. Digilent, *Basys 3 FPGA Board Reference Manual*, 2023. [En línea]. Disponible: <https://reference.digilentinc.com/reference/programmable-logic/basys-3/reference-manual>