08 Lug	lio, 2024 - A	rchitetture dei Sis	temi di Elat	orazione	
Nome,	MATRICOLA	PierpaoloBe	neS3198	41	

Domanda 1

Considerando il processore MIPS64 e l'architettura descritta in seguito:

- Integer ALU: 1 clock cycle
- Data memory: 1 clock cycle
- FP multiplier unit: pipelined 8 stages
- FP arithmetic unit: pipelined 4 stages
- FP divider unit: not pipelined unit that requires 8 clock cycles
- branch delay slot: 1 clock cycle, and the branch delay slot disabled
- forwarding enabled
- it is possible to complete instruction EXE stage in an out-of-order fashion.

Usando il frammento di codice riportato, si calcoli il tempo di esecuzione dell'intero programma in colpi di clock e si completi la seguente tabella.

```
; for (i = 0; i < 100; i++) {
;      v4[i] = (v1[i] * v2[i]) / v3[i];
;      v5[i] = v1[i] * v3[i]; }</pre>
```

																																		Clock cycles
. 0	data																																	
V1:	.double "100 values"																																	
V2:	.double "100 values"																																	
V3:	.double "100 values"																																	
	.double "100 zeros"																																	
. te																																		
main:	daddui r1,r0,0	F	D	Ε	М	W																										,		5
	daddui r2,r0,100		F	D	E	М	M																											1
loop:	l.d f1,v1(r1)			F	D	Ε	М	W																										1
	l.d f2,v2(r1)				F	D	E	M	W																									1
	mul.d f4,f1,f2					F	D	S	*	*	*	*	*	*	*	*	М	W																9
	l.d f3,v3(r1)						F	S	D	E	М	M																						0
	div.d f4,f4,f3								F	D	S	S	S	S	S	S	/	/	/	/	/	/	/	/	М	M								8
	s.d f4,v4(r1)									F	S	D	E	S	S	S	s	S	S	S	S	S	S	S	S	М	W							1
	mul.d f5,f1,f3											F	D	*	*	*	*	*	*	*	*	М	M											0
	s.d f5,v5(r1)												F	D	E	S	s	S	s	S	S	S	М	M										0
	daddui r1,r1,8													F	D	s	s	s	s	s	s	S	E	М	W									0
	daddi r2,r2,-1														F	S	S	S	s	S	S	S	D	E	М	M								0
	bnez r2,loop																						F	s	D	E	М	M						1
	Halt																								F	-	-	-	-					1

08 Luglio, 2024 – Architetture dei Sistemi di Elaborazione
Nome MATRICOLA Piernaolo Bene S319841

MOINE, MAINI	-U	'L/	╮.	 !	ים וי	aui	U.,	. De	2116	=	٥.) <u>T</u> D	0-	τ⊥.,			• • • •			• • • • • •	 	 	 	 	 	 	 1
																											<u> </u>
TOTAL																											
														6	+	(10	0 *	22)								2206

08 Luglio, 2024 – Architetture dei Sistemi di Elaborazione Nome, MATRICOLAPierpaolo...Bene...S319841......

Domanda 2

Considerando il programma precedente, calcolare la miss prediction ratio per i seguenti casi:

- 1. processore con predittore di salti statico di tipo always taken
- 2. processore con predittore di salti statico di tipo always not taken
- 3. processore con predittore di salti dinamico di tipo BHT di 2-bit con 1024 linee, con tutti i predittori inizializzati a 0.
 - 1.In un processore con predittore di salti statico di tipo always taken avrei le prime 99 predizioni corrette e l'ultima (quella in cui il salto non viene preso) errata. Perciò avrei un'unica misprediction -> misprediction ratio = 1/100 = 0.01, in percentuale -> 0.01 * 100 -> 1%
 - 2. Processore di tipo always not taken ho la sitauzione opposta, cioè 99 volte la prediction è errata, una volta giusta.

Ho quindi 99 misprediction -> il ratio di misprediction è = 99/100 = 0.99 * 100 = 99%

3.Nel caso di un BHT di 2-bit -> prima iterazione il bht passa da 0 a 1, (misprediction count = 1), nella seconda da 1 a 2 (misprediction count = 2), nella terza da 2 a 3 (misprediction count = 2), e rimane a 3 sino all'ultima iterazione in cui passa da 3 a 2 (misprediction count = 3). Perciò il ratio di misprediction è dello 3%.

In questa situazione sarebbe stato più conveniente un predittore di salti statico di tipo always taken.

08 Lug	ılio, 2024	Architetture	e dei Sistem	ni di Elaborazione	<u>:</u>	
Nome,	MATRICOLA	\Pierp	aoloBene.	S319841		

Domanda 3

Considerando il processore e il programma riportati nella prima domanda, si ottimizzi il programma utilizzando tutte le strategie di ottimizzazione statica inclusa l'abilitazione del branch delay slot.

Si riporti il nuovo codice e si calcoli il tempo di esecuzione dell'intero programma in colpi di clock.

																																			Clock cycles
	data																																		
V1:	.double "100 values"																																		
V2:	.double "100 values"																																		
V3:	.double "100 values"																																		
 V5:	.double "100 zeros"																																		
	.double "100 zeros"																																		
	.double "100 values"																																		
	.double "100 values"																																		
. te																																			
main:	daddui r1,r0,0	F	D	E	М	W																													5
	daddui r2,r0,100		F	D	Е	М	W																												1
loop:	l.d f1,v1(r1)			F	D	E	М	M																											1
	l.d f2,v2(r1)				F	D	Ε	М	W																										1
	l.d f3,v3(r1)					F	D	Ε	М	W																									1
	mul.d f4,f1,f2						F	D	*	*	*	*	*	*	*	*	М	W																	8
	mul.d f5,f1,f3							F	D	*	*	*	*	*	*	*	*	М	M																1
	l.d f6,v1(r1+8)								F	D	Ε	М	M																						0
	l.d f7,v2(r1+8)									F	D	E	М	M																					0
	l.d f8,v3(r1+8)										F	D	Ε	М	W																				0
	daddui r1,r1,16											F	D	E	М	W																			0
	mul.d f9,f6,f7												F	D	*	*	*	*	*	*	*	*	М	M											5
	mul.d f10,f6,f8													F	D	*	*	*	*	*	*	*	*	М	W										1
	div.d f4,f4,f3														F	D	/	/	/	/	/	/	/	/	М	W									1
	s.d f5,v5(r1)															F	D	E	М	M															0
	s.d f4,v4(r1)																F	D	E	S	S	s	S	S	S		M								1
	s.d f10,v5(r1+8)																	F	D	S	S	s	S	S	S	E I	M W								1
	div.d f9,f9,f8																		F	D	S	S	S	S	/	/	/ 7	/	/	/	/	М	M		6

08 Luglio, 2024 – Architetture dei Sistemi di Elaborazione
Nome, MATRICOLAPierpaolo...Bene...S319841......

Monne, MATKIN	<u> </u>	٠	 <u></u>	ICI	Pι	101	<u> </u>	. D	<u> </u>	 <u> </u>	<u>, </u>	, U-	т <u>т.</u>						• • • • •			• • •	• • • •			• • • •	• • • •		• • •	• • • •	· · · ·			
daddi r2,r2,-2																F	s	S			М													0
bnez r2,loop																			F	S	D	E	М	W										0
s.d f9,v4(r1+8)																					F	D	Ε	s	S	S	S	S	S	М	M			1
Halt																											F	-	-	-	-	_		1
TOTAL													6	+ (50	* 28	3) +	+ 1					•											1407
																																	\Box	
																																	\blacksquare	
																																	\vdash	
																																	\vdash	
																																	\vdash	
																																	\vdash	
																																	\sqcup	
																																	\square	
																																	\sqcup	

08 Lug	ılio, 2024 -	Architetture dei S	Sistemi d	di Elaborazione
Nome,	MATRICOLA	APierpaolo	.BeneS	5319841
Domand	2	-		

Considerando il programma ottimizzato della domanda precedente, che benefici si potrebbero trarre dall'introduzione di un'unità di divisione floating point pipelined di 8 stages?

Introducendo una unita di divisione pipeline da 8 stages, per come ho strutturato il programma si eviterebbero li stalli sulal div f9,f9,f8 poiché non dovrebbe attendere che la prima div sia finita, ma potrebbe già partire. In totale si risparmierebbero 2 colpi di clock ad ogni loop.

08 Lug	lio, 2024 – Architetture dei S	istemi	i di Elaborazione
Nome,	MATRICOLAPierpaolo	Bene	.S319841