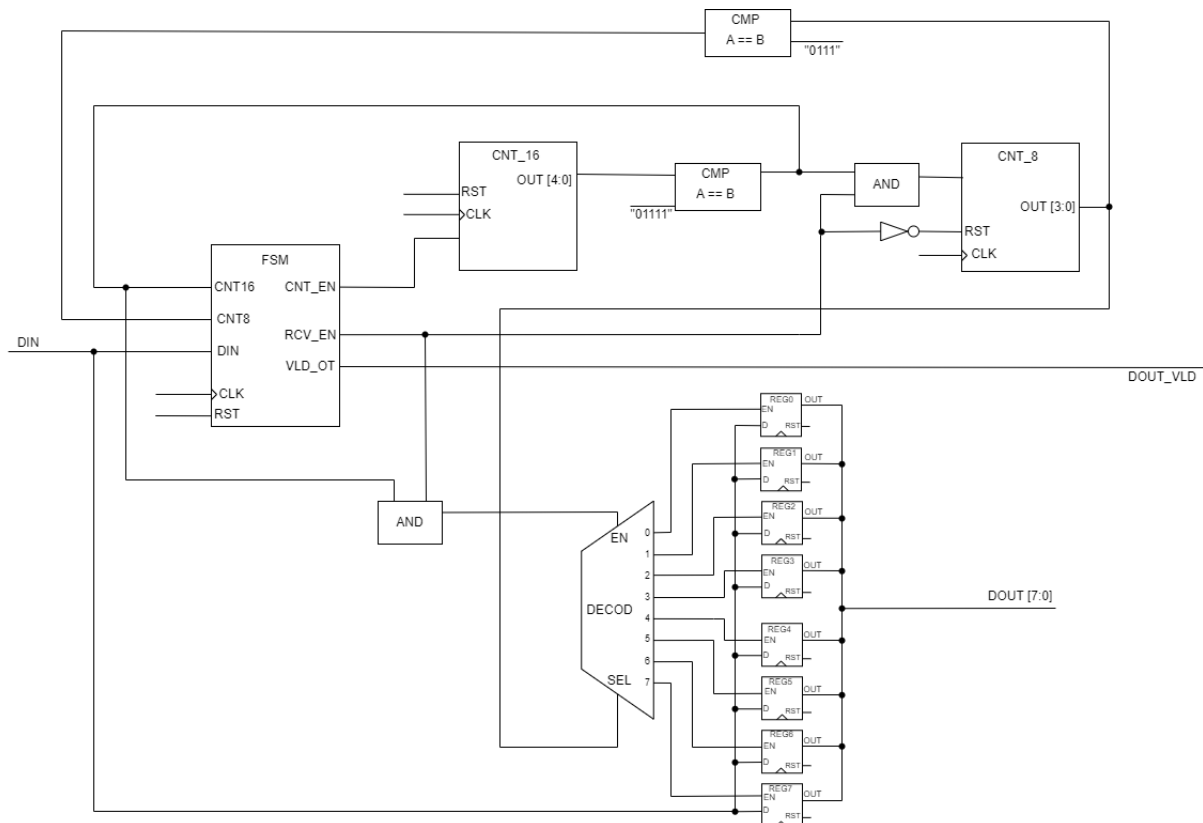


**Jméno:** Matúš Fignár

**Login:** xfignam00

## 1. Architektúra navrhnutého obvodu (na úrovni RTL)

### Schéma obvodu

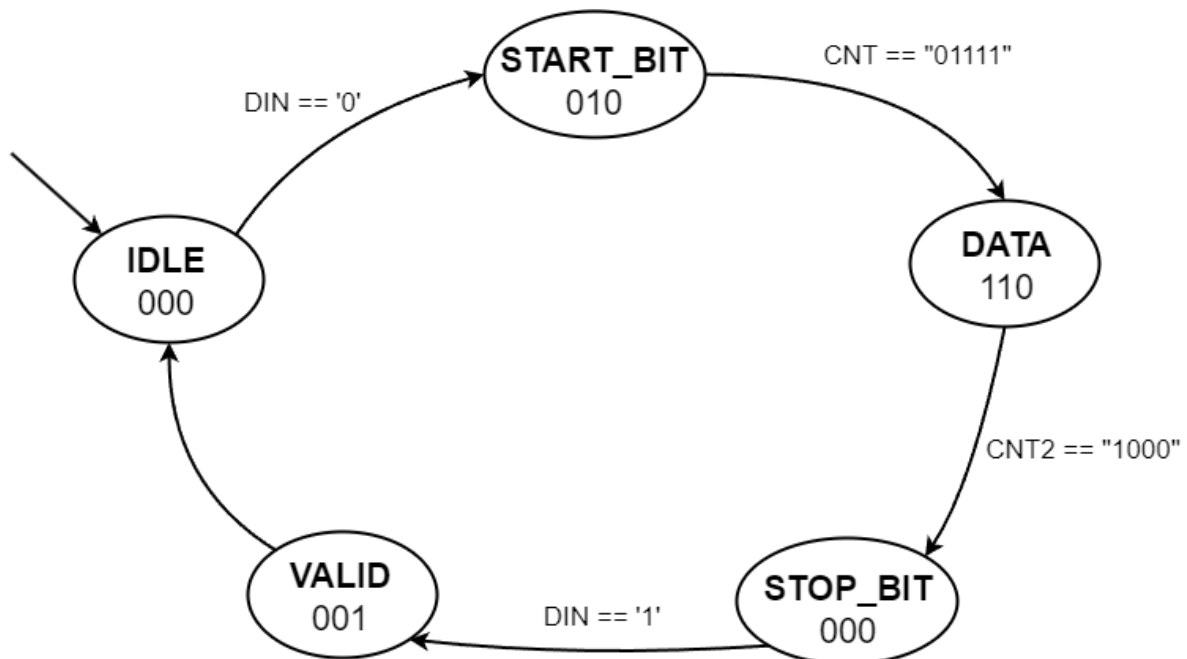


### Popis schémy:

Obvod je riadený automatom označeným FSM, ktorého stavy a funkcionality je popísaná v nasledujúcej časti. Ďalej obvod sa skladá z počítadla CNT\_16, CNT\_8, dekodéru a výstupného registeru. CNT\_16 počíta počet prejdejších taktov, spúšťa sa pokiaľ na jeho prívide je CNT\_EN = '1' a resetuje ak CNT\_EN = '0' alebo RST = '1'. Jeho výstup prechádza cez komparátor, ktorý skúma či prešlo už presne 16 taktov ("01111"). CNT\_8, počíta počet prejdejších bitov, je inkrementovaný za predpokladu, že výstup hradla AND, ktorého vstupy sú RCV\_EN a výstup z komparátora pre CNT\_16 je '1'. Výstup CNT\_8 je selektorom pre dekodér vďaka ktorému sa vstupný signál DIN zapíše na vybraný register. Dekodér je otváraný hradlom AND, ktorého vstupy sú RCV\_EN a výstup z komparátora pre CNT\_16. 8 bitový výstup DOUT je hodnota zo všetkých registrov. DOUT\_VLD je '1' práve vtedy, keď VLD\_OT je nastavené na '1'.

## 2. Návrh automatu (Finite State Machine)

### Schéma automatu



### Legenda:

- **Stavy automatu:** IDLE, ZERO\_BIT, DATA, STOP\_BIT, VALID
- **Vstupné signály:** DIN, CNT, CNT2
- **Moorove výstupy:** RCV\_EN, CNT\_EN, VLD\_OT

### Popis automatu:

- IDLE – počiatočný stav automatu, všetky výstupy sú nastavené na '0'
- START\_BIT – nastane po stave IDLE ak sa nastaví DIN = '0', pri tomto stave sa nastaví CNT\_EN = '1', ktorý spúšťa počítadlo 16 taktov
- DATA – nastane po stave START\_BIT, CNT = "01111", zanechá CNT\_EN = '1' a nastaví RCV\_EN = '1'
- STOP\_BIT – nastane po stave DATA, ak CNT2 = "1000", nastaví CNT\_EN = '0' a RCV\_EN = '0'
- VALID – nastane ak DIN = '1', nastaví VLD\_OT = '1', trvá iba jeden takt hodín a následne obvod vracia do počiatočného stavu

### 3. Snímok obrazovky zo simulácií

