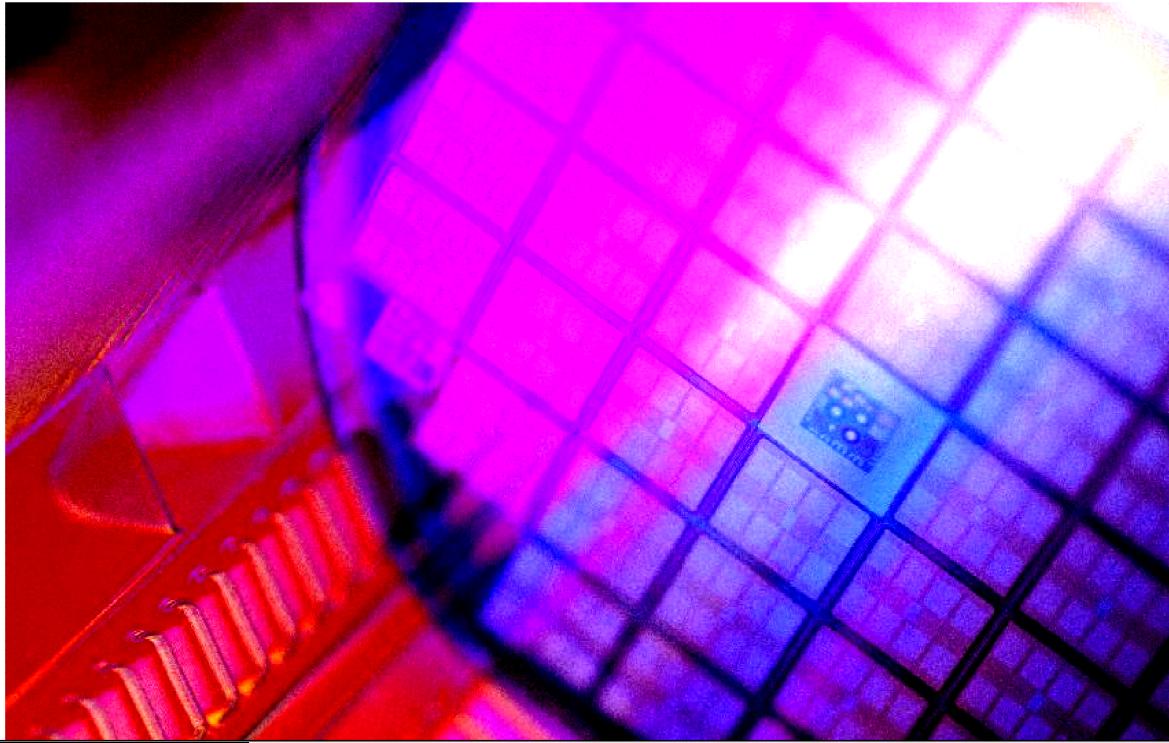


FES1301T01-V0.00



ZRtech

FPGA 开发套件 NIOS 实验教程

——NIOS 工程的建立



www.zr-tech.com

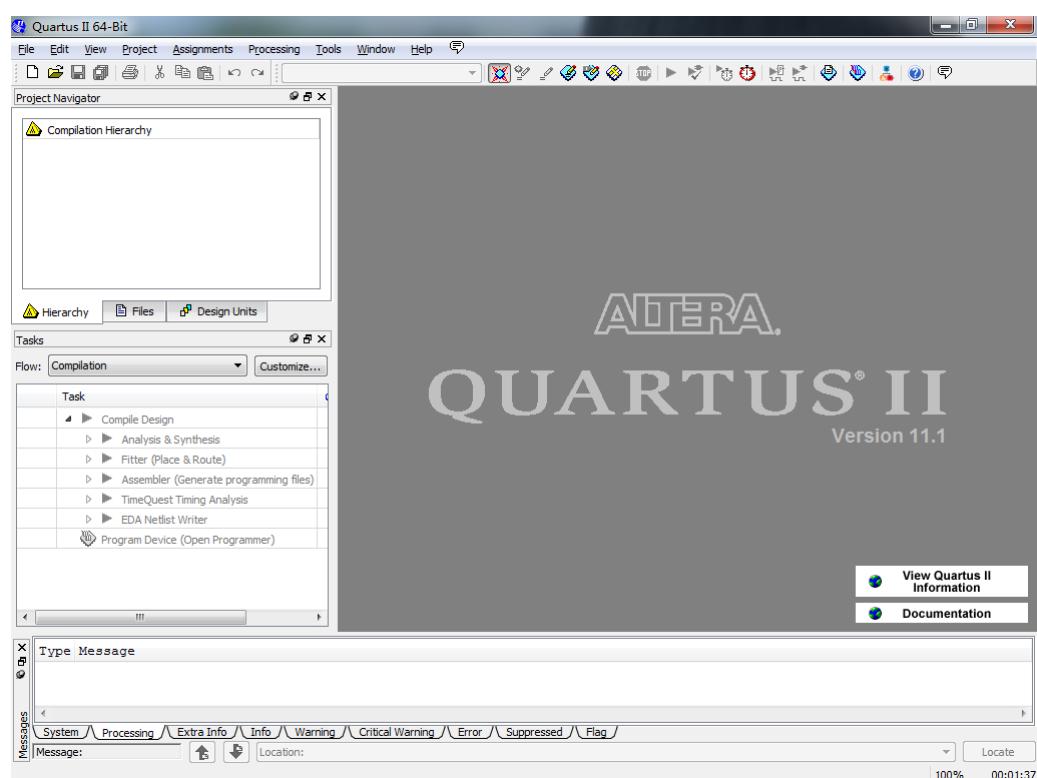
实验一、NIOS 工程的建立

实验目的：

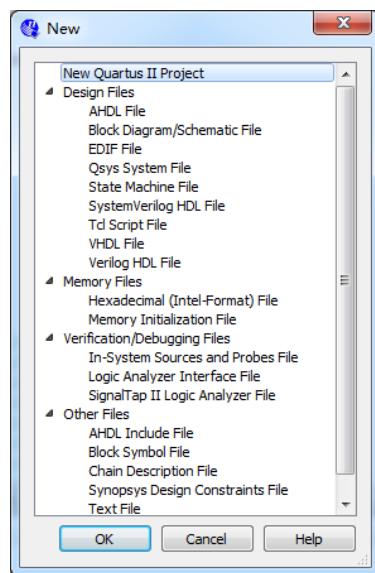
掌握 SOPC 基本的开发流程。

具体实现：

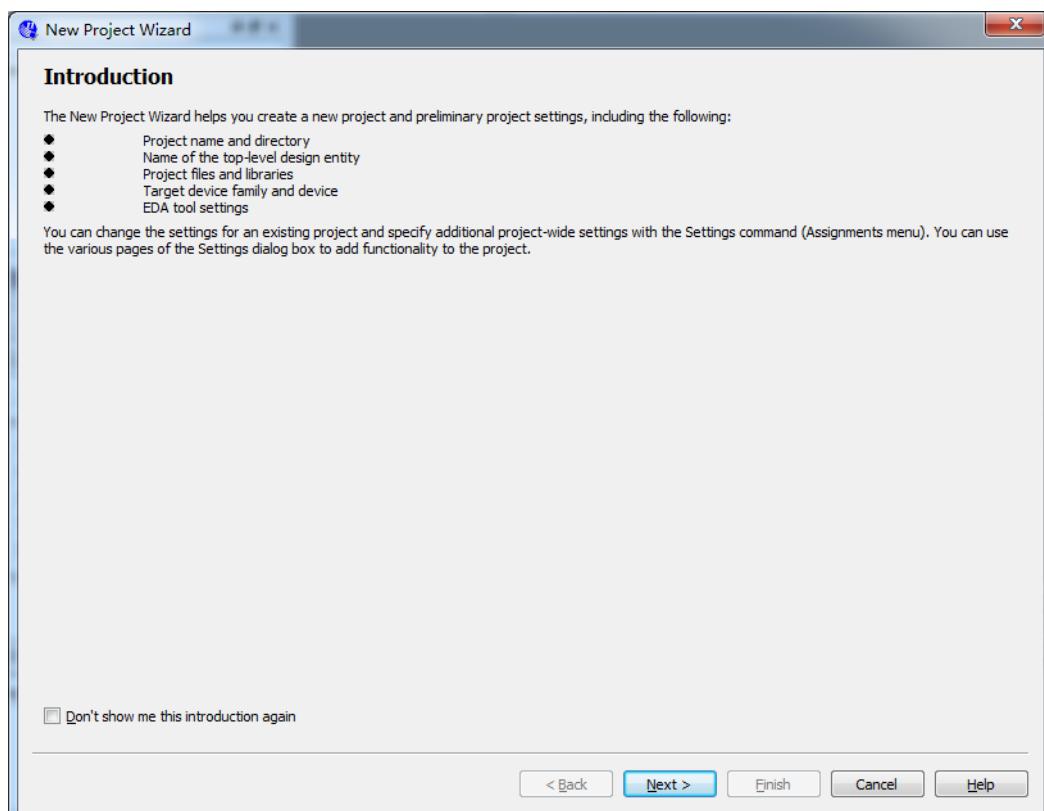
- 首先我们需要建立一个 Quartus 工程 ,首先打开 Quartus ,这里我们选择 Quartus II 11.1 SP2 版本。



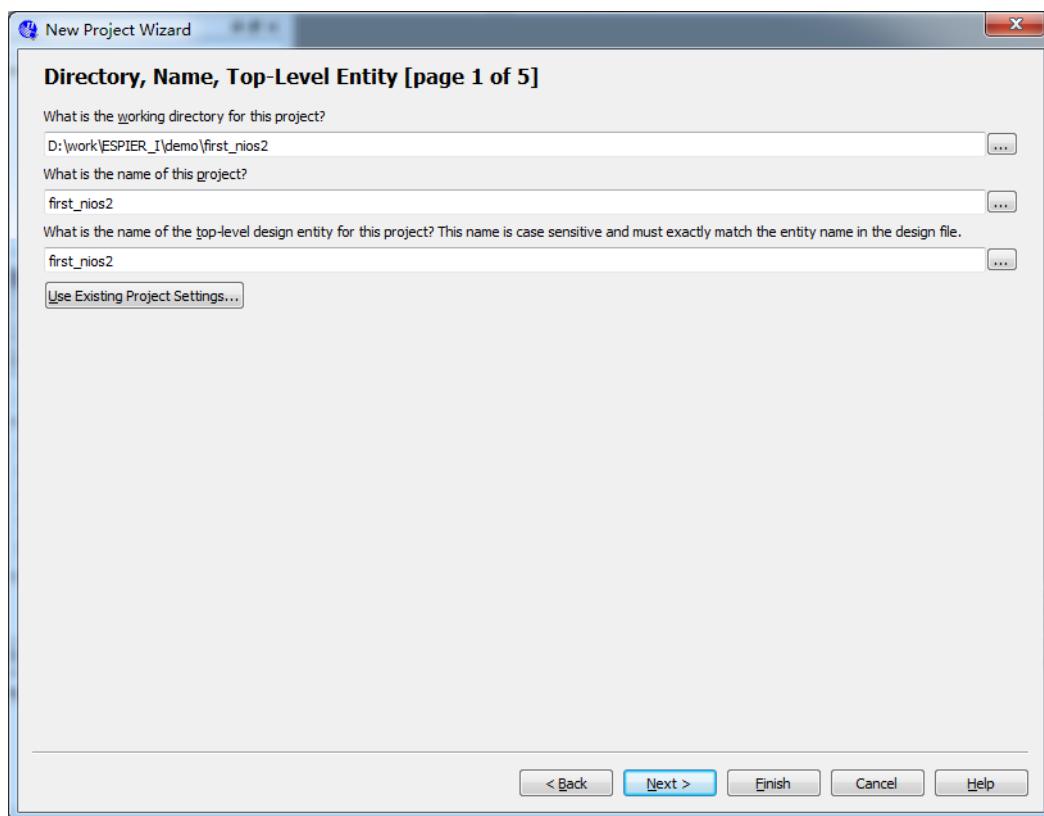
- 点击 File 选择 New



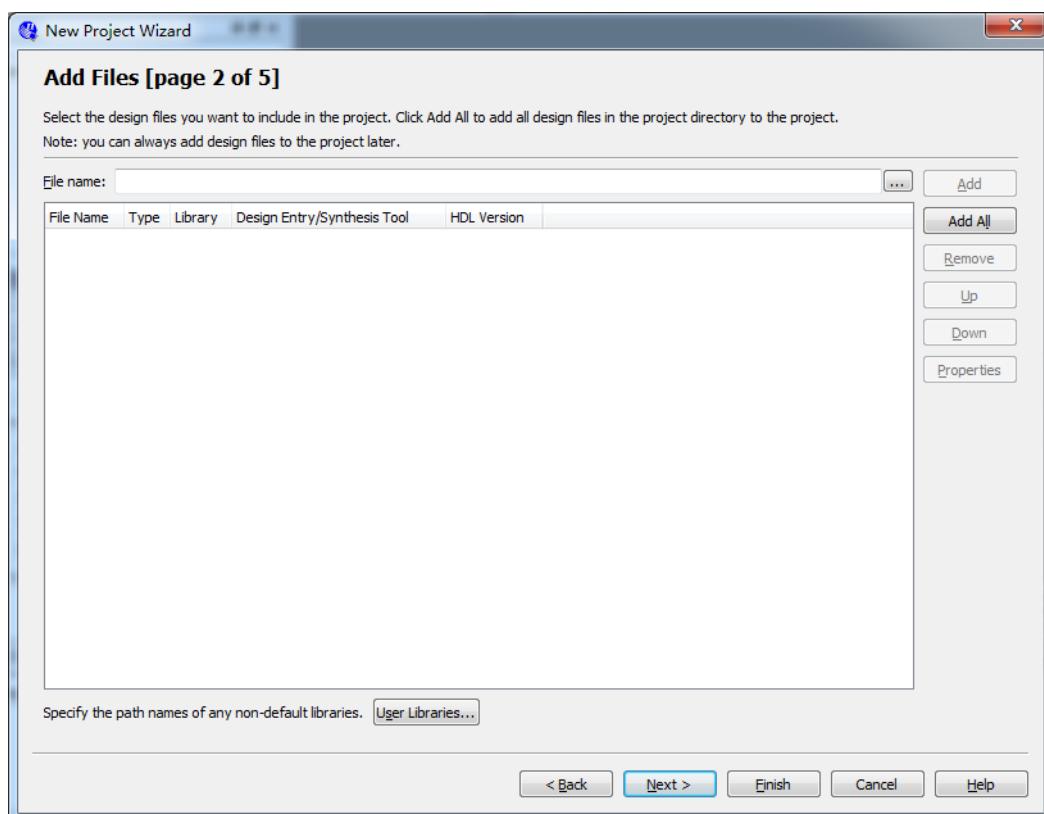
3. 选择 New Quartus II Project , 点击 OK



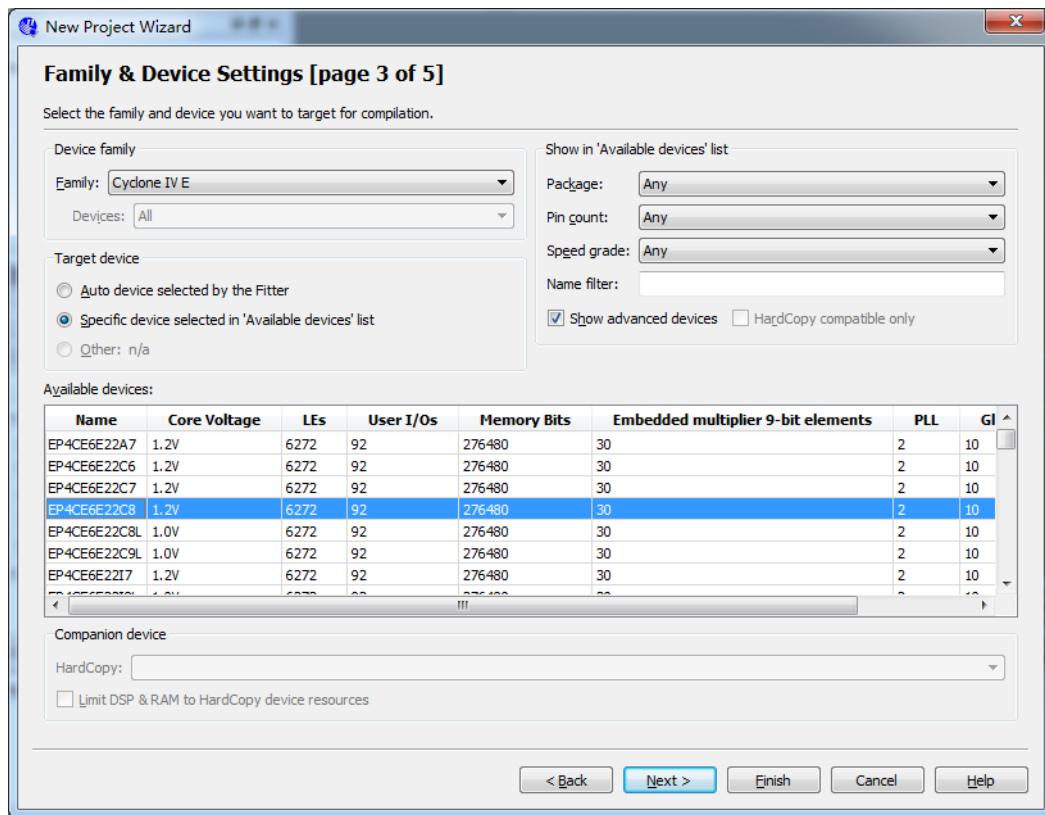
4. 点击 NEXT , 选择工程目录和工程名 , 工程名为 first_nios2



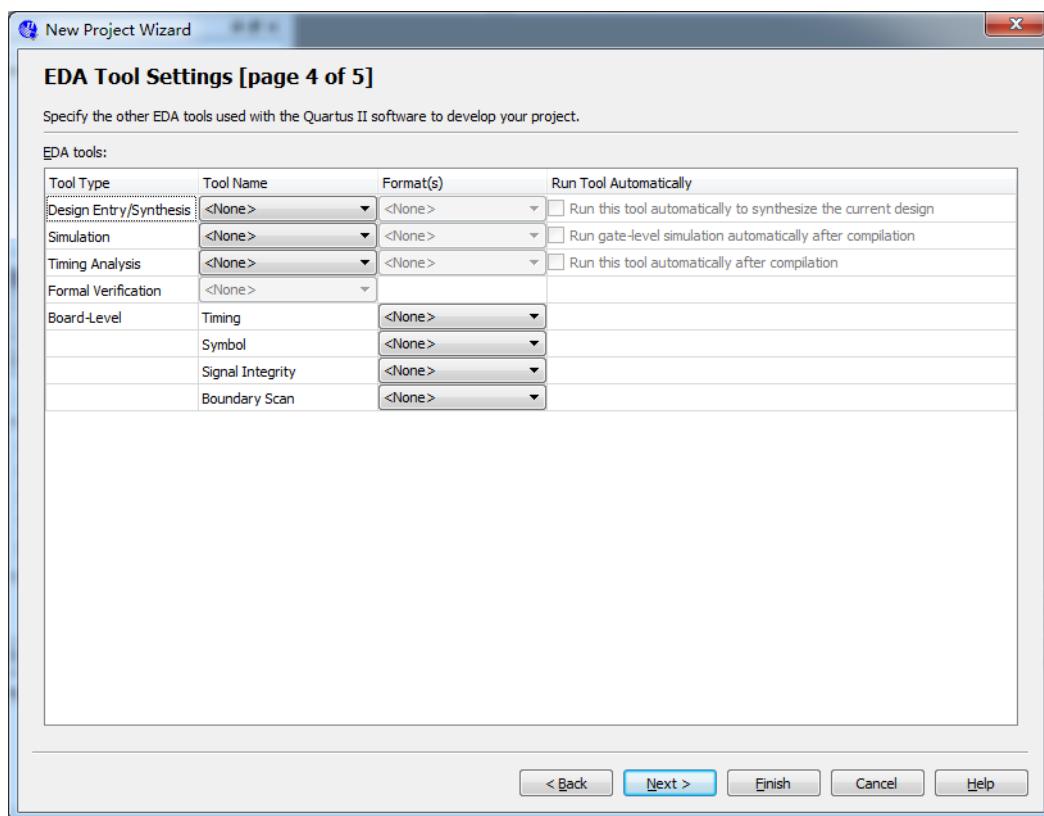
5. 添加源文件，此处跳过，直接点击 Next



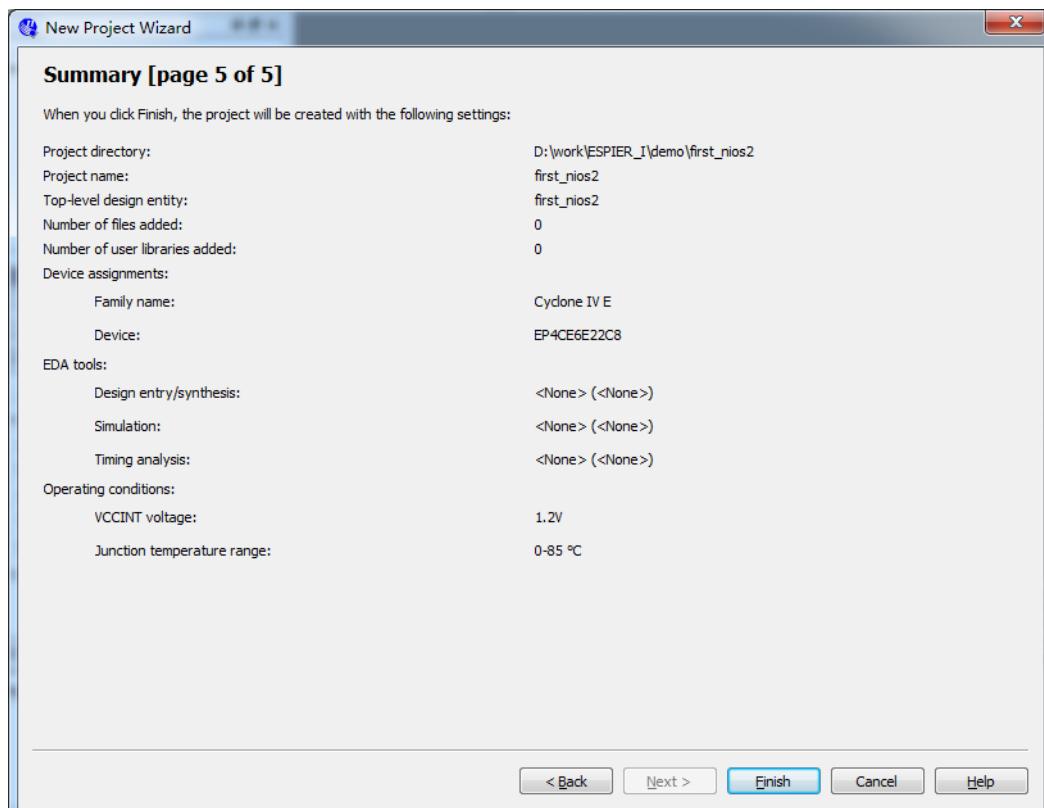
6. 选择器件为 EP4CE6E22C8



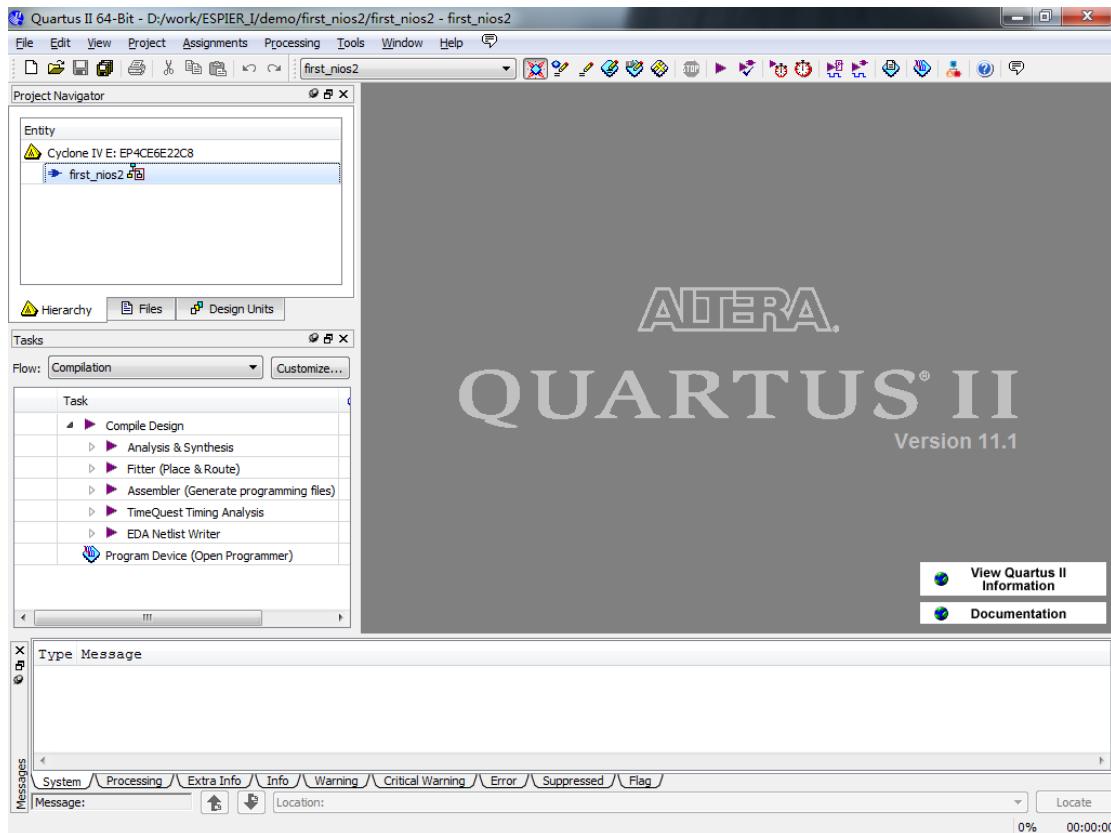
7. 选择 EDA 工具，此处跳过，直接点击 Next



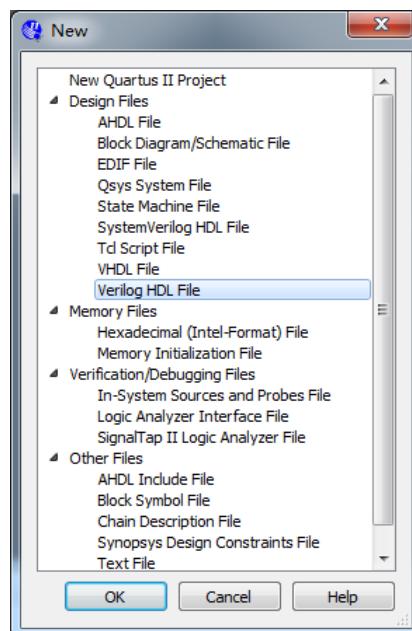
8. 显示项目信息，点击 Finish



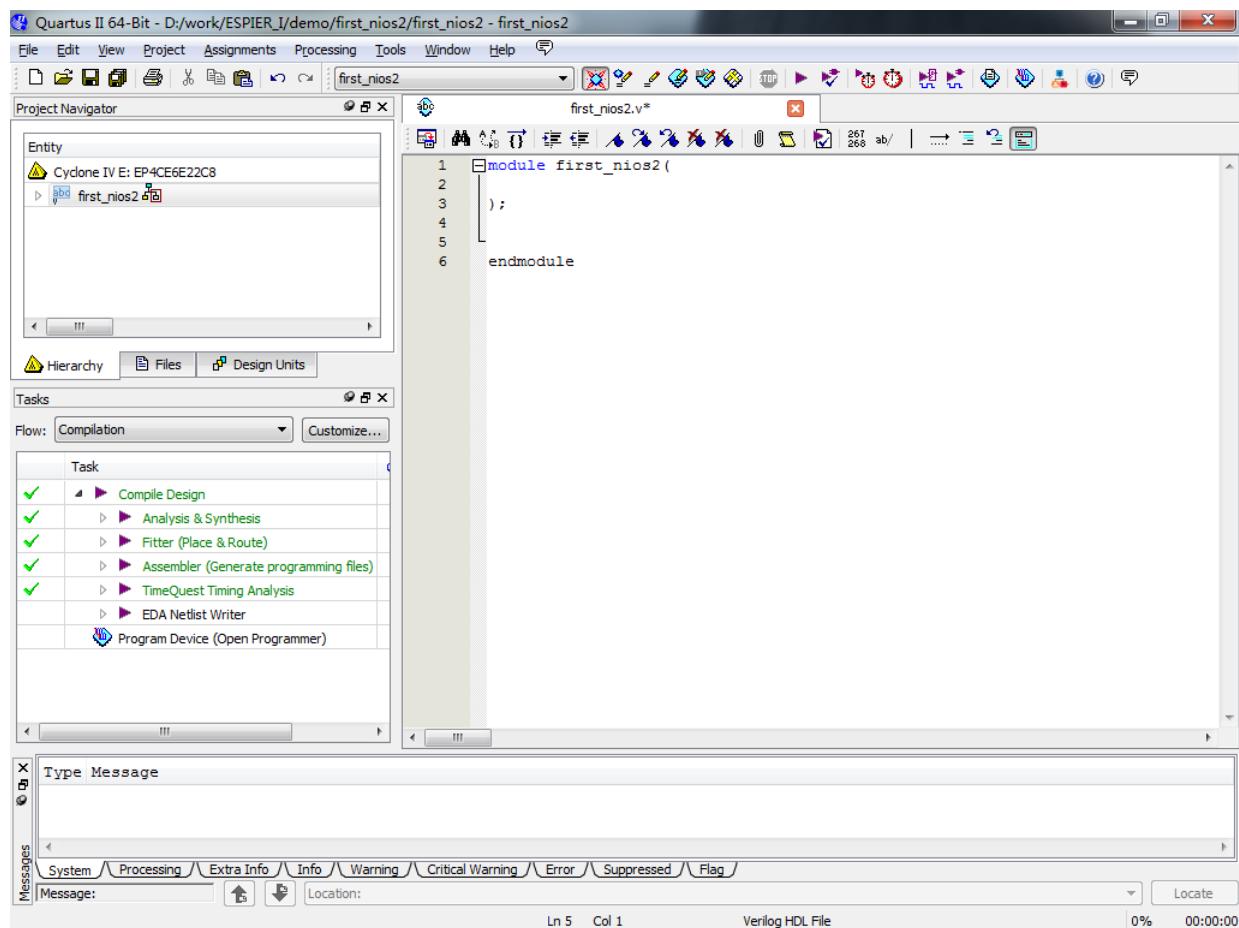
这样一个空的工程就生成了：



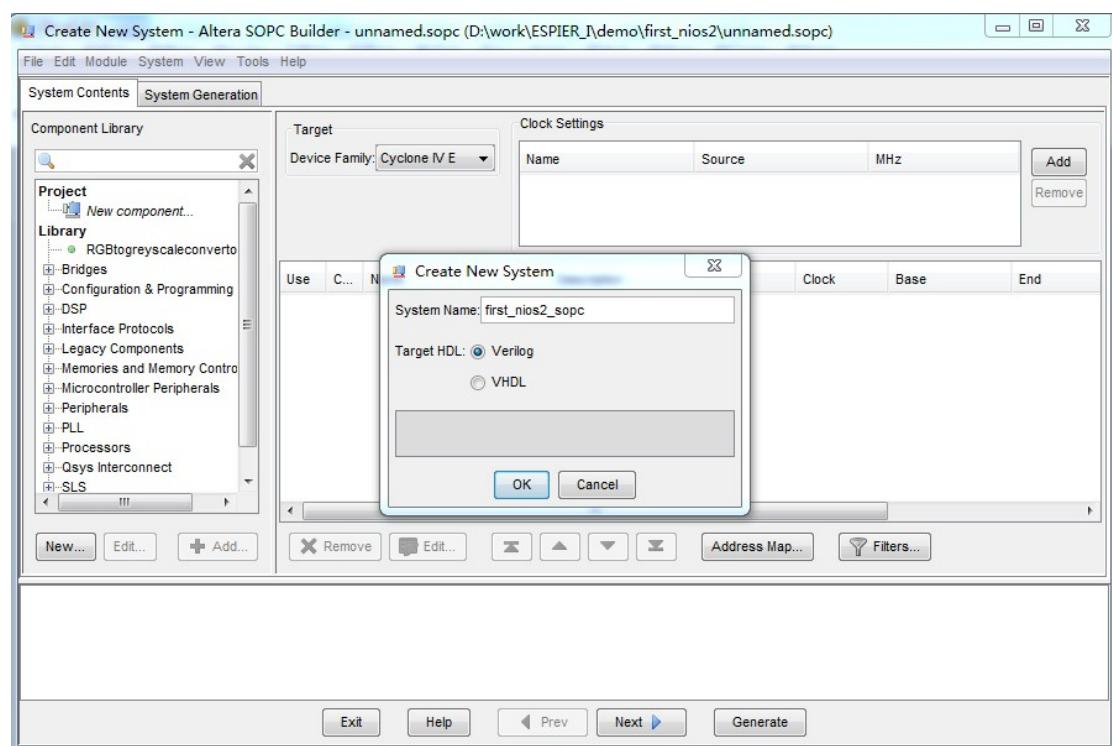
9. 为上面生成的工程新建源文件



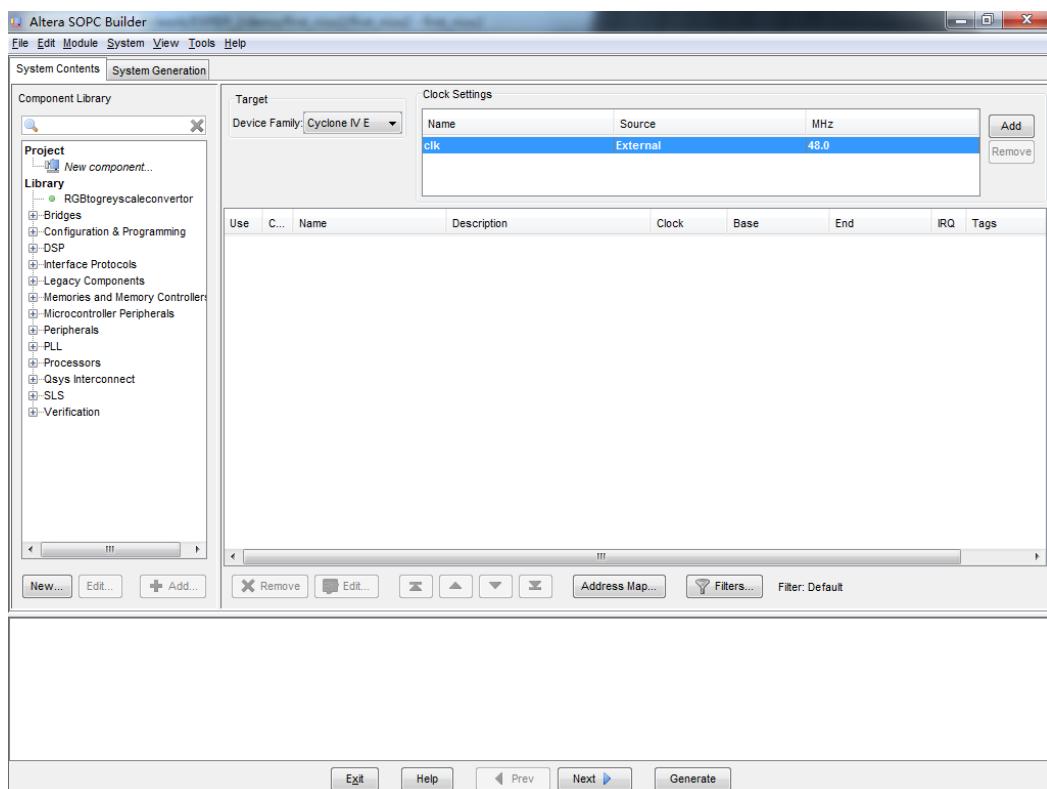
文件名为 first_nios2.v , 这个文件作为顶层文件 , 搭建 Verilog 框架如下 :



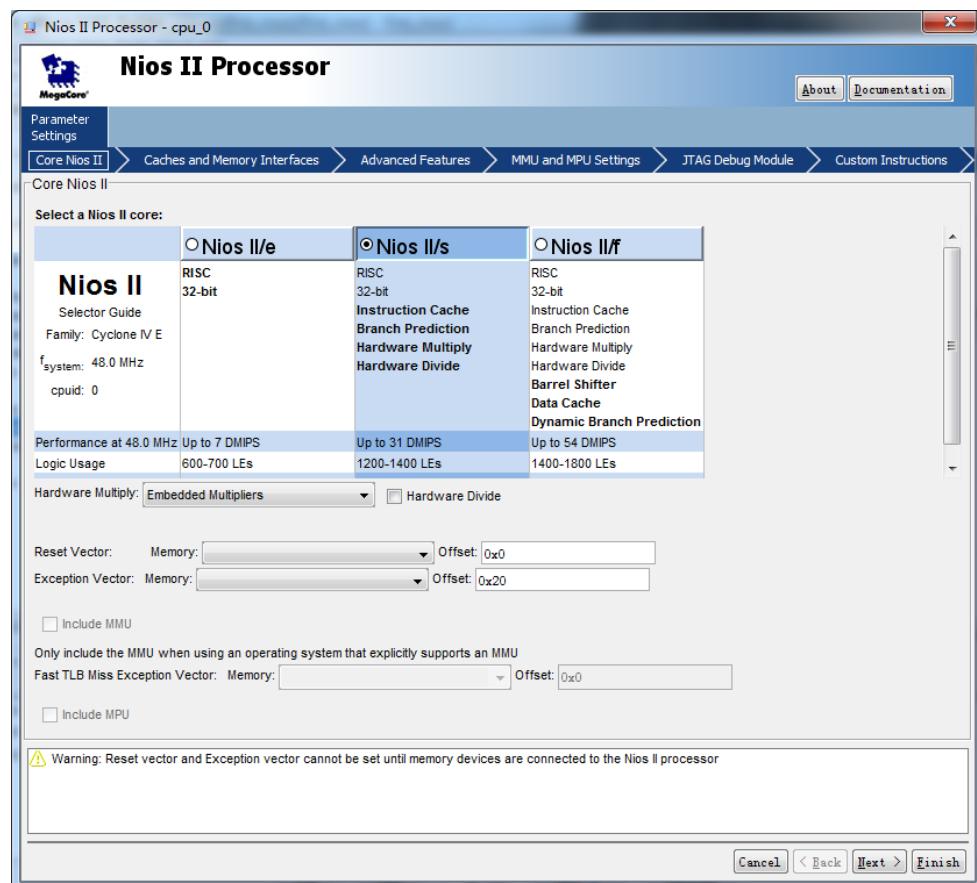
10. 点击菜单 Tools , 选择 SOPC Builder , 建立新的 SOPC 系统 , 名称为 first_nios2_sopc



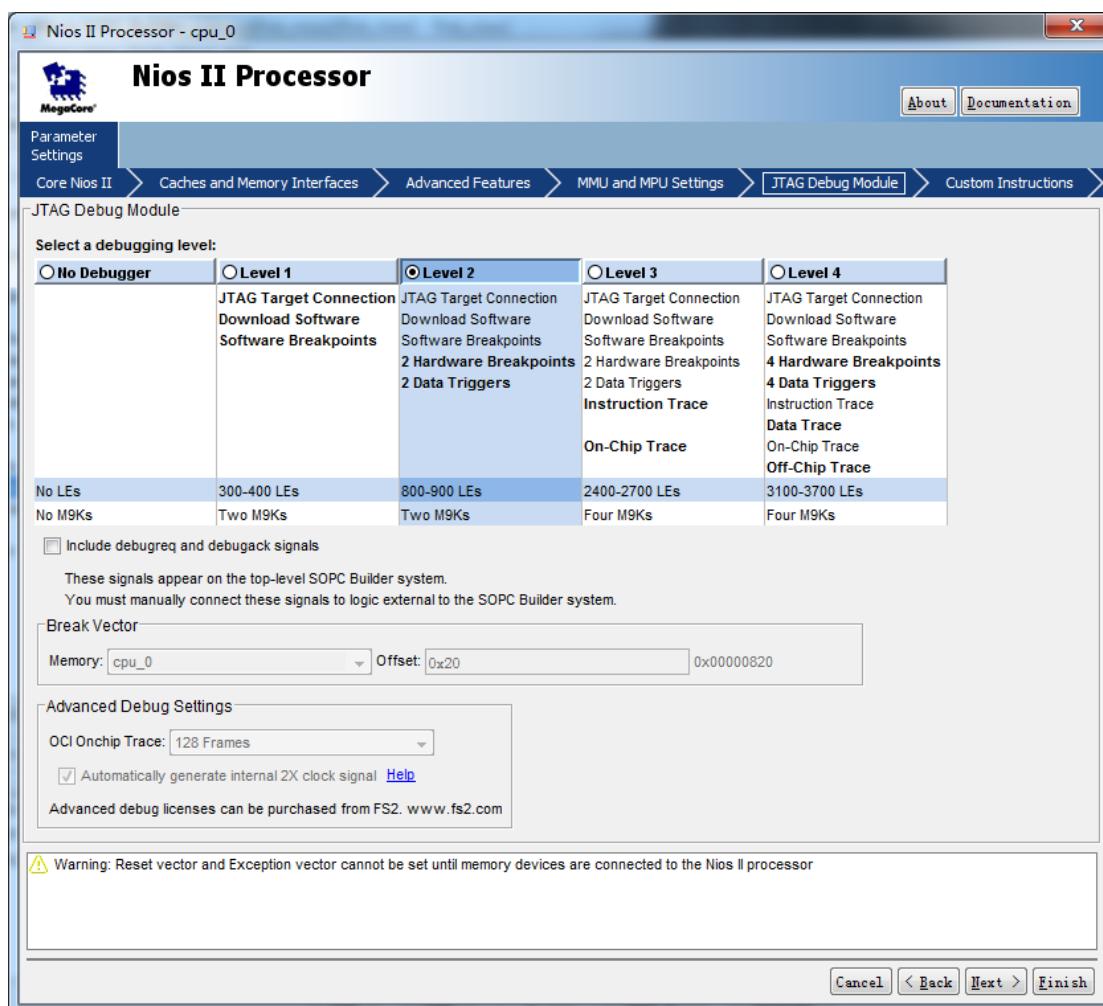
11. 设定 NIOS II 系统时钟为 clk , 频率与板上晶振频率一致 , 为 48MHz



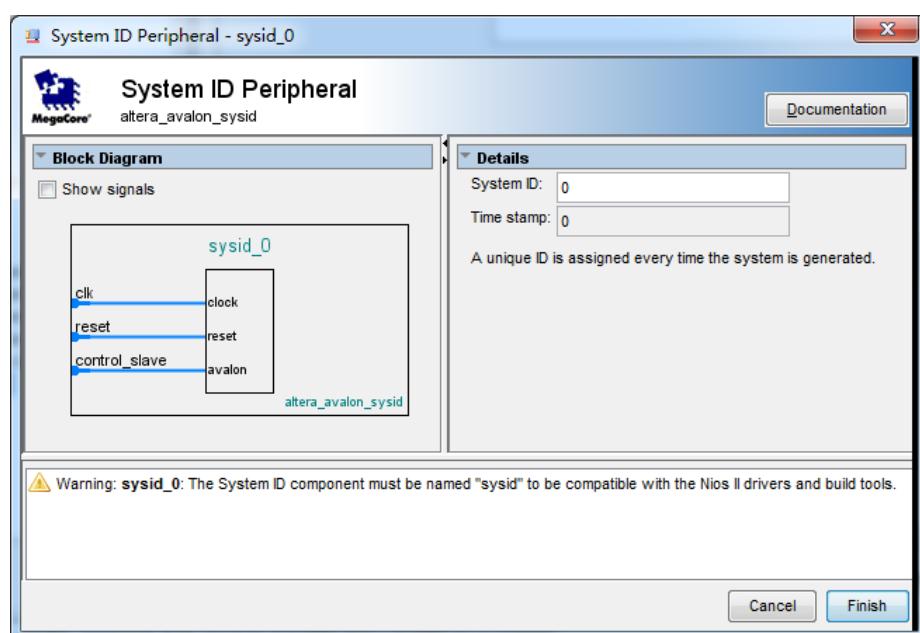
12. 选择 Processors , 添加 NIOS II Processor , 这里我们选择 Nios II/s ,



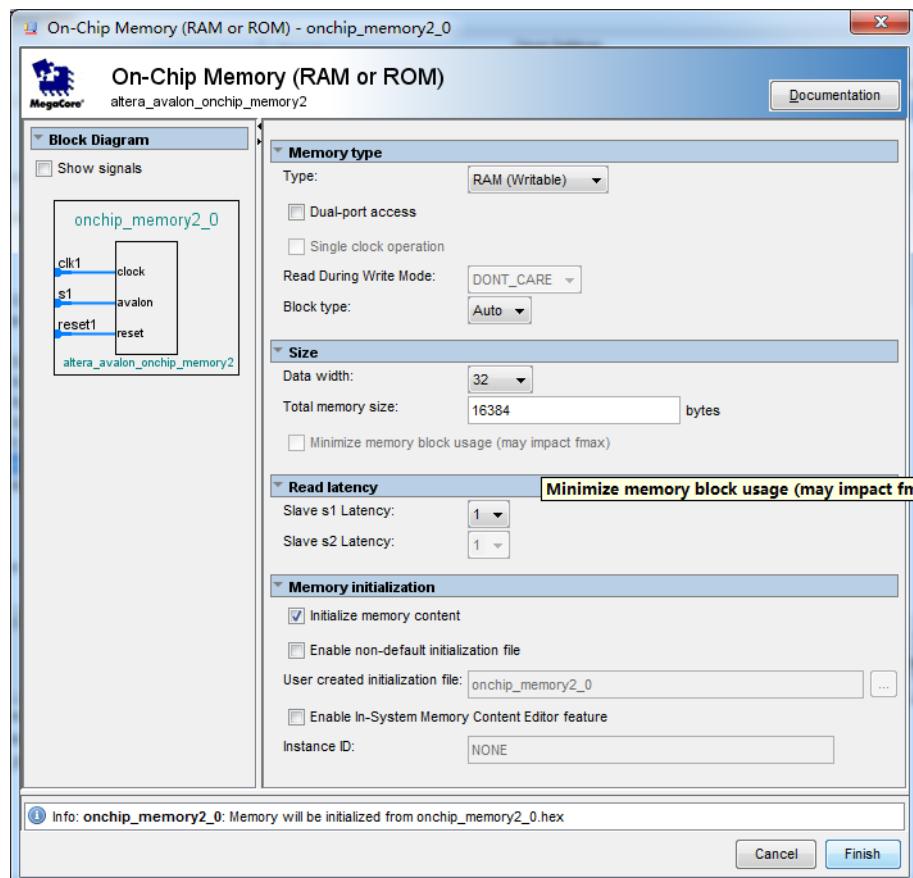
13. JTAG 选择 Level 2 , 其他选项卡选择默认。



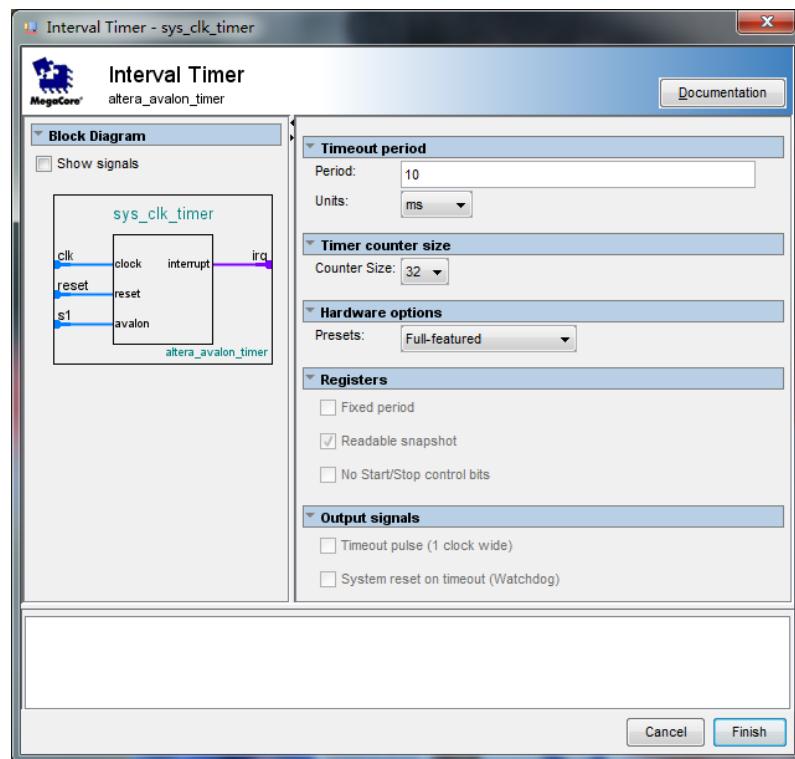
14. 选择 Peripherals 下的 System ID Peripheral，并确保名称为 sysid



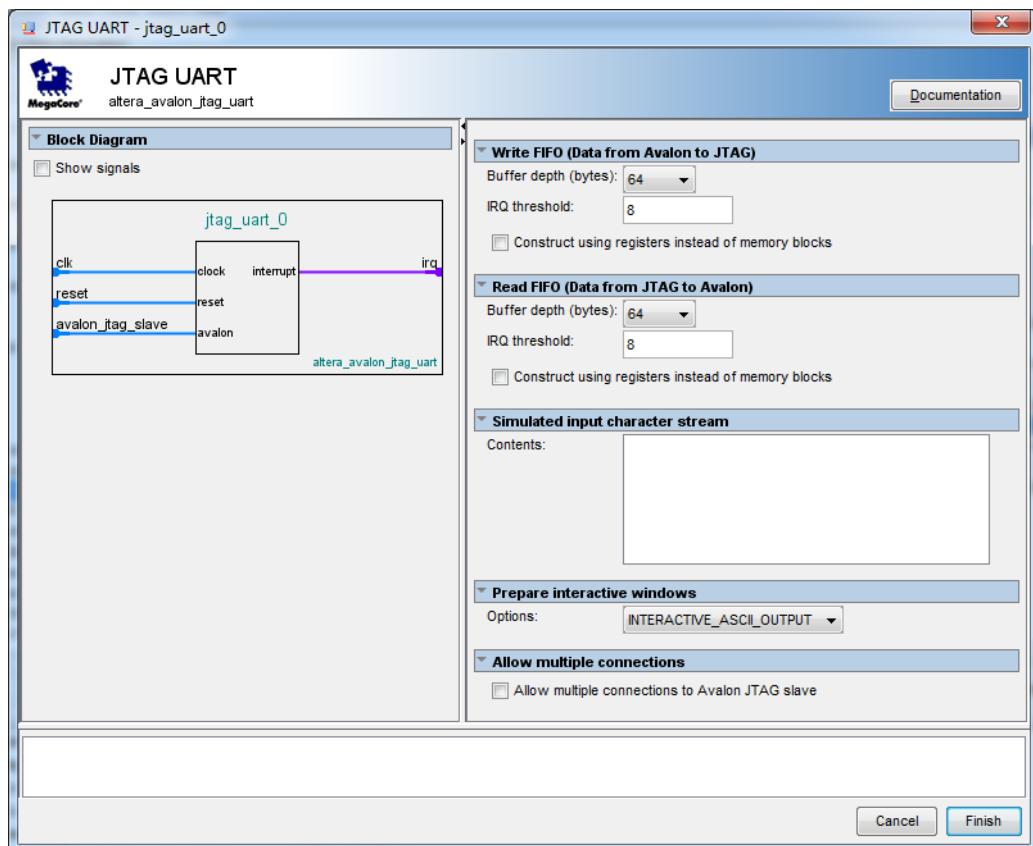
15. 选择 Memories and Memory Controller 下的 On-Chip Memory (RAM or ROM) ,
大小为 16384 bytes



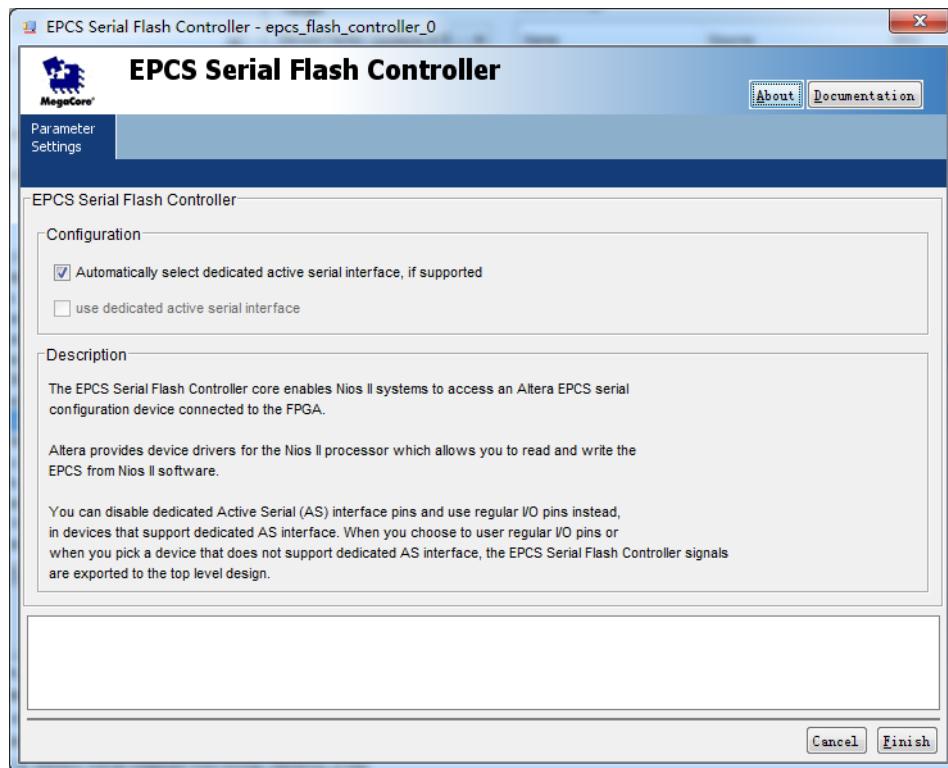
16. 然后选择 Peripherals 下的 Interval Timer , 并改名为 sys_clk_timer



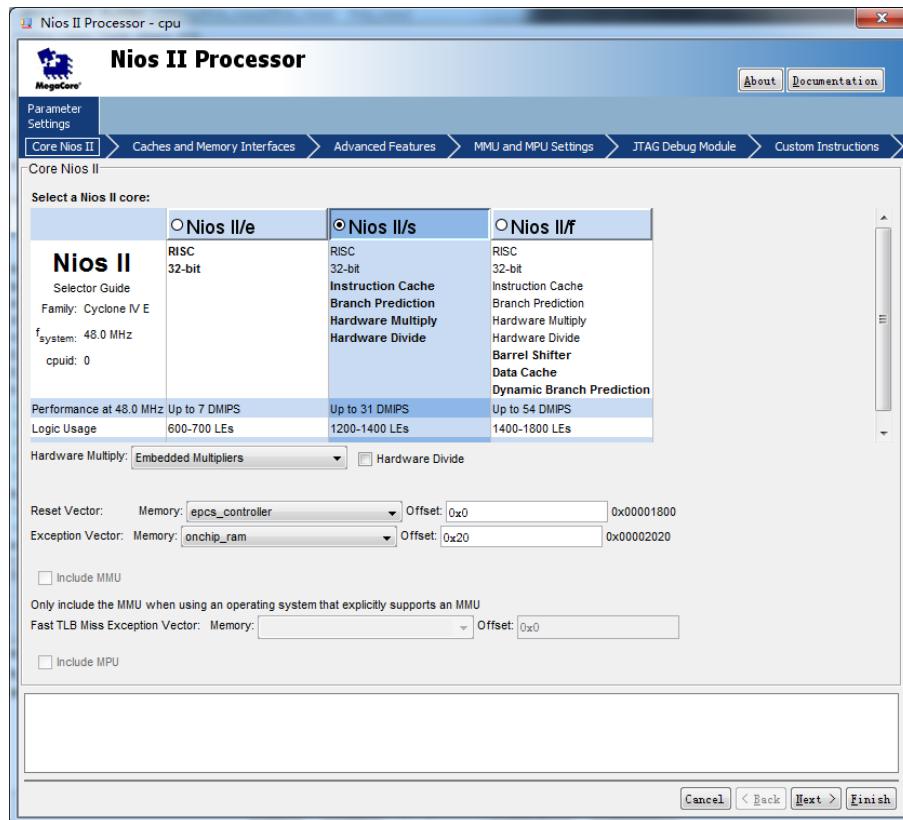
17. 选择 Interface Protocols 下的 JTAG UART



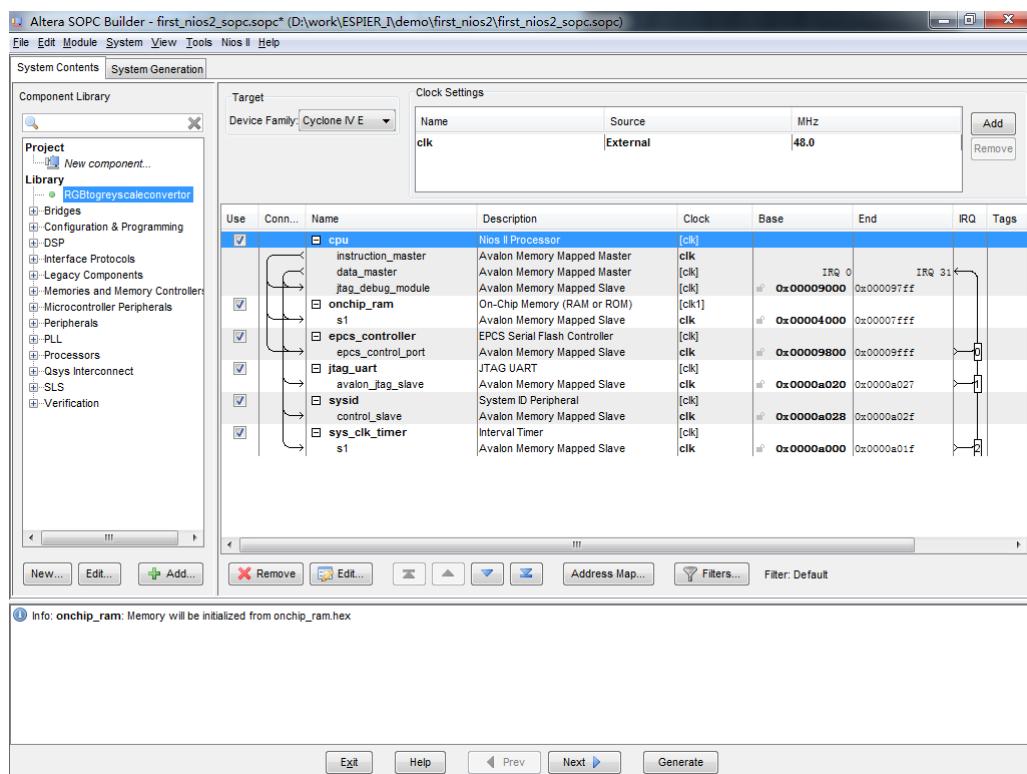
18. 选择 Memories and Memory Controller 下的 EPCS Serial Flash Controller



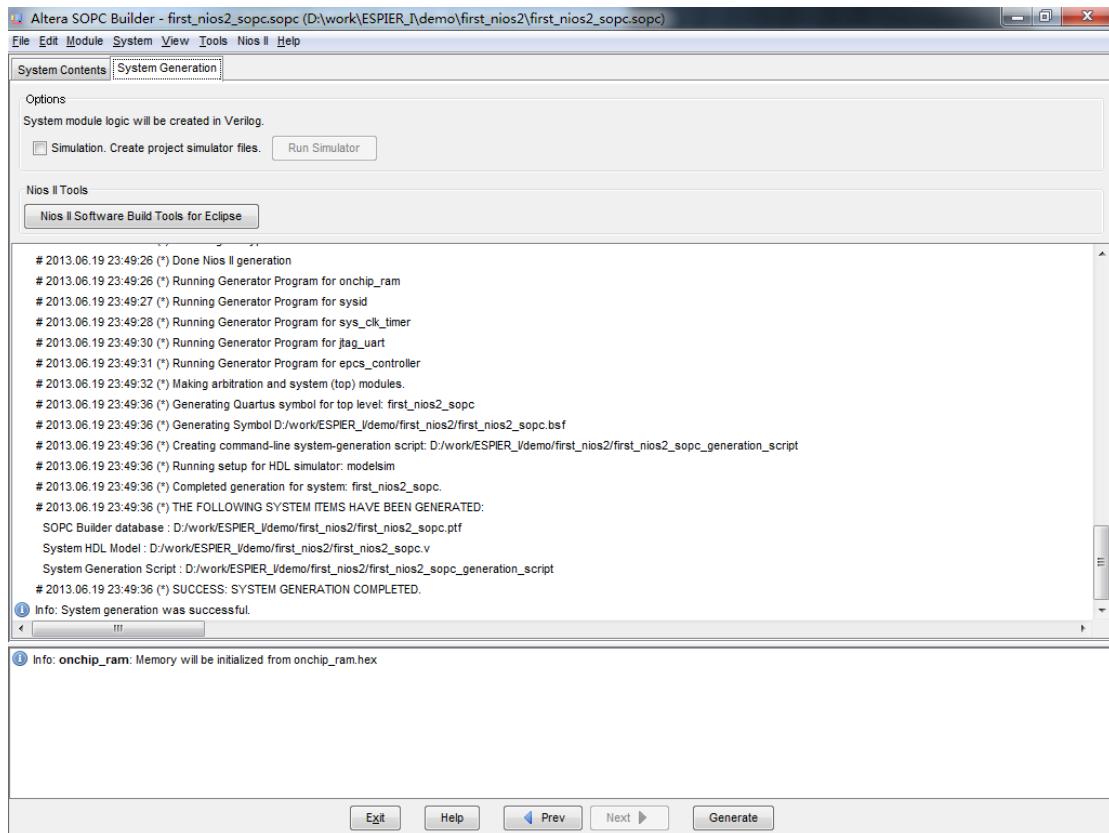
19. 进入 cpu 设置，设定 NIOS II 的 Reset Vector 为 epcs_controller , Exception Vector 为 Onchip ram



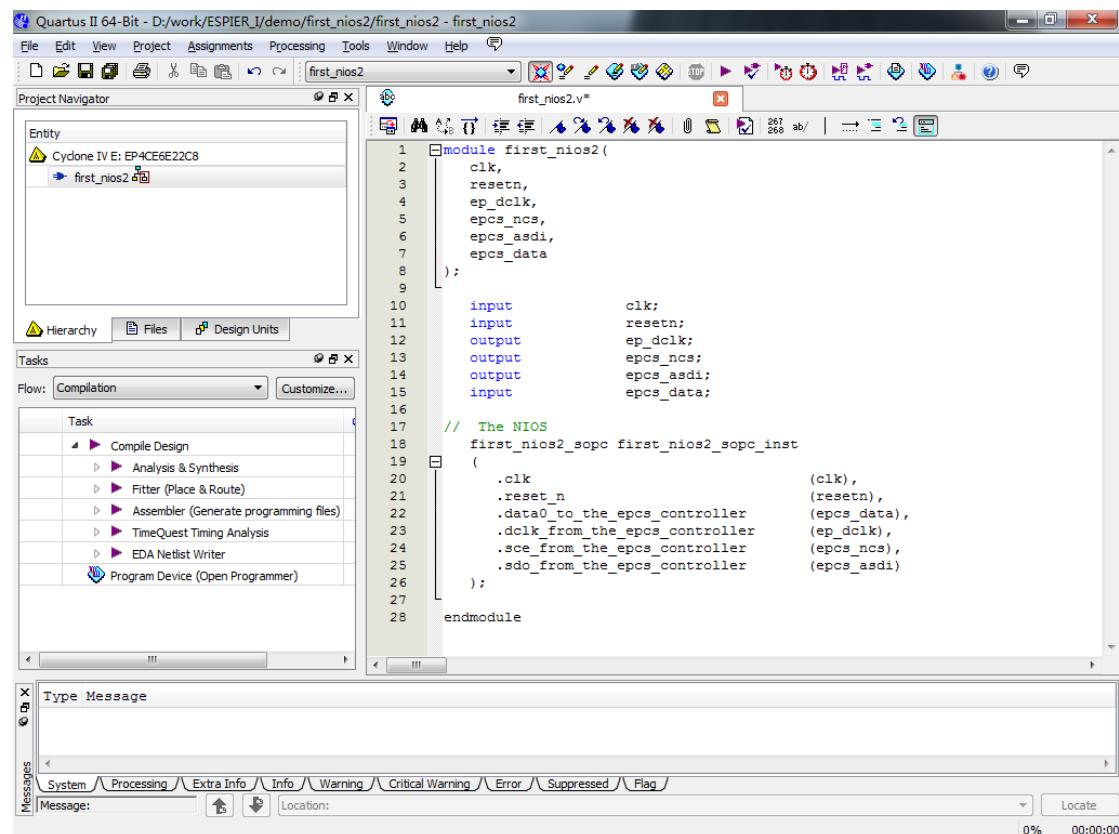
20. 点击菜单 System 下 Assign Base Addresses 自动为外设分配地址，点击 Assign Interrupt Numbers 为外设分配中断号，最终的 NIOS II 基本完成



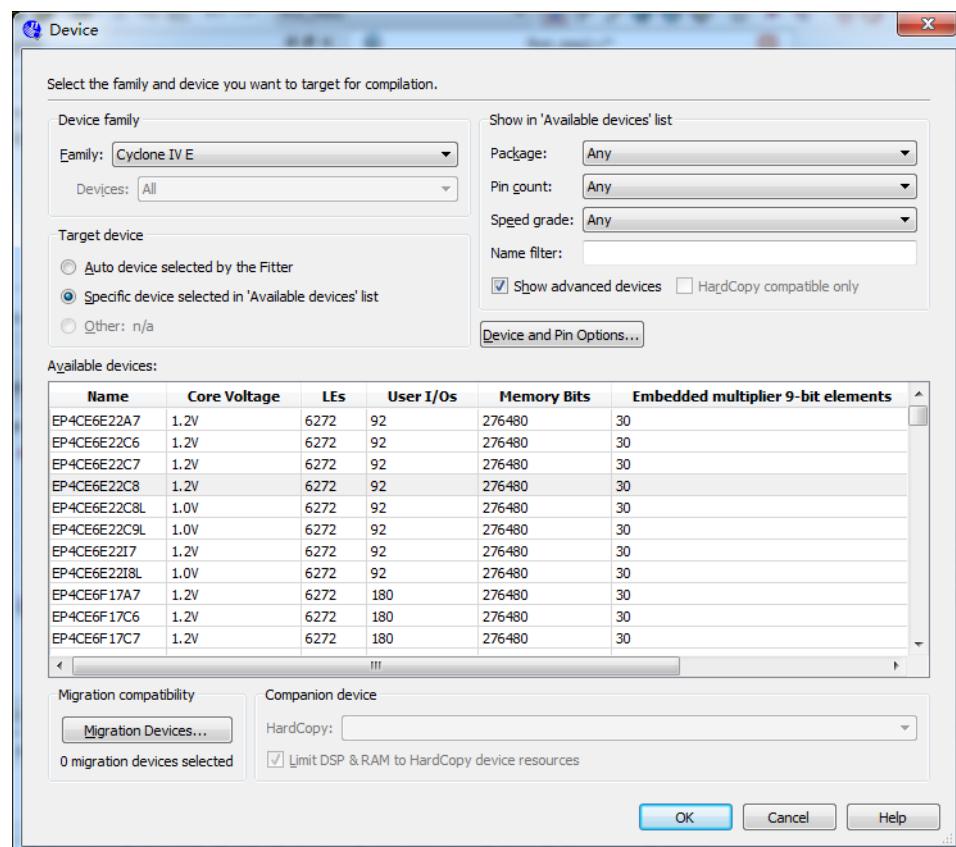
21. 点击 Generate , 完成 SOPC 的编译。



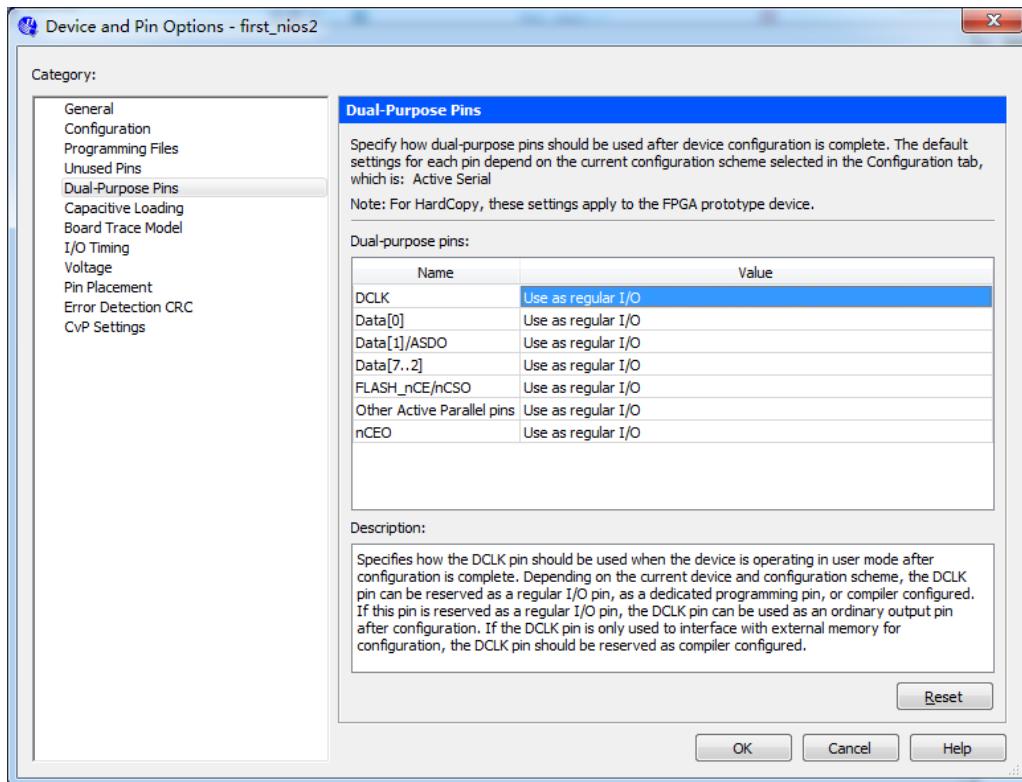
22. 完成顶层源文件的编写，加入输入输出定义，加入 SOPC 的例化



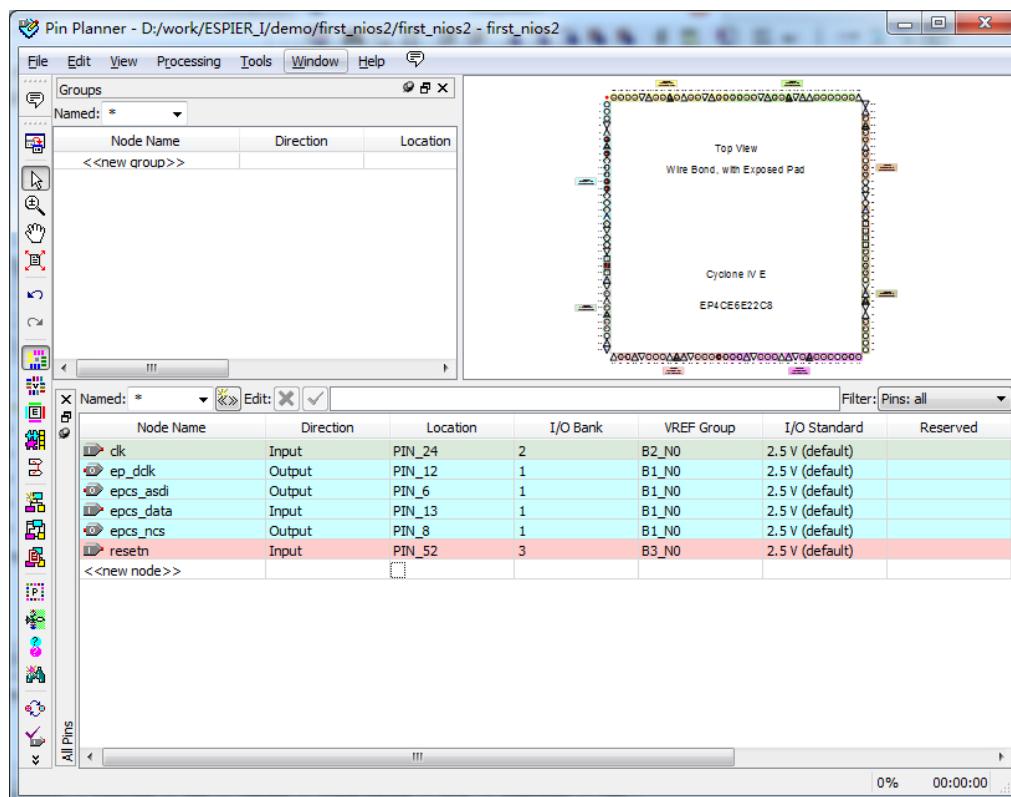
23. 点击菜单 Assignment 下的 Device , 选择 Device and Pin Options



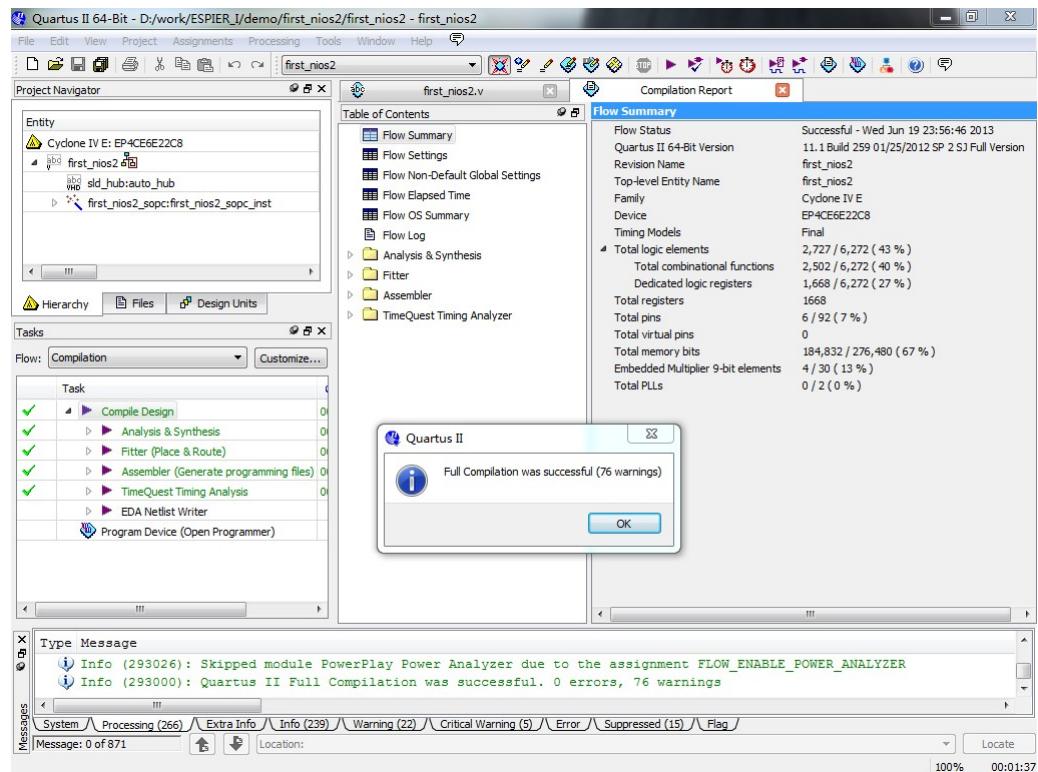
24. 选择 Dual-Purpose Pins，把复用管脚改为通用 IO



25. 点击菜单 Assignments，选择 Pin Planner，为 FPGA 的 IO 分配管脚



26. 双击 Compile Desing , 完成 FPGA 的编译和布局布线



至此，一个最简单的 NIOS II 工程就搭建完毕，下一步就需要在 NIOS II 的基础上进行进一步的软件开发。

文档内部编号 : FES1301T01

编号说明 :

首一字母 : F-FPGA系列

首二字母 : L-理论类 E-实验类 T-专题类

首三字母 : C-普及类 Q-逻辑类 S-软核类

数字前两位 : 代表年度

数字后两位 : 同类文档顺序编号

尾字母/数字 : C目录 , T正文 , 数字表示章节号

修订记录

版本号	日期	描述	修改人
0.00	2013.9.25	FES1301T01 文档建立	kdy