

## 计算机组成原理试题（一）

一、

选择题（共 20 分，每题 1 分）

1. 零地址运算指令在指令格式中不给出操作数地址，它的操作数来自\_\_\_\_\_。
  - A. 立即数和栈顶；
  - B. 暂存器；
  - C. 栈顶和次栈顶；
  - D. 累加器。
2. \_\_\_\_\_可区分存储单元中存放的是指令还是数据。
  - A. 存储器；
  - B. 运算器；
  - C. 控制器；
  - D. 用户。
3. 所谓三总线结构的计算机是指\_\_\_\_\_。
  - A. 地址线、数据线和控制线三组传输线。
  - B. I/O 总线、主存总线和 DMA 总线三组传输线；
  - C. I/O 总线、主存总线和系统总线三组传输线；
  - D. 设备总线、主存总线和控制总线三组传输线。
4. 某计算机字长是 32 位，它的存储容量是 256KB，按字编址，它的寻址范围是\_\_\_\_\_。
  - A. 128K；
  - B. 64K；
  - C. 64KB；
  - D. 128KB。
5. 主机与设备传送数据时，采用\_\_\_\_\_，主机与设备是串行工作的。
  - A. 程序查询方式；
  - B. 中断方式；
  - C. DMA 方式；
  - D. 通道。
6. 在整数定点机中，下述第\_\_\_\_\_种说法是正确的。
  - A. 原码和反码不能表示 -1，补码可以表示 -1；
  - B. 三种机器数均可表示 -1；
  - C. 三种机器数均可表示 -1，且三种机器数的表示范围相同；
  - D. 三种机器数均不可表示 -1。
7. 变址寻址方式中，操作数的有效地址是\_\_\_\_\_。
  - A. 基址寄存器内容加上形式地址（位移量）；
  - B. 程序计数器内容加上形式地址；
  - C. 变址寄存器内容加上形式地址；
  - D. 以上都不对。
8. 向量中断是\_\_\_\_\_。

- A. 外设提出中断;
  - B. 由硬件形成中断服务程序入口地址;
  - C. 由硬件形成向量地址,再由向量地址找到中断服务程序入口地址
  - D. 以上都不对。
9. 一个节拍信号的宽度是指\_\_\_\_\_。
- A. 指令周期;
  - B. 机器周期;
  - C. 时钟周期;
  - D. 存储周期。
10. 将微程序存储在 EPROM 中的控制器是\_\_\_\_\_控制器。
- A. 静态微程序;
  - B. 毫微程序;
  - C. 动态微程序;
  - D. 微程序。
11. 隐指令是指\_\_\_\_\_。
- A. 操作数隐含在操作码中的指令;
  - B. 在一个机器周期里完成全部操作的指令;
  - C. 指令系统中已有的指令;
  - D. 指令系统中没有的指令。
12. 当用一个 16 位的二进制数表示浮点数时,下列方案中第\_\_\_\_\_种最好。
- A. 阶码取 4 位(含阶符 1 位),尾数取 12 位(含数符 1 位);
  - B. 阶码取 5 位(含阶符 1 位),尾数取 11 位(含数符 1 位);
  - C. 阶码取 8 位(含阶符 1 位),尾数取 8 位(含数符 1 位);
  - D. 阶码取 6 位(含阶符 1 位),尾数取 12 位(含数符 1 位)。
13. DMA 方式\_\_\_\_\_。
- A. 既然能用于高速外围设备的信息传送,也就能代替中断方式;
  - B. 不能取代中断方式;
  - C. 也能向 CPU 请求中断处理数据传送;
  - D. 内无中断机制。
14. 在中断周期中,由\_\_\_\_\_将允许中断触发器置“0”。
- A. 关中断指令;
  - B. 机器指令;
  - C. 开中断指令;
  - D. 中断隐指令。
15. 在单总线结构的 CPU 中,连接在总线上的多个部件\_\_\_\_\_。
- A. 某一时刻只有一个可以向总线发送数据,并且只有一个可以从总线接收数据;
  - B. 某一时刻只有一个可以向总线发送数据,但可以有多个同时从总线接收数据;
  - C. 可以有多个同时向总线发送数据,并且可以有多个同时从总线接收数据;
  - D. 可以有多个同时向总线发送数据,但可以有一个同时从总线接收数据。
16. 三种集中式总线控制中,\_\_\_\_\_方式对电路故障最敏感。
- A. 链式查询;
  - B. 计数器定时查询;
  - C. 独立请求;

D. 以上都不对。

17. 一个  $16K \times 8$  位的存储器，其地址线和数据线的总和是\_\_\_\_\_。

- A. 48;
- B. 46;
- C. 17;
- D. 22.

18. 在间址周期中，\_\_\_\_\_。

- A. 所有指令的间址操作都是相同的;
- B. 凡是存储器间接寻址的指令，它们的操作都是相同的;
- C. 对于存储器间接寻址或寄存器间接寻址的指令，它们的操作是不同的;
- D. 以上都不对。

19. 下述说法中\_\_\_\_\_是正确的。

- A. EPROM 是可改写的，因而也是随机存储器的一种;
- B. EPROM 是可改写的，但它不能用作随机存储器用;
- C. EPROM 只能改写一次，故不能作为随机存储器用;
- D. EPROM 是可改写的，但它能用作随机存储器用。

20. 打印机的分类方法很多，若按能否打印汉字来区分，可分为\_\_\_\_\_。

- A. 并行式打印机和串行式打印机;
- B. 击打式打印机和非击打式打印机;
- C. 点阵式打印机和活字式打印机;
- D. 激光打印机和喷墨打印机。

## 二、填空(共 20 分，每空 1 分)

1. 设浮点数阶码为 8 位(含 1 位阶符)，尾数为 24 位(含 1 位数符)，则 32 位二进制补码浮点规格化数对应的十进制真值范围是：最大正数为\_\_\_\_\_，最小正数为\_\_\_\_\_，最大负数为\_\_\_\_\_，最小负数为\_\_\_\_\_。

2. 指令寻址的基本方式有两种，一种是\_\_\_\_\_寻址方式，其指令地址由\_\_\_\_\_给出，另一种是\_\_\_\_\_寻址方式，其指令地址由\_\_\_\_\_给出。

3. 在一个有四个过程段的浮点加法器流水线中，假设四个过程段的时间分别是  $T_1 = 60\text{ns}$ 、 $T_2 = 50\text{ns}$ 、 $T_3 = 90\text{ns}$ 、 $T_4 = 80\text{ns}$ 。则加法器流水线的时钟周期至少为\_\_\_\_\_。如果采用同样的逻辑电路，但不是流水线方式，则浮点加法所需的时间为\_\_\_\_\_。

4. 一个浮点数，当其尾数右移时，欲使其值不变，阶码必须\_\_\_\_\_。尾数右移 1 位，阶码\_\_\_\_\_。

5. 存储器由  $m$  ( $m=1, 2, 4, 8\cdots$ ) 个模块组成，每个模块有自己的\_\_\_\_\_和\_\_\_\_\_寄存器，若存储器采用\_\_\_\_\_编址，存储器带宽可增加到原来的\_\_\_\_\_倍。

6. 按序写出多重中断的中断服务程序包括\_\_\_\_\_、\_\_\_\_\_、\_\_\_\_\_、\_\_\_\_\_和中断返回几部分。

## 三、名词解释(共 10 分，每题 2 分)

- 1. 微操作命令和微操作
- 2. 快速缓冲存储器
- 3. 基址寻址
- 4. 流水线中的多发技术
- 5. 指令字长

四、计算题（5 分）

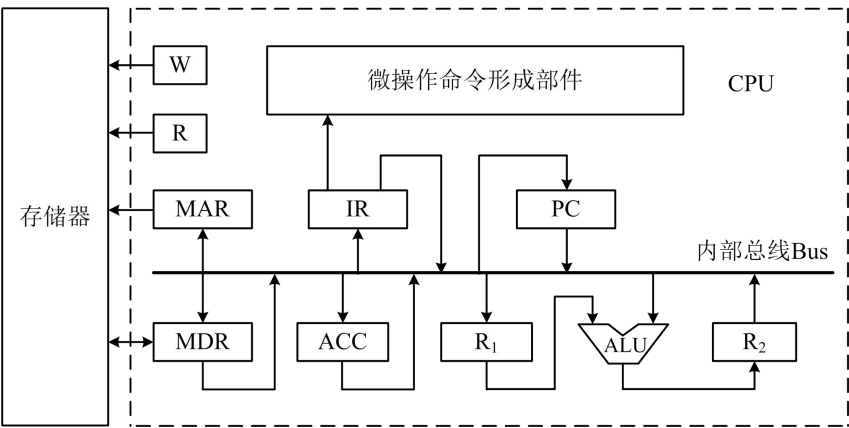
设机器数字长为 8 位（含 1 位符号位），设  $A = \frac{9}{64}$ ， $B = -\frac{13}{32}$ ，计算  $[A \pm B]_{补}$ ，并还原成真值。

五、简答题（共 20 分）

- 1. 异步通信与同步通信的主要区别是什么，说明通信双方如何联络。（4 分）
- 2. 为什么外围设备要通过接口与 CPU 相连？接口有哪些功能？（6 分）

六、问答题（共 15 分）

1. 设 CPU 中各部件及其相互连接关系如下图所示。图中 W 是写控制标志，R 是读控制标志， $R_1$  和  $R_2$  是暂存器。（8 分）



(1) 假设要求在取指周期由 ALU 完成  $(PC)+1 \rightarrow PC$  的操作（即 ALU 可以对它的一个源操作数完成加 1 的运算）。要求以最少的节拍写出取指周期全部微操作命令及节拍安排。

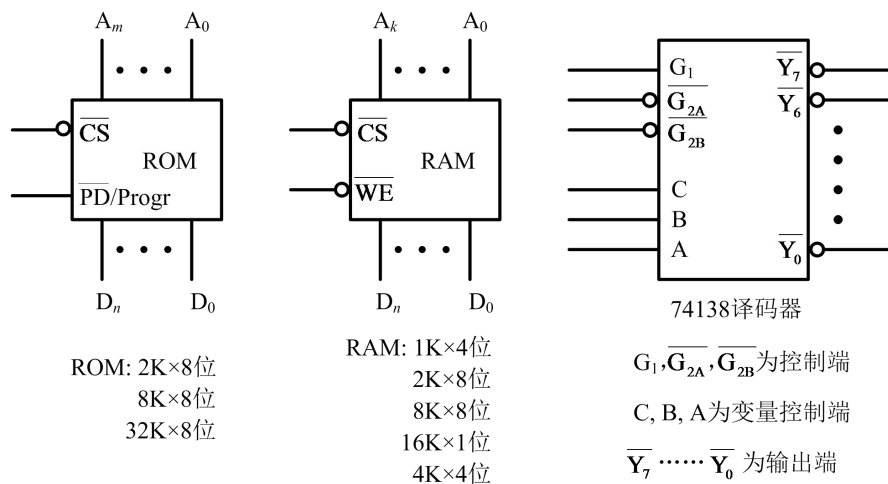
(2) 写出指令  $ADD \quad \# \alpha$ （#为立即寻址特征，隐含的操作数在 ACC 中）在执行阶段所需的微操作命令及节拍安排。

2. DMA 接口主要由哪些部件组成？在数据交换过程中它应完成哪些功能？画出 DMA 工作过程的流程图（不包括预处理和后处理）

七、设计题（10 分）

设 CPU 共有 16 根地址线，8 根数据线，并用  $\overline{MREQ}$  作访存控制信号（低电平有效），用  $\overline{WR}$  作读写控制信号（高电平为读，低电平为写）。现有下列芯片及各种门电路（门电路自定），如图所示。画出 CPU 与存储器的连接图，要求：

- (1) 存储芯片地址空间分配为：最大 4K 地址空间为系统程序区，相邻的 4K 地址空间为系统程序工作区，最小 16K 地址空间为用户程序区；
- (2) 指出选用的存储芯片类型及数量；
- (3) 详细画出片选逻辑。



- (1) 主存地址空间分配:  
6000H~67FFH 为系统程序区;  
6800H~6BFFH 为用户程序区。
- (2) 合理选用上述存储芯片，说明各选几片？
- (3) 详细画出存储芯片的片选逻辑图。

## 计算机组成原理试题答案（一）

### 一、选择题（共 20 分，每题 1 分）

1. C    2. C    3. B    4. B    5. A    6. B    7. C  
8. C    9. C    10. A    11. D    12. B    13. B    14. D  
15. B    16. A    17. D    18. C    19. B    20. C

### 二、填空（共 20 分，每空 1 分）

1. A.  $2^{127}(1-2^{-23})$     B.  $2^{-129}$     C.  $2^{-128}(-2^{-1}-2^{-23})$     D.  $-2^{127}$   
2. A. 顺序    B. 程序计数器    C. 跳跃    D. 指令本身  
3. A. 90ns    B. 280ns  
4. A. A. 增加    B. 加 1  
5. A. 地址    B. 数据    C. 模  $m$     D.  $m$   
6. A. 保护现场    B. 开中断    C. 设备服务    D. 恢复现场

### 三、名词解释(共 10 分，每题 2 分)

#### 1. 微操作命令和微操作

答：微操作命令是控制完成微操作的命令；微操作是由微操作命令控制实现的最基本操作。

#### 2. 快速缓冲存储器

答：快速缓冲存储器是为了提高访存速度，在 CPU 和主存之间增设的高速存储器，它对用户是透明的。只要将 CPU 最近期需用的信息从主存调入缓存，这样 CPU 每次只须访问快速缓存就可达到访问主存的目的，从而提高了访存速度。

#### 3. 基址寻址

答：基址寻址有效地址等于形式地址加上基址寄存器的内容。

#### 4. 流水线中的多发技术

答：为了提高流水线的性能，设法在一个时钟周期（机器主频的倒数）内产生更多条指令的结果，这就是流水线中的多发技术。

#### 5. 指令字长

答：指令字长是指机器指令中二进制代码的总位数。

### 四、（共 5 分）

计算题 答： $[A+B]_{\text{补}} = 1.1011110$ ,  $A+B = (-17/64)$   
 $[A-B]_{\text{补}} = 1.1000110$ ,  $A-B = (35/64)$

### 五、简答题（共 20 分）

#### 1.（4 分）答：

同步通信和异步通信的主要区别是前者有公共时钟，总线上的所有设备按统一的时序，统一的传输周期进行信息传输，通信双方按约定好的时序联络。后者没有公共时钟，没有固定的传输周期，采用应答方式通信，具体的联络方式有不互锁、半互锁和全互锁三种。不互锁方式通信双方没有相互制约关系；半互锁方式通信双方有简单的制约关系；全互锁方式通信双方有完全的制约关系。其中全互锁通信可靠性最高。

#### 2.（6 分，每写出一种给 1 分，最多 6 分）

答：外围设备要通过接口与 CPU 相连的原因主要有：

（1）一台机器通常配有多台外设，它们各自有其设备号（地址），通过接口可实现对设备的选择。

（2）I/O 设备种类繁多，速度不一，与 CPU 速度相差可能很大，通过接口可实现数据缓冲，达到速度匹配。

(3) I/O 设备可能串行传送数据，而 CPU 一般并行传送，通过接口可实现数据串并格式转换。

(4) I/O 设备的入/出电平可能与 CPU 的入/出电平不同，通过接口可实现电平转换。

(5) CPU 启动 I/O 设备工作，要向外设发各种控制信号，通过接口可传送控制命令。

(6) I/O 设备需将其工作状态（“忙”、“就绪”、“错误”、“中断请求”等）及时报告 CPU，通过接口可监视设备的工作状态，并保存状态信息，供 CPU 查询。

可见归纳起来，接口应具有选址的功能、传送命令的功能、反映设备状态的功能以及传送数据的功能（包括缓冲、数据格式及电平的转换）。

4. (5 分) 答：

(1) 根据 IR 和 MDR 均为 16 位，且采用单字长指令，得出指令字长 16 位。根据 105 种操作，取操作码 7 位。因允许直接寻址和间接寻址，且有变址寄存器和基址寄存器，因此取 2 位寻址特征，能反映四种寻址方式。最后得指令格式为：

7	2	7
OP	M	AD

其中 OP 操作码，可完成 105 种操作；

M 寻址特征，可反映四种寻址方式；

AD 形式地址。

这种格式指令可直接寻址  $2^7 = 128$ ，一次间址的寻址范围是  $2^{16} = 65536$ 。

(2) 双字长指令格式如下：

7	2	7
OP	M	AD <sub>1</sub>
AD <sub>2</sub>		

其中 OP、M 的含义同上；

AD<sub>1</sub>//AD<sub>2</sub> 为 23 位形式地址。

这种格式指令可直接寻址的范围为  $2^{23} = 8M$ 。

(3) 容量为 8MB 的存储器，MDR 为 16 位，即对应 4M×16 位的存储器。可采用双字长指令，直接访问 4M 存储空间，此时 MAR 取 22 位；也可采用单字长指令，但 R<sub>X</sub> 和 R<sub>B</sub> 取 22 位，用变址或基址寻址访问 4M 存储空间。

六、（共 15 分）问答题

1. (8 分) 答：

(1) 由于 (PC)+1→PC 需由 ALU 完成，因此 PC 的值可作为 ALU 的一个源操作数，靠控制 ALU 做 +1 运算得到 (PC)+1，结果送至与 ALU 输出端相连的 R<sub>2</sub>，然后再送至 PC。

此题的关键是要考虑总线冲突的问题，故取指周期的微操作命令及节拍安排如下：

$T_0$  PC→MAR, 1→R

$T_1$  M(MAR)→MDR, (PC)+1→R<sub>2</sub>

$T_2$  MDR→IR, OP(IR)→微操作命令形成部件

$T_3$  R<sub>2</sub>→PC

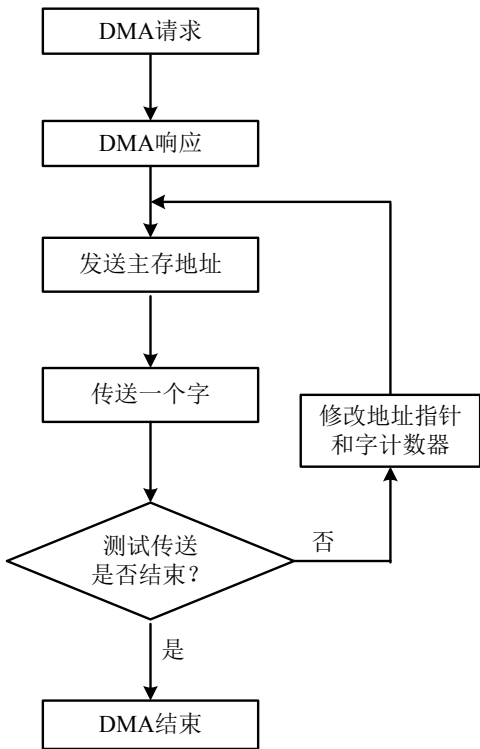
(2) 立即寻址的加法指令执行周期的微操作命令及节拍安排如下：

$T_0$  Ad(IR)→R<sub>1</sub> ; 立即数→R<sub>1</sub>

$T_1$  (R<sub>1</sub>)+(ACC)→R<sub>2</sub> ; ACC 通过总线送 ALU

$T_2 \quad R_2 \rightarrow ACC$  ; 结果  $\rightarrow ACC$

2. (7分) 答: DMA 接口主要由数据缓冲寄存器、主存地址计数器、字计数器、设备地址寄存器、中断机构和 DMA 控制逻辑等组成。在数据交换过程中, DMA 接口的功能有: (1) 向 CPU 提出总线请求信号; (2) 当 CPU 发出总线响应信号后, 接管对总线的控制; (3) 向存储器发地址信号 (并能自动修改地址指针); (4) 向存储器发读/写等控制信号, 进行数据传送; (5) 修改字计数器, 并根据传送字数, 判断 DMA 传送是否结束; (6) 发 DMA 结束信号, 向 CPU 申请程序中断, 报告一组数据传送完毕。DMA 工作过程流程图如图所示。



七、设计题 (共 10 分)

答:

(1) 主存地址空间分配。(2分)

$A_{15}$	...	$A_{11}$	...	$A_7$	...	...	$A_0$	
1	1	1	1	1	1	1	1	1
1	1	1	1	1	0	0	0	0
1	1	1	1	0	1	1	1	1
1	1	1	1	0	0	0	0	0
1	1	1	0	1	1	1	1	1
1	1	1	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0
0	0	0	1	1	1	1	1	1
0	0	1	0	0	0	0	0	0
0	0	1	1	1	1	1	1	1

最大 4K 2K×8 位 ROM 2 片

相邻 4K 4K×4 位 RAM 2 片

最小 16K 8K×8 位 RAM 2 片 (2) 根据

主存地址空间分配

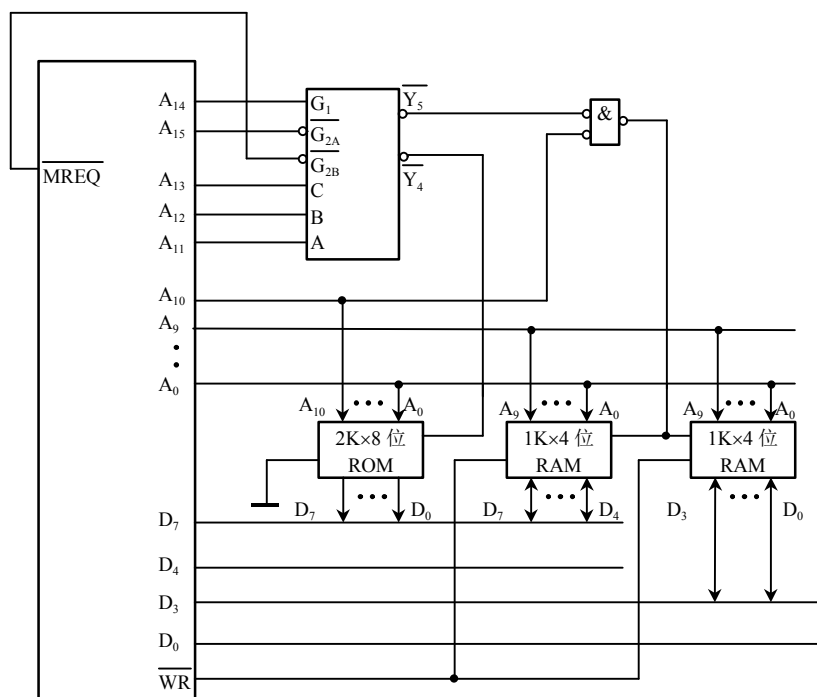
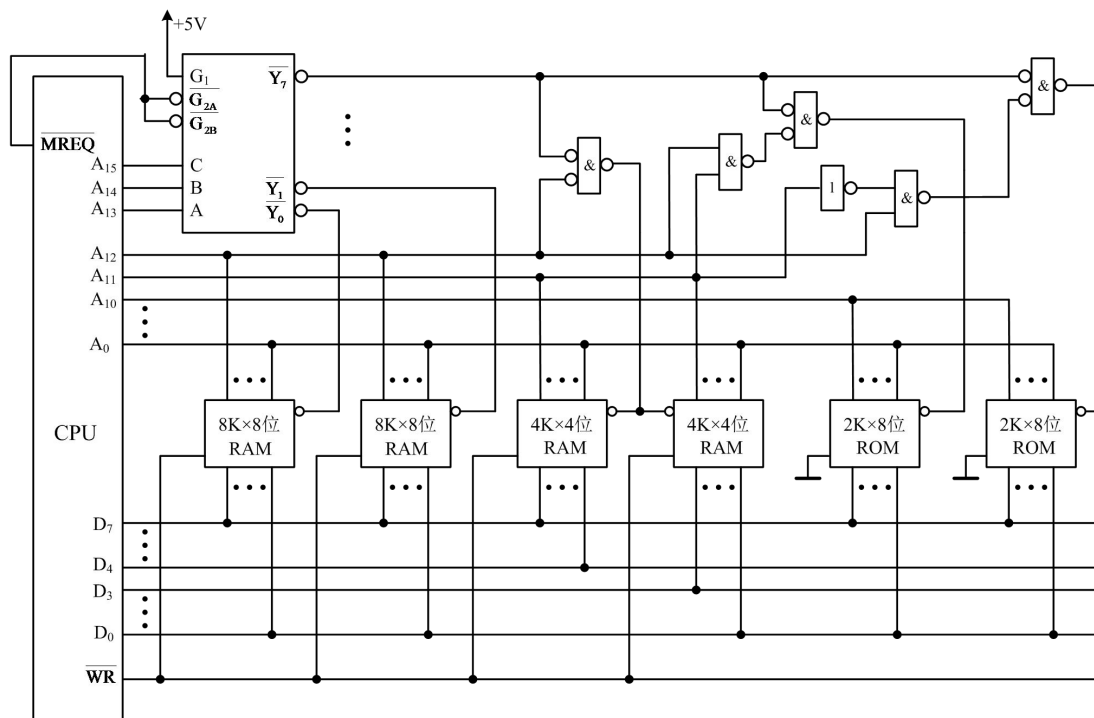


最大 4K 地址空间为系统程序区，选用 2 片  $2K \times 8$  位 ROM 芯片；（1 分）

相邻的 4K 地址空间为系统程序工作区，选用 2 片  $4K \times 4$  位 RAM 芯片；（1 分）

最小 16K 地址空间为用户程序区，选用 2 片  $8K \times 8$  位 RAM 芯片。（1 分）

（3）存储芯片的片选逻辑图（5 分）



## 计算机组成原理试题（二）

一、选择题 （共 20 题，每题 1 分，共 20 分）

1. 在下列机器数\_\_B\_\_中，零的表示形式是唯一的。  
A. 原码 B. 补码 C. 反码 D. 原码和反码
2. CRT 的分辨率为  $1024 \times 1024$ ，颜色深度为 8 位，则刷新存储器的存储容量是\_\_B\_\_。  
A. 2MB B. 1MB C. 8MB D. 1024B
3. 在定点二进制运算器中，减法运算一般通过\_\_D\_\_来实现。  
A. 原码运算的二进制减法器 B. 补码运算的二进制减法器 C. 补码运算的十进制加法器 D. 补码运算的二进制加法器
4. 在指令的地址字段中，直接指出操作数本身的寻址方式，称为\_\_B\_\_。  
A. 隐含寻址 B. 立即寻址 C. 寄存器寻址 D. 直接寻址
5. 信息只用一条传输线，且采用脉冲传输的方式称为\_\_A\_\_。  
A. 串行传输 B. 并行传输 C. 并串行传输 D. 分时传输
6. 和外存储器相比，内存储器的特点是\_\_C\_\_。  
A. 容量大、速度快、成本低 B. 容量大、速度慢、成本高 C. 容量小、速度快、成本低 D. 容量小、速度快、成本低
7. CPU 响应中断的时间是\_\_C\_\_。  
A. 中断源提出请求 B. 取指周期结束 C. 执行周期结束。
8. EPROM 是指\_\_C\_\_。  
A. 读写存储器 B. 只读存储器  
C. 可编程的只读存储器 D. 光擦除可编程的只读存储器
9. 下列数中最小的数是\_\_B\_\_。  
A.  $(1101001)_2$  B.  $(52)_8$  C.  $(133)_8$  D.  $(30)_{16}$
10. 假定下列字符码中有奇偶校验位，但没有数据错误，采用偶校验的字符码是\_\_D\_\_。  
A. 11001011 B. 11010110 C. 11000001 D. 11001001
11. 单地址指令中为了完成两个数的算术运算，除地址码指明的一个操作数外，另一个数常需采用\_\_C\_\_。  
A. 堆栈寻址方式 B. 立即寻址方式 C. 隐含寻址方式 D. 间接寻址方式
12. 用于对某个寄存器中操作数的寻址方式称为\_\_C\_\_寻址。  
A. 直接 B. 间接 C. 寄存器直接 D. 寄存器间接
13. 中央处理器（CPU）包含\_\_C\_\_。  
A. 运算器 B. 控制器  
C. 运算器、控制器和 cache D. 运算器、控制器和主存储器
14. 在 CPU 中跟踪指令后继地址的寄存器是\_\_B\_\_。  
A. 主存地址寄存器 B. 程序计数器 C. 指令寄存器 D. 状态条件寄存器
15. 在集中式总线仲裁中，\_\_C\_\_方式响应时间最快。  
A. 链式查询 B. 计数器定时查询 C. 独立请求 D. 以上三种相同
16. PCI 总线的基本传输机制是\_\_D\_\_。  
A. 串行传输 B. 并行传输 C. DMA 式传输 D. 猝发式

传输

17. 中断向量地址是\_\_B\_\_。

A. 子程序入口地址      B. 中断服务子程序入口地址 C. 中断服务子程序出口地址      D. 中断返回地址

18. CD-ROM 是\_\_C\_\_型光盘。

A. 一次      B. 重写      C. 只读

19. 某计算机字长是 16 位，它的存储容量是 1MB，按字编址，它的寻址范围是\_\_A\_\_。

A. 512K      B. 1M      C. 512KB

20. 一个  $16K \times 32$  位的存储器，其地址线和数据线的总和是\_\_B\_\_。

A. 48      B. 46      C. 36      D. 40

二、填空题（共 7 题，每空 1 分，共 20 分）

1. 计算机系统是由\_\_\_\_\_和软件两大部分组成，软件又分为\_\_\_\_\_和\_\_\_\_\_。

2. 系统总线按传输信息的不同分为地址总线、\_\_\_\_\_、\_\_\_\_\_三大类。

3. 四位二进制补码所能表示的十进制整数范围是\_\_\_\_\_至\_\_\_\_\_。 4. 半导体 SRAM 靠\_\_\_\_\_存储信息，半导体 DRAM 靠\_\_\_\_\_存储信息。 5. 动态 RAM 的刷新方式通常有\_\_\_\_\_、\_\_\_\_\_、\_\_\_\_\_三种。

6. 完整的指令周期包括取指、\_\_\_\_\_、\_\_\_\_\_、\_\_\_\_\_四个子周期，影响指令流水线性能的三种相关分别是\_\_\_\_\_相关、\_\_\_\_\_相关和控制相关。

7. Cache 和主存地址的映射方式有\_\_\_\_\_、\_\_\_\_\_、\_\_\_\_\_三种。

三、简答题（共 2 题，每题 5 分，共 10 分）

1. 什么叫指令？什么叫指令系统？

2. 一次程序中断大致可分为哪几个阶段？

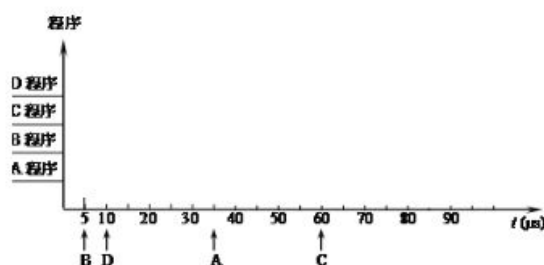
四、应用题（共 5 题，每题 10 分，共 50 分）

1. 设某机主频为 8MHz，每个机器周期平均含 2 个时钟周期，每条指令平均有 2.5 个机器周期，试问该机的平均指令执行速度为多少 MIPS？若机器主频不变，但每个机器周期平均含 4 个时钟周期，每条指令平均有 5 个机器周期，则该机的平均指令执行速度又是多少 MIPS？由此可得出什么结论？

2. 设某机有四个中断源 A、B、C、D，其硬件排队优先次序为 A,B,C,D，现要求将中断处

理次序改为 D,A,C,B。(1) 写出每个中断源对应的屏蔽字。

(2) 按下图时间轴给出的四个中断源的请求时刻，画出 CPU 执行程序的轨迹。设每个中断源的中断服务程序时间均为 20s。



3. 设机器数字长为 8 位（含一位符号位），若  $A = +15$ ， $B = +24$ ，求  $[A+B]$  补和  $[A-B]$  补并还原成真值。

4. 某机字长 16 位，存储字长等于指令字长，若存储器直接寻址空间为 128 字，变址时的位移量为 -64~+63, 16 个通用寄存器可作为变址寄存器。设计一套指令格式，满足下列寻址类型的要求。

(1) 直接寻址的二地址指令 3 条； (2) 变址寻址的一地址指令 6 条； (3) 寄存器寻址的二地址指令 9 条； (4) 直接寻址的一地址指令 13 条。

5. 设 CPU 共有 16 根地址线，8 根数据线，并用 -MREQ（低电平有效）作访存控制信号，R/-W 作读写命令信号（高电平为读，低电平为写）。现有 8 片 8KX8 位的 RAM 芯片与 CPU 相连，试回答：

(1) 用 74138 译码器画出 CPU 与存储芯片的连接图； (2) 写出每片 RAM 的地址范围； (3) 根据图 (1)，若出现地址线 A13 与 CPU 断线，并搭接到高电平上，将出现什么后果？

## 计算机组成原理试题（二）答案

一、选择题

1. B 2. B 3. D 4. B 5. A 6. C 7. C 8. C 9. B 10. D 11. C 12. C 13. C 14. B 15. C 16. D 17. B 18. C 19. A 20. B

二、填空题

1. 硬件 系统软件 应用软件 2 数据 地址控制 3 +15 -16 4. 触发器 电容 5 集中 分散 异步 6 间址 执行 中断 结构 数据 控制 7 直接映射 全相连 组相连

三、简答题

1 指令是计算机执行某种操作的命令，也就是常说的机器指令。一台机器中所有机器指令的集合，称这台计算机的指令系统。

2 答：一次程序中断大致可分为五个阶段。中断请求（1分）中断判优（1分）中断响应（1分）中断服务（1分）中断返回（1分）

四、应用题

1 解：先通过主频求出时钟周期，再求出机器周期和平均指令周期，最后通过平均指令周期的倒数求出平均指令执行速度。计算如下：

时钟周期 =  $1/8\text{MHz} = 0.125 \times 10^{-6} = 125\text{ns}$  机器周期 =  $125\text{ns} \times 2 = 250\text{ns}$

平均指令周期 =  $250\text{ns} \times 2.5 = 625\text{ns}$

平均指令执行速度 =  $1/625\text{ns} = 1.6\text{MIPS}$

当参数改变后：机器周期 =  $125\text{ns} \times 4 = 500\text{ns} = 0.5\mu\text{s}$  平均指令周期 =  $0.5\mu\text{s} \times 5 = 2.5\mu\text{s}$

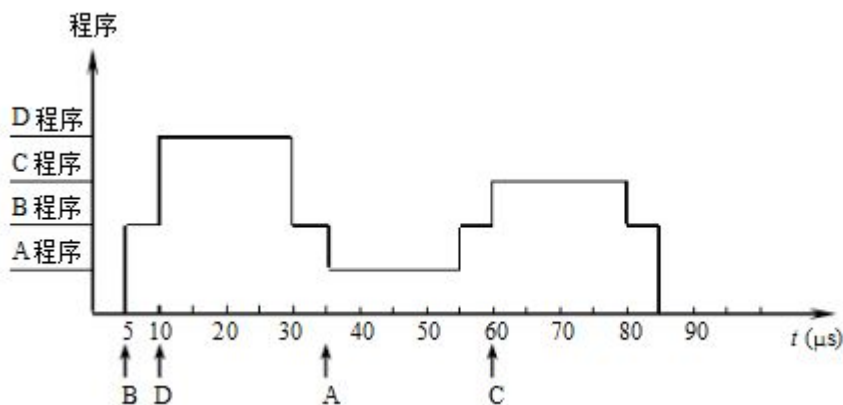
平均指令执行速度 =  $1/2.5\mu\text{s} = 0.4\text{MIPS}$

结论：两个主频相同的机器，执行速度不一定一样。

2 (1) 在中断处理次序改为  $D > A > C > B$  后，每个中断源新的屏蔽字如表所示。（5分）

中断源	屏蔽字			
	A	B	C	D
A	1	1	1	0
B	0	1	0	0
C	0	1	1	0
D	1	1	1	1

(2) 根据新的处理次序，CPU 执行程序的轨迹如图所示（5分）



3 解：∵  $A = +15 = +0001111$ ， $B = +24 = +0011000$

∴  $[A]_{\text{补}} = 0,0001111$ ， $[B]_{\text{补}} = 0,0011000$ ， $[-B]_{\text{补}} = 1,1101000$

则  $[A-B]_{\text{补}} = [A]_{\text{补}} + [-B]_{\text{补}} = 0,0001111$

+1,1101000

1,1110111



## 计算机组成原理试题（三）

### 一. 选择题（每题 1 分，共 20 分）

1. 我国在\_\_\_\_\_ 年研制成功了第一台电子数字计算机，第一台晶体管数字计算机于\_\_\_\_\_ 年完成。  
A. 1946    1958    B. 1950    1968    C. 1958    1961    D. 1959    1965
2. Pentium 微型计算机中乘除法部件位于\_\_\_\_\_ 中。  
A. CPU    B. 接口    C. 控制器    D. 专用芯片
3. 没有外存储器的计算机初始引导程序可以放在\_\_\_\_\_ 。  
A. RAM    B. ROM    C. RAM 和 ROM    D. CPU
4. 下列数中最小的数是\_\_\_\_\_ 。  
A.  $(101001)_2$     B.  $(52)_8$     C.  $(2B)_{16}$     D.  $(44)_{10}$
5. 在机器数\_\_\_\_\_ 中，零的表示形式是唯一的。  
A. 原码    B. 补码    C. 移码    D. 反码
6. 在定点二进制运算器中，减法运算一般通过\_\_\_\_\_ 来实现。  
A. 原码运算的二进制减法器    B. 补码运算的二进制减法器  
C. 补码运算的十进制加法器    D. 补码运算的二进制加法器
7. 下列有关运算器的描述中\_\_\_\_\_ 是正确的。  
A. 只作算术运算，不作逻辑运算    B. 只作加法  
C. 能暂时存放运算结果    D. 以上答案都不对
8. 某 DRAM 芯片，其存储容量为  $512K \times 8$  位，该芯片的地址线和数据线数目为\_\_\_\_\_ 。  
A. 8, 512    B. 512, 8    C. 18, 8    D. 19, 8
9. 相联存储器是按\_\_\_\_\_ 进行寻址的存储器。  
A. 地址指定方式    B. 堆栈存取方式  
C. 内容指定方式    D. 地址指定与堆栈存取方式结合
10. 指令系统中采用不同寻址方式的目的主要是\_\_\_\_\_ 。  
A. 实现存储程序和程序控制    B. 缩短指令长度，扩大寻址空间，提高编程灵活性  
C. 可以直接访问外存    D. 提供扩展操作码的可能并降低指令译码难度
11. 堆栈寻址方式中，设 A 为累加寄存器，SP 为堆栈指示器，M<sub>sp</sub> 为 SP 指示器的栈顶单元，如果操作的动作是： $(A) \rightarrow M_{sp}$ ， $(SP) - 1 \rightarrow SP$ ，那么出栈操作的动作为：  
A.  $(M_{sp}) \rightarrow A$ ， $(SP) + 1 \rightarrow SP$     B.  $(SP) + 1 \rightarrow SP$ ， $(M_{sp}) \rightarrow A$   
C.  $(SP) - 1 \rightarrow SP$ ， $(M_{sp}) \rightarrow A$     D.  $(M_{sp}) \rightarrow A$ ， $(SP) - 1 \rightarrow SP$
12. 在 CPU 中跟踪指令后继地址的寄存器是\_\_\_\_\_ 。  
A. 主存地址寄存器    B. 程序计数器    C. 指令寄存器    D. 状态条件寄存器

13. 描述多媒体 CPU 基本概念中正确表述的句子是\_\_\_\_\_。
- A. 多媒体 CPU 是带有 MMX 技术的处理器  
B. 多媒体 CPU 是非流水线结构  
C. MMX 指令集是一种单指令流单数据流的串行处理指令  
D. 多媒体 CPU 一定是 CISC 机器
14. 描述 Futurebus+总线中基本概念正确的表述是\_\_\_\_\_。
- A. Futurebus+总线是一个高性能的同步总线标准  
B. 基本上是一个同步数据定时协议  
C. 它是一个与结构、处理器技术有关的开发标准  
D. 数据线的规模不能动态可变
15. 在\_\_\_\_\_ 的微型计算机系统中，外设可以和主存储器单元统一编址，因此可以不用 I/O 指令。
- A. 单总线      B. 双总线      C. 三总线      D. 多总线
16. 用于笔记本电脑的大容量存储器是\_\_\_\_\_。
- A. 软磁盘      B. 硬磁盘      C. 固态盘      D. 磁带
17. 具有自同步能力的记录方式\_\_\_\_\_。
- A. NRZ<sub>0</sub>      B. NRZ<sub>1</sub>      C. PM      D. MFM
18. \_\_\_\_\_不是发生中断请求的条件。
- A. 一条指令执行结束      B. 一次 I/O 操作结束  
C. 机器内部发生故障      D. 一次 DMA 操作结束
19. 采用 DMA 方式传送数据时，每传送一个数据就要用一个\_\_\_\_\_。
- A. 指令周期      B. 数据周期      C. 存储周期      D. 总线周期
20. 并行 I/O 标准接口 SCSI 中，一块主适配器可以连接\_\_\_\_\_ 台具有 SCSI 接口的设备。
- A. 6      B. 7~15      C. 8      D. 10

## 二. 填空题（每空 1 分，共 20 分）

1. 在计算机术语中，将 A. \_\_\_\_\_ 和 B. \_\_\_\_\_ 和在一起称为 CPU，而将 CPU 和 C. \_\_\_\_\_ 合在一起称为主机。
2. 计算机软件一般分为两大类：一类叫 A. \_\_\_\_\_ ，另一类叫 B. \_\_\_\_\_ 。操作系统属于 C. \_\_\_\_\_ 类。
3. 主存储器容量通常以 MB 表示，其中 M = A. \_\_\_\_\_ ， B = B. \_\_\_\_\_ ；硬盘容量通常以 GB 表示，其中 G = C. \_\_\_\_\_ 。
4. CPU 能直接访问 A. \_\_\_\_\_ 和 B. \_\_\_\_\_ ，但不能直接访问磁盘和光盘。
5. 指令字长度有 A. \_\_\_\_\_ 、B. \_\_\_\_\_ 、C. \_\_\_\_\_ 三种形式。
6. 计算机系统中，根据应用条件和硬件资源不同，数据传输方式可采用 A. \_\_\_\_\_ 传送、B. \_\_\_\_\_ 传送、C. \_\_\_\_\_ 传送。
7. 通道是一个特殊功能的 A. \_\_\_\_\_ ，它有自己的 B. \_\_\_\_\_ 专门负责数据输入输出的传输控制。
8. 并行 I/O 接口 A. \_\_\_\_\_ 和串行 I/O 接口 B. \_\_\_\_\_ 是目前两个最具有权威性的标准接口技术。

## 三. 简答题（每题 5 分，共 20 分）

1. 一个较完善的指令系统应包括哪几类？



2. 什么是闪速存储器？它有哪些特点？
3. 比较水平微指令与垂直微指令的优缺点。
4. CPU 响应中断应具备哪些条件？

#### 四. 应用题（每题 5 分，共 20 分）

1. 已知： $X=0.1011$ ,  $Y=-0.0101$ , 求  $[X/2]_{补}$ ,  $[X/4]_{补}$ ,  $[-X]_{补}$ ,  $[Y/2]_{补}$ ,  $[Y/4]_{补}$ ,  $[-Y]_{补}$ 。
2. 设机器字长为 16 位，定点表示时，尾数 15 位，阶符 1 位。
  - (1) 定点原码整数表示时，最大正数为多少？最小负数为多少？
  - (2) 定点原码小数表示时，最大正数为多少？最小负数为多少？
3.  $[x]_{补}+[y]_{补}=[x+y]_{补}$

求证： $-[y]_{补}=[-y]_{补}$

4. 有一个  $16K \times 16$  的存储器，由  $1K \times 4$  位的 DRAM 芯片构成问：
  - (1) 总共需要多少 DRAM 芯片？
  - (2) 画出存储体的组成框图。
5. 中断接口中有哪些标志触发器？功能是什么？
6. CPU 结构如图所示，其中一个累加寄存器 AC，一个状态条件寄存器和其它四个寄存器，各部分之间的连线表示数据通路，箭头表示信息传送方向。
  - (1) 标明图中四个寄存器的名称。
  - (2) 简述指令从主存取到控制器的数据通路。
  - (3) 简述数据在运算器和主存之间进行存/取访问的数据通路。

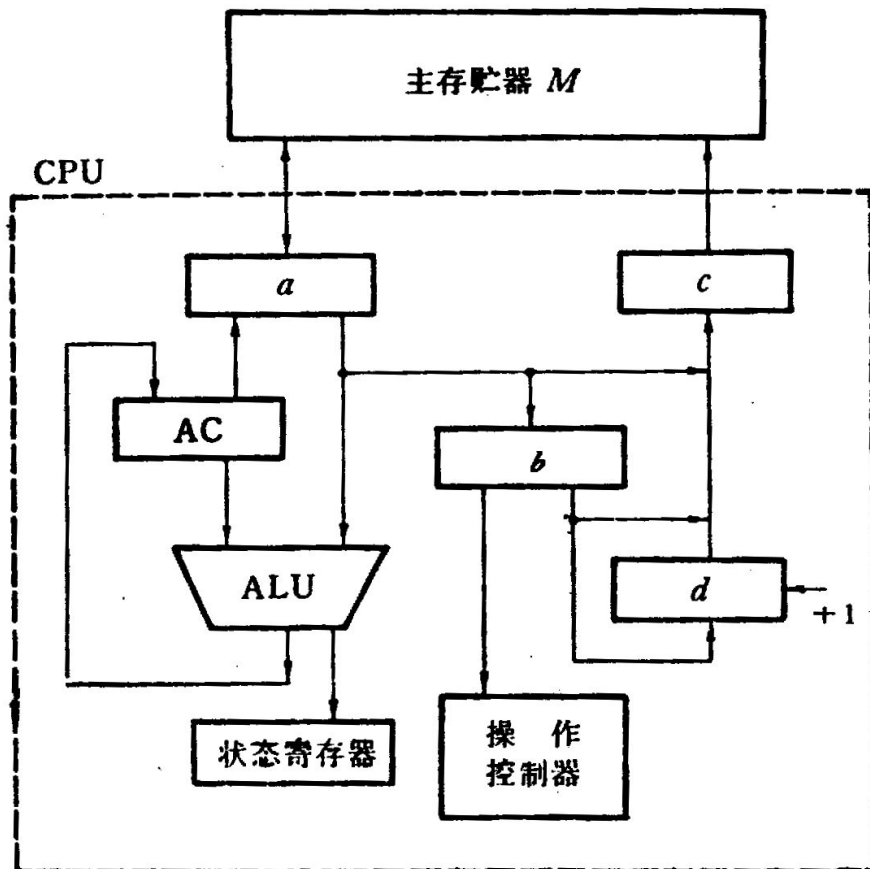


图 C8.1

7. 何谓 DMA 方式？DMA 控制器可采用哪几种方式与 CPU 分时使用内存？
8. CD-ROM 光盘的外缘有 5mm 的范围因记录数据困难，一般不使用，故标准的播放时间为 60 分钟。请计算模式 1 情况下光盘存储容量是多少？

## 计算机组成原理试题（三）答案

### 一. 选择题

- |       |          |       |       |         |       |       |
|-------|----------|-------|-------|---------|-------|-------|
| 1. D  | 2. A     | 3. B  | 4. A  | 5. B, C | 6. D  | 7. D  |
| 8. D  | 9. C     | 10. B | 11. B | 12. B   | 13. A | 14. C |
| 15. A | 16. C, D | 17. C | 18. A | 19. C   | 20. B |       |

### 二. 填空题

1. A. 运算器    B. 控制器    C. 存储器
2. A. 系统程序    B. 应用程序    C. 系统程序
3. A.  $2^{20}$     B. 8 位(1 个字节)    C.  $2^{30}$
4. A. cache    B. 主存
5. A. 单字长    B. 半字长    C. 双字长
6. A. 并行    B. 串行    C. 复用
7. A. 处理器    B. 指令和程序
8. A. SCSI    B. IEEE1394

### 三. 简答题

1. 包括：数据传送指令、算术运算指令、逻辑运算指令、程序控制指令、输入输出指令、堆栈指令、字符串指令、特权指令等。
2. 闪速存储器是高密度、非易失性的读/写半导体存储器。从原理上看，它属于 ROM 型存储器，但是它又可随机改写信息；从功能上看，它又相当于 RAM，所以传统 ROM 与 RAM 的定义和划分已失去意义。因而它是一种全新的存储器技术。

闪速存储器的特点：（1）固有的非易失性

（2）廉价的高密度

（3）可直接执行

（4）固态性能

3. （1）水平型微指令并行操作能力强、效率高、灵活性强，垂直型微指令则较差。  
（2）水平型微指令执行一条指令的时间短，垂直型微指令执行时间长。  
（3）由水平型微指令解释指令的微程序，具有微指令字比较长，但微程序短的特点，而垂直型微指令正好相反。  
（4）水平型微指令用户难以掌握，而垂直型微指令与指令比较相似，相对来说比较容易掌握

4. 解：

- （1）在 CPU 内部设置的中断屏蔽触发器必须是开放的。

- (2) 外设有中断请求时，中断请求触发器必须处于“1”状态，保持中断请求信号。
- (3) 外设（接口）中断允许触发器必须为“1”，这样才能把外设中断请求送至 CPU。
- (4) 当上述三个条件具备时，CPU 在现行指令结束的最后一个状态周期响应中断。

#### 四. 应用题

1. 解:  $[X]_{\text{补}} = 0.1011$      $[X/2]_{\text{补}} = 0.01011$      $[X/4]_{\text{补}} = 0.001011$      $[-X]_{\text{补}} = 1.0101$   
 $[Y]_{\text{补}} = 1.1011$      $[Y/2]_{\text{补}} = 1.11011$      $[Y/4]_{\text{补}} = 1.111011$      $[-Y]_{\text{补}} = 0.0101$

2. 解: (1) 定点原码整数表示时

最大正数:  $(2^{15}-1)_{10} = (32767)_{10}$

最小负数:  $-(2^{15}-1)_{10} = (-32767)_{10}$

- (2) 定点原码小数表示时

最大正数:  $(1-2^{-15})_{10}$

最小负数:  $-(1-2^{-15})_{10}$

3. 证: 因为  $[x]_{\text{补}} + [y]_{\text{补}} = [x+y]_{\text{补}}$

令  $x = -y$  代入, 则有  $[-y]_{\text{补}} + [y]_{\text{补}} = [-y+y]_{\text{补}} = [0]_{\text{补}} = 0$

所以  $[-y]_{\text{补}} = [-y]_{\text{补}}$

4. 解: (1) 芯片  $1K \times 4$  位, 片内地址线 10 位 ( $A_9 \sim A_0$ ), 数据线 4 位。芯片总数  
 $16K \times 16 / (1K \times 4) = 64$  片

- (2) 存储器容量为 16K, 故地址线总数为 14 位 ( $A_{13} \sim A_0$ ), 其中  $A_{13}A_{12}A_{11}A_{10}$   
通过 4: 16 译码器产生片选信号  $\overline{CS}_0 \sim \overline{CS}_{15}$ 。

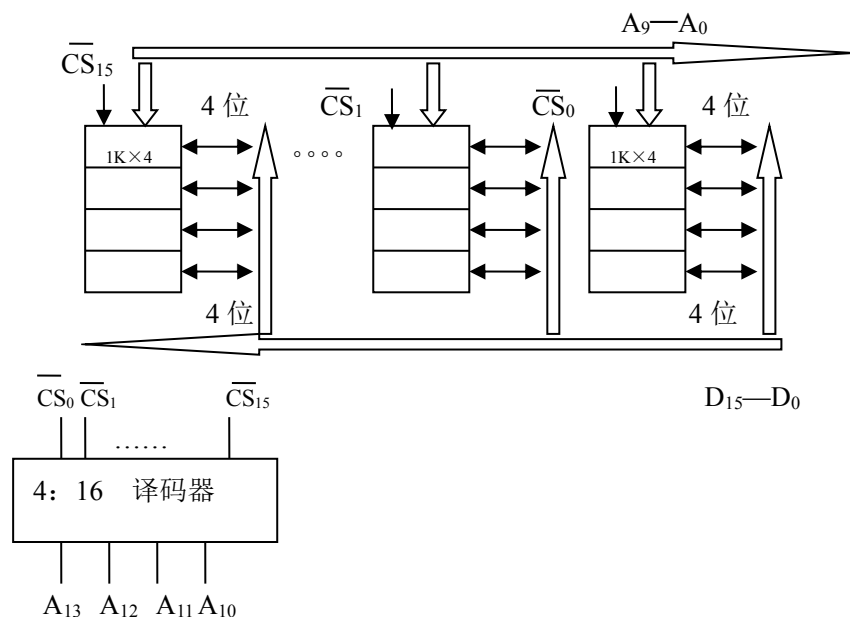


图 C8.2

5. 解：中断接口中有四个标志触发器：

- (1) 准备就绪的标志 (RD)：一旦设备做好一次数据的接受或发送，便发出一个设备动作完毕信号，使 RD 标志置“1”。在中断方式中，该标志用作为中断源触发器，简称中断触发器。
- (2) 允许中断触发器 (EI)：可以用程序指令来置位。EI 为“1”时，某设备可以向 CPU 发出中断请求；EI 为“0”时，不能向 CPU 发出中断请求，这意味着某中断源的中断请求被禁止。设置 EI 标志的目的，就是通过软件来控制是否允许某设备发出中断请求。
- (3) 中断请求触发器 (IR)：它暂存中断请求线上由设备发出的中断请求信号。当 IR 标志为“1”时，表示设备发出了中断请求。
- (4) 中断屏蔽触发器 (IM)：是 CPU 是否受理中断或批准中断的标志。IM 标志为“0”时，CPU 可以受理外界的中断请求，反之，IM 标志为“1”时，CPU 不受理外界的中断。

6. 解：(1) a 为数据缓冲寄存器 DR，b 为指令寄存器 IR，c 为主存地址寄存器 AR，d 为程序计数器 PC

(2)  $PC \rightarrow AR \rightarrow \text{主存} \rightarrow \text{缓冲寄存器 DR} \rightarrow \text{指令寄存器 IR} \rightarrow \text{操作控制器}$

(3) 存储器读： $M \rightarrow DR \rightarrow ALU \rightarrow AC$       存储器写： $AC \rightarrow DR \rightarrow M$

7. 解：DMA 直接内存访问方式是一种完全由硬件执行 I/O 交换的工作方式。DMA 控制器从 CPU 完全接管对总线的控制，数据交换不经过 CPU 而直接在内存和 I/O 设备间进行。

8. 解：扇区总数 =  $60 \times 60 \times 75 = 270000$

模式 1 存放计算机程序和数据，其存储容量为

$$270000 \times 2048 / 1024 / 1024 = 527\text{MB}$$

## 计算机组成原理试题（四）

### 一. 选择题（每空 1 分，共 20 分）

1. 将有关数据加以分类、统计、分析，以取得有利用价值的信息，我们称其为\_\_\_\_\_。  
A. 数值计算      B. 辅助设计      C. 数据处理      D. 实时控制
2. 目前的计算机，从原理上讲\_\_\_\_\_。  
A. 指令以二进制形式存放，数据以十进制形式存放  
B. 指令以十进制形式存放，数据以二进制形式存放  
C. 指令和数据都以二进制形式存放  
D. 指令和数据都以十进制形式存放
3. 根据国标规定，每个汉字在计算机内占用\_\_\_\_\_存储。  
A. 一个字节      B. 二个字节      C. 三个字节      D. 四个字节
4. 下列数中最小的数为\_\_\_\_\_。  
A.  $(101001)_2$       B.  $(52)_8$       C.  $(2B)_{16}$       D.  $(44)_{10}$
5. 存储器是计算机系统的记忆设备，主要用于\_\_\_\_\_。  
A. 存放程序      B. 存放软件      C. 存放微程序      D. 存放程序和数据
6. 设  $X = -0.1011$ ，则  $[X]_{补}$  为\_\_\_\_\_。  
A. 1.1011      B. 1.0100      C. 1.0101      D. 1.1001
7. 下列数中最大的数是\_\_\_\_\_。  
A.  $(10010101)_2$       B.  $(227)_8$       C.  $(96)_{16}$       D.  $(143)_{10}$
8. 计算机问世至今，新型机器不断推陈出新，不管怎样更新，依然保有“存储程序”的概念，最早提出这种概念的是\_\_\_\_\_。  
A. 巴贝奇      B. 冯·诺依曼      C. 帕斯卡      D. 贝尔
9. 在 CPU 中，跟踪后继指令地址的寄存器是\_\_\_\_\_。  
A. 指令寄存器      B. 程序计数器      C. 地址寄存器      D. 状态条件寄存器
10. Pentium-3 是一种\_\_\_\_\_。  
A. 64 位处理器      B. 16 位处理器      C. 准 16 位处理器      D. 32 位处理器
11. 三种集中式总线控制中，\_\_\_\_\_方式对电路故障最敏感。  
A. 链式查询      B. 计数器定时查询      C. 独立请求
12. 外存储器与内存储器相比，外存储器\_\_\_\_\_。  
A. 速度快，容量大，成本高      B. 速度慢，容量大，成本低  
C. 速度快，容量小，成本高      D. 速度慢，容量大，成本高
13. 一个  $256K \times 8$  的存储器，其地址线和数据线总和为\_\_\_\_\_。  
A. 16      B. 18      C. 26      D. 20
14. 堆栈寻址方式中，设 A 为累加器，SP 为堆栈指示器， $M_{SP}$  为 SP 指示的栈顶单元。如果进栈操作的动作顺序是  $(A) \rightarrow M_{SP}$ ， $(SP)-1 \rightarrow SP$ 。那么出栈操作的动作顺序应为\_\_\_\_\_。  
A.  $(M_{SP}) \rightarrow A$ ， $(SP)+1 \rightarrow SP$       B.  $(SP)+1 \rightarrow SP$ ， $(M_{SP}) \rightarrow A$   
C.  $(SP)-1 \rightarrow SP$ ， $(M_{SP}) \rightarrow A$       D.  $(M_{SP}) \rightarrow A$ ， $(SP)-1 \rightarrow SP$
15. 当采用\_\_\_\_\_对设备进行编址情况下，不需要专门的 I/O 指令组。

- A. 统一编址法      B. 单独编址法      C. 两者都是      D. 两者都不是
16. 下面有关“中断”的叙述，\_\_\_\_\_是不正确的。
- A. 一旦有中断请求出现，CPU 立即停止当前指令的执行，转而去受理中断请求
- B. CPU 响应中断时暂停运行当前程序，自动转移到中断服务程序
- C. 中断方式一般适用于随机出现的服务
- D. 为了保证中断服务程序执行完毕以后，能正确返回到被中断的断点继续执行程序，必须进行现场保存操作
17. 下面叙述中，\_\_\_\_\_是正确的。
- A. 总线一定要和接口相连      B. 接口一定要和总线相连
- C. 通道可以替代接口      D. 总线始终由 CPU 控制和管理
18. 在下述指令中，I 为间接寻址，\_\_\_\_\_指令包含的 CPU 周期数最多。
- A. CLA      B. ADD 30      C. STA I 31      D. JMP 21
19. 设寄存器位数为 8 位，机器数采用补码形式（含一位符号位）。对应于十进制数-27，寄存器内为\_\_\_\_\_。
- A. 27H      B. 9BH      C. E5H      D. 5AH
20. 某存储器芯片的存储容量为  $8K \times 12$  位，则它的地址线为\_\_\_\_\_。
- A. 11      B. 12      C. 13      D. 14

## 二. 填空题（每空 1 分，共 20 分）

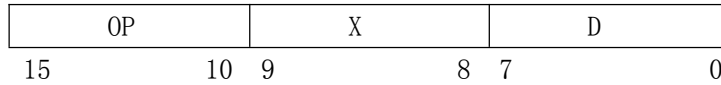
1. 计算机软件一般分为两大类：一类叫 A. \_\_\_\_\_，另一类叫 B. \_\_\_\_\_。操作系统属于 C. \_\_\_\_\_ 类。
2. 一位十进制数，用 BCD 码表示需 A. \_\_\_\_\_ 位二进制码，用 ASCII 码表示需 B. \_\_\_\_\_ 位二进制码。
3. 主存储器容量通常以 KB 表示，其中 K=A. \_\_\_\_\_；硬盘容量通常以 GB 表示，其中 G=B. \_\_\_\_\_。
4. RISC 的中文含义是 A. \_\_\_\_\_，CISC 的中文含义是 B. \_\_\_\_\_。
5. 主存储器的性能指标主要是存储容量、A. \_\_\_\_\_、B. \_\_\_\_\_和 C. \_\_\_\_\_。
6. 由于存储器芯片的容量有限，所以往往需要在 A. \_\_\_\_\_和 B. \_\_\_\_\_两方面进行扩充才能满足实际需求。
7. 指令寻址的基本方式有两种，A. \_\_\_\_\_方式和 B. \_\_\_\_\_方式。
8. 存储器和 CPU 连接时，要完成 A. \_\_\_\_\_的连接；B. \_\_\_\_\_的连接和 C. \_\_\_\_\_的连接，方能正常工作。
9. 操作控制器的功能是根据指令操作码和 A. \_\_\_\_\_，产生各种操作控制信号，从而完成 B. \_\_\_\_\_和执行指令的控制。

## 三. 简答题（每题 5 分，共 20 分）

1. 指令和数据均存放在内存中，计算机如何从时间和空间上区分它们是指令还是数据。
2. 什么是指令周期？什么是机器周期？什么是时钟周期？三者之间的关系如何？
3. 简要描述外设进行 DMA 操作的过程及 DMA 方式的主要优点。
4. 在寄存器—寄存器型，寄存器—存储器型和存储器—存储器型三类指令中，哪类指令的执行时间最长？哪类指令的执行时间最短？为什么？

## 四. 应用题（每题 5 分，共 40 分）

1. 求十进制数-113 的原码表示,反码表示,补码表示和移码表示(用 8 位二进制表示,并设最高位为符号位,真值为 7 位)。
2. 某机指令格式如图所示:



图中 X 为寻址特征位,且 X=0 时,不变址;X=1 时,用变址寄存器  $X_1$  进行变址;X=2 时,用变址寄存器  $X_2$  进行变址;X=3 时,相对寻址。设 (PC)=1234H, ( $X_1$ )=0037H, ( $X_2$ )=1122H, 请确定下列指令的有效地址(均用十六进制表示, H 表示十六进制)

- (1) 4420H    (2) 2244H    (3) 1322H    (4) 3521H    (5) 6723H
3. 将十进制数  $354\frac{5}{8}$  转换成二进制数、八进制数、十六进制数和 BCD 数。
  4. 浮点数格式如下: 1 位阶符, 6 位阶码, 1 位数符, 8 位尾数, 请写出浮点数所能表示的范围(只考虑正数值)。
  5. 现有一  $64K \times 2$  位的存储器芯片, 欲设计具有同样存储容量的存储器, 应如何安排地址线 and 数据线引脚的数目, 使两者之和最小。并说明有几种解答。
  6. 异步通信方式传送 ASCII 码, 数据位 8 位, 奇校验 1 位, 停止位 1 位。计算当波特率为 4800 时, 字符传送的速率是多少? 每个数据位的时间长度是多少? 数据位的传送速率是多少?
  7. 已知某 8 位机的主存采用半导体存储器, 地址码为 18 位, 采用  $4K \times 4$  位的 SRAM 芯片组成该机所允许的最大主存空间, 并选用模块条形式, 问:
    - (1) 若每个模块条为  $32K \times 8$  位, 共需几个模块条?
    - (2) 每个模块条内有多少片 RAM 芯片?
    - (3) 主存共需多少 RAM 芯片? CPU 需使用几根地址线来选择各模块? 使用何种译码器?
  8. 画出中断处理过程流程图。

## 计算机组成原理试题(四) 答案

### 一. 选择题:

- 1.C    2.C    3.B    4.A    5.D    6.C    7.B  
8.B    9.B    10.A    11.A    12.B    13.C    14.B  
15.A    16.A    17.B    18.C    19.C    20.C

### 二. 填空题:

1. A. 系统软件    B. 应用软件    C. 系统软件
2. A.4    B.7
3. A.  $2^{10}$     B.  $2^{30}$
4. A. 精简指令系统计算机    B. 复杂指令系统计算机
5. A. 存取时间    B. 存储周期    C. 存储器带宽
6. A. 字向    B. 位向
7. A. 顺序寻址方式    B. 跳跃寻址方式
8. A. 地址线    B. 数据线    C. 控制线

9. A. 时序信号 B. 取指令

### 三. 简答题:

1. 时间上讲, 取指令事件发生在“取指周期”, 取数据事件发生在“执行周期”。从空间上讲, 从内存读出的指令流流向控制器(指令寄存器)。从内存读出的数据流流向运算器(通用寄存器)。
2. 指令周期是完成一条指令所需的时间。包括取指令、分析指令和执行指令所需的全部时间。机器周期也称为 CPU 周期, 是指被确定为指令执行过程中的归一化基准时间, 通常等于取指时间(或访存时间)。时钟周期是时钟频率的倒数, 也可称为节拍脉冲或 T 周期, 是处理操作的最基本单位。一个指令周期由若干个机器周期组成, 每个机器周期又由若干个时钟周期组成。
3. (1) 外设发出 DMA 请求;  
(2) CPU 响应请求, DMA 控制器从 CPU 接管总线的控制;  
(3) 由 DMA 控制器执行数据传送操作;  
(4) 向 CPU 报告 DMA 操作结束。  
主要优点是数据数据速度快
4. 寄存器-寄存器型执行速度最快, 存储器-存储器型执行速度最慢。因为前者操作数在寄存器中, 后者操作数在存储器中, 而访问一次存储器所需的时间一般比访问一次寄存器所需时间长。

### 四. 应用题

1. 原码 11110001  
反码 10001110  
补码 10001111  
移码 00001111
2. (1) 0020H (2) 1166H (3) 1256H (4) 0058H (5) 1257H
3. (1)  $(354 \frac{5}{8})_{10} = (162.A)_{16}$   
(2)  $(354 \frac{5}{8})_{10} = (101100010.1010)_2$   
(3)  $(354 \frac{5}{8})_{10} = (542.5)_8$   
(4)  $(354 \frac{5}{8})_{10} = (001101010100.011000100101)_{BCD}$
4. 最小值  $2^{-11111} \times 0.00000001$   
最大值  $2^{11111} \times 0.11111111$
5. 设地址线 x 根, 数据线 y 根, 则  
 $2^x \cdot y = 64K \times 2$   
若  $y=1$   $x=17$   
 $y=2$   $x=16$   
 $y=4$   $x=15$



$$y=8 \quad x=14$$

因此，当数据线为 1 或 2 时，引脚之和为 18

共有 2 种解答

6. 每个字符格式包含十个位，因此字符传送速率

4800 波特/10=480 字符/秒

每个数据位时间长度  $T=1/4800=0.208\text{ms}$

数据位传送速率  $8 \times 480=3840$  位/秒

7.  $(2^{18} \times 8) / (32\text{k} \times 8) = 8$ ，故需 8 个模块

$(32\text{k} \times 8) / (4\text{k} \times 4) = 16$ ，故需 16 片芯片

共需  $8 \times 16=128$  片芯片

为了选择各模块，需使用 3:8 译码器

即 3 根地址线选择模块。

8. 中断处理过程流程图如图 C2.1 所示。

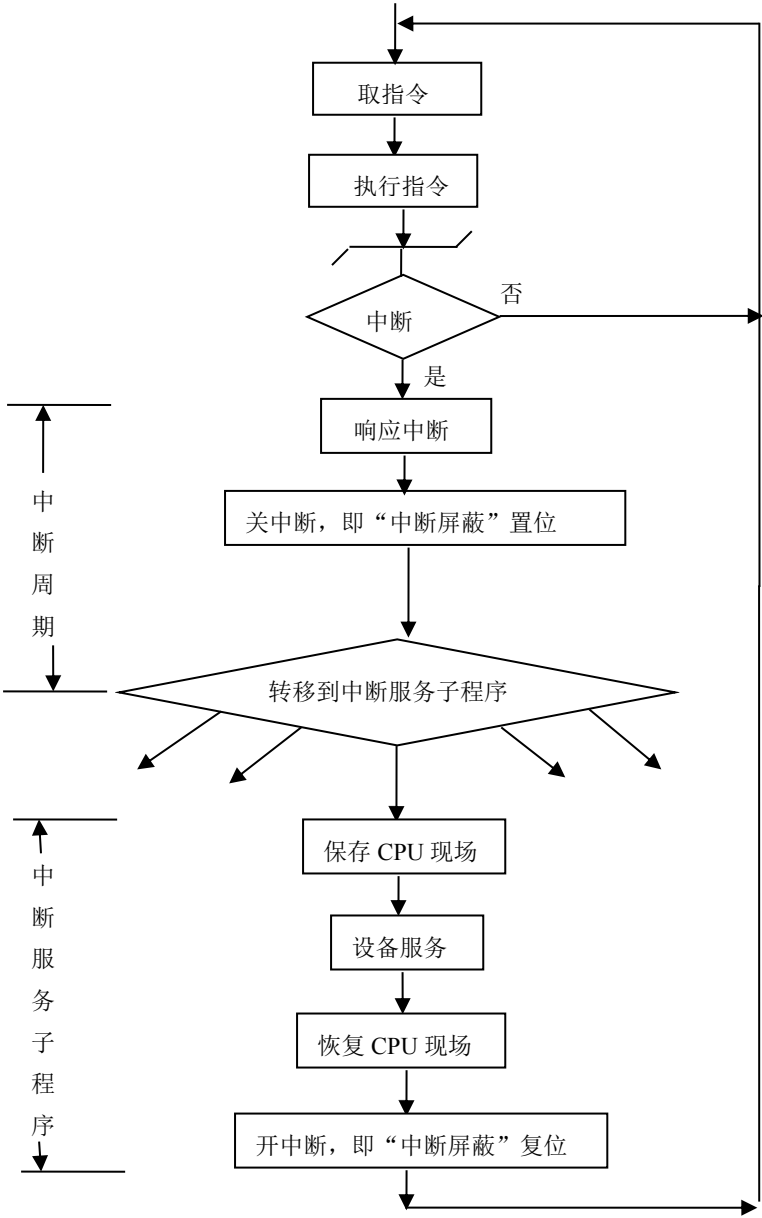


图 C2.1

## 计算机组成原理试题（五）

一、选择题（每小题选出一个最合适的答案，每小题 2 分，共 20 分）

- 1、若十进制数为 37.25，则相应的二进制数是（ ）。  
(A) 100110.01 (B) 110101.01 (C) 100101.1 (D) 100101.01
- 2、若  $[x]_{\text{反}} = 1.1011$ ，则  $x =$   
(A) -0.0101 (B) -0.0100 (C) 0.1011 (D) -0.1011
- 3、某机器字长 16 位，含一位数符，用补码表示，则定点小数所能表示的最小正数是（ ）。  
(A)  $2^{-15}$  (B)  $2^{16}$  (C)  $2^{-1}$  (D)  $1-2^{-15}$
- 4、若采用双符号位补码运算，运算结果的符号位为 10，则（ ）。  
(A) 产生了负溢出（下溢） (B) 产生了正溢出（上溢）  
(C) 运算结果正确，为负数 (D) 运算结果正确，为正数
- 5、在用比较法进行补码一位乘法时，若相邻两位乘数  $y_i y_{i+1}$  为 01 时，完成的操作是（ ）。  
(A) 无 (B) 原部分积 +  $[X]_{\text{补}}$ ，右移一位  
(C) 原部分积 +  $[-X]_{\text{补}}$ ，右移一位 (D) 原部分积 +  $[Y]_{\text{补}}$ ，右移一位
- 6、堆栈指针 SP 的内容是（ ）。  
(A) 栈顶地址 (B) 栈底地址 (C) 栈顶内容 (D) 栈底内容
- 7、在寄存器间接寻址方式中，操作数是从（ ）。  
(A) 主存储器中读出 (B) 寄存器中读出  
(C) 磁盘中读出 (D) CPU 中读出
- 8、在微程序控制器中，一条机器指令的功能通常由（ ）。  
(A) 一条微指令实现 (B) 一段微程序实现  
(C) 一个指令码实现 (D) 一个条件码实现
- 9、在串行传输时，被传输的数据（ ）。  
(A) 在发送设备和接受设备中都是进行串行到并行的变换  
(B) 在发送设备和接受设备中都是进行并行到串行的变换  
(C) 发送设备进行串行到并行的变换，在接受设备中都是进行并行到串行的变换  
(D) 发送设备进行并行到串行的变换，在接受设备中都是进行串行到并行的变换
- 10、系统总线是指（ ）。  
(A) 运算器、控制器和寄存器之间的信息传送线  
(B) 运算器、寄存器和主存之间的信息传送线  
(C) 运算器、寄存器和外围设备之间的信息传送线  
(D) CPU、主存和外围设备之间的信息传送线

二、名词解释（每小题 4 分，共 20 分）

1. 全相联映像
2. 指令系统
3. 指令周期、CPU 周期
4. 向量中断
5. 微指令

三、改错题（在下列各小题的表述中均有错误，请改正。每小题 3 分，共 12 分）

- 1、在中央处理器中，运算器可以向控制器发出命令进行运算操作。
- 2、在单处理机总线中，相对 CPU 而言，地址线 and 数据线一般都为双向信号线
- 3、多重中断方式，是指 CPU 同时处理多个中断请求
- 4、在“半互锁”异步通信方式中，“请求”信号的撤消取决于“回答”信号的来到，而“请求”信号的撤消又导致“回答”信号的撤消

四、简答题（每小题 5 分，共 15 分）

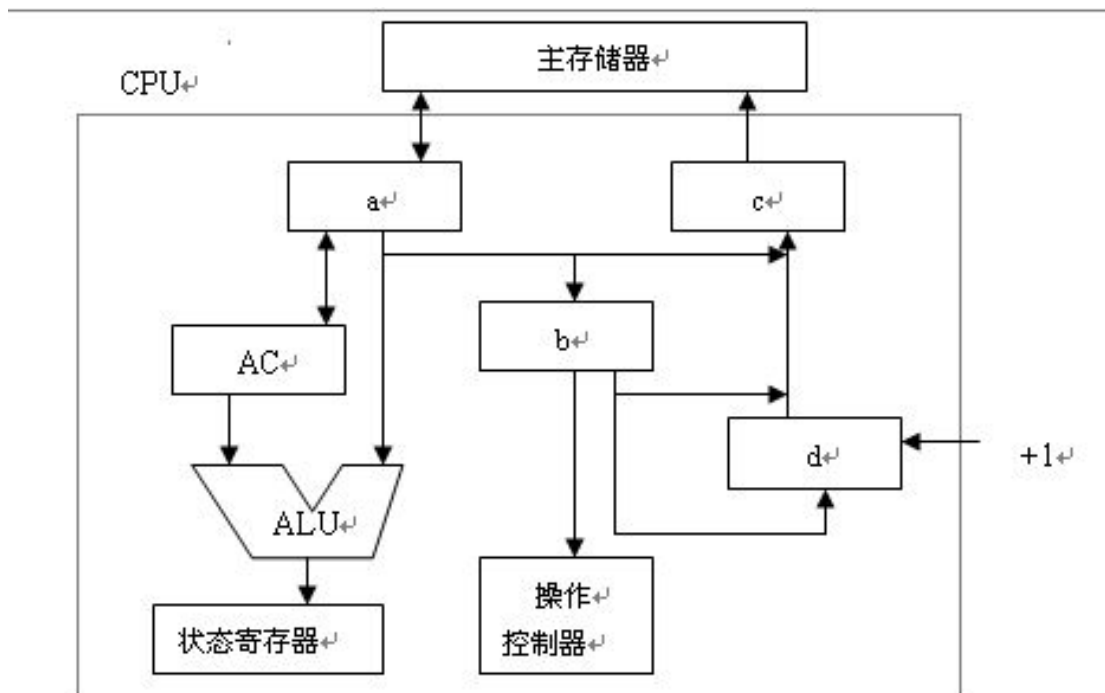
- 1、某机指令字长 12 位，每个地址段 3 位，试提出一种字段分配方案，使该机指令系统能有 6 条三地址指令和 8 条二地址指令。
- 2、分别用 NRZ-1、PE 及 FE 制记录方式记录数据序列 11001，画出写电流波形。
- 3、简述通道控制方式和 DMA 方式的异同。

五、计算题（10 分）

用补码加减交替一位除法进行  $6 \div 2$  运算，要求写出运算过程和运算结果

六、设计题（第一小题 12 分，第二小题 11 分，共 23 分）

- 1、CPU 结构如下图所示，其中有一个累加寄存器 AC、一个状态条件寄存器和其他 4 个寄存器，各部件之间的连线表示数据通路，箭头表示信息传送方向。
  - (1) 标明 4 个寄存器的名称。
  - (2) 简述指令从主存取出送到控制器的数据通路。
  - (3) 简述数据在运算器和主存之间进行存取访问的数据通路



2、 用 2K 4 位/片的 RAM 存储器芯片设计一个 8KB 的存储器，设 CPU 的地址总线为 A12~A0（低），数据总线为 D7~D0（低），由 线控制读写。

- （1） 该存储器需要多少片 2K 4 位/片的存储器芯片。
- （2） 请设计并画出该存储器的逻辑图。

## 计算机组成原理试题（五）答案

一、选择题（每小题选出一个最合适的答案，每小题 2 分，共 20 分）

1、D 2、B 3、A 4、A 5、B 6、A 7、B 8、B 9、D 10、D

二、名词解释（每小题 4 分，共 20 分）

1. 全相联映像：就是让主存中的任何一个块均可以映像装入到 Cache 中任何一个块的位置上。

2. 指令系统：是指一台计算机的所有指令的集合。

3. 指令周期：是指从取指令、分析取数到执行完该指令所需的全部时间。

CPU 周期：也叫机器周期，通常把一个指令周期划分为若干个机器周期，每个机器周期完成一个基本操作。

4. 向量中断：是指那些中断服务程序的入口地址是由中断事件自己提供的中断。

5. 微指令：是指控制存储器中的一个单元的内容，即控制字，是若干个微命令的集合。

三、改错题（在下列各小题的表述中均有错误，请改正。每小题 3 分，共 12 分）

1、在中央处理器中，运算器可以向控制器发出命令进行运算操作。

改为：在中央处理器中，控制器可以向运算器发出命令进行运算操作。

2、在单处理机总线中，相对 CPU 而言，地址线 and 数据线一般都为双向信号线

改为：在单处理机总线中，相对 CPU 而言，地址线为单向信号和数据线一般都为双向信号线

3、多重中断方式，是指 CPU 同时处理多个中断请求

改为：多重中断是指具有中断嵌套的功能，CPU 在响应较低级别的中断请求时，如果有更高级别的中断请求，CPU 转去响应更高级别中断请求。

4、在“半互锁”异步通信方式中，“请求”信号的撤消取决于“回答”信号的来到，而“请求”信号的撤消又导致“回答”信号的撤消

改为：在“半互锁”异步通信方式中，“请求”信号的撤消取决于“回答”信号的来到，而“回答”信号的撤消由从设备自己决定。

四、简答题（每小题 5 分，共 15 分）

1. 000 XXX YYY ZZZ

...

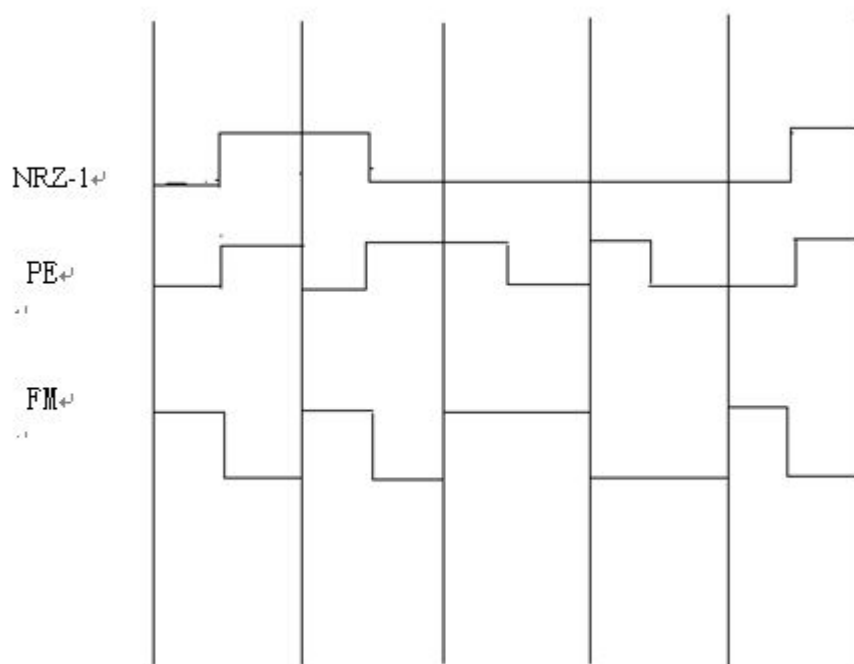
101 XXX YYY ZZZ

110 000 YYY ZZZ

ooo

110 111 YYY ZZZ

2.



3. 相同点：都是能在不需要 CPU 干预下实现外设和内存间的数据交换（2 分）

不同点：1) DMA 控制器是通过专门设计的硬件控制逻辑来实现对数据传递的控制，而通道具有自己的指令和程序，是一个有特殊功能的处理器 2) DMA 仅能控制一台或几台同类设备，而通道能控制多台同类或不同类设备

### 五、计算题（10 分）

解题要领：首先要转化为 ， 然后进行列算式计算。没有转化， 但会列算式， 且最后结果正确给 7 分。

### 六、设计题（第一小题 12 分， 第二小题 11 分， 共 23 分）

1 、（1） a 为 MDR,b 为 IR,c 为 MAR,d 为 PC

（2） 取指令的数据通路： PC→MAR→MM→MDR→IR

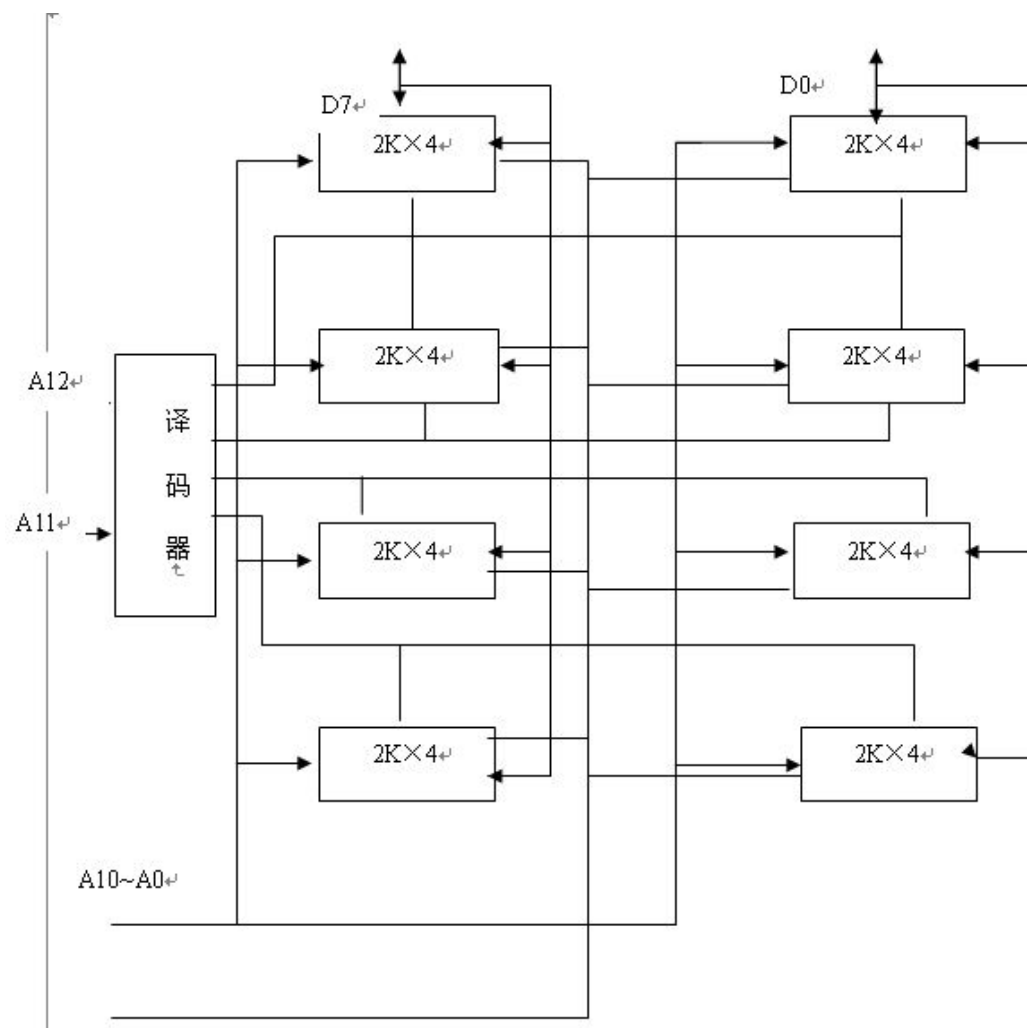
（3） 数据从主存取出的数据通路（设数据地址为 X） X→MAR→MM→MDR→ALU→AC

数据存入主存的数据通路（设数据地址为 Y） Y →MAR,AC→MDR→MM

2 、每小题 4 分，共 12 分

(1) 共需 8 片 (5 分)

(2) 如下逻辑图 (6 分)





重庆大学学长 QQ1964907139 ， 各学院专业课考研资料有售