

## 一、选择题

1 从器件角度看，计算机经历了五代变化。但从系统结构看，至今绝大多数计算机仍属于（ B ）计算机。（光盘的第一章）

A 并行 B 冯·诺依曼 C 智能 D 串行

2 某机字长 32 位，其中 1 位表示符号位。若用定点整数表示，则最小负整数为（ A ）。P16 —（这是答案在书上的页码，下面的一样）

A  $-(2^{31}-1)$  B  $-(2^{30}-1)$  C  $-(2^{31}+1)$  D  $-(2^{30}+1)$

3 以下有关运算器的描述，（ C ）是正确的。

A 只做加法运算  
B 只做算术运算  
C 算术运算与逻辑运算  
D 只做逻辑运算

4 EEPROM 是指（ D ）。P83

A 读写存储器 B 只读存储器  
C 闪速存储器 D 电擦除可编程只读存储器

5 当前的 CPU 由（ B ）组成。P127

A 控制器  
B 控制器、运算器、cache  
C 运算器、主存  
D 控制器、ALU、主存

6 在集中式总线仲裁中，（ A ）方式响应时间最快。P195

A 独立请求 B 计数器定时查询 C 菊花链

7 CPU 中跟踪指令后继地址的寄存器是（ B C ）。P129

A 地址寄存器 B 指令计数器  
C 程序计数器 D 指令寄存器

8 从信息流的传输速度来看，（ A ）系统工作效率最低。P186

A 单总线 B 双总线  
C 三总线 D 多总线

9 冯·诺依曼机工作的基本方式的特点是（ B ）。（光盘的第一章）

A 多指令流单数据流  
B 按地址访问并顺序执行指令  
C 堆栈操作  
D 存贮器按内容选择地址

10 在机器数（ 应改为 BC ）中，零的表示形式是唯一的。P22

A 原码 B 补码 C 移码 D 反码

11 在定点二进制运算器中，减法运算一般通过（ D ）来实现。P27

A 原码运算的二进制减法器  
B 补码运算的二进制减法器  
C 原码运算的十进制加法器  
D 补码运算的二进制加法器

12 某计算机字长 32 位，其存储容量为 256MB，若按单字编址，它的寻址范围是（ D ）。

A 0—64MB B 0—32MB C 0—32M D 0—64M

- 13 主存贮器和 CPU 之间增加 cache 的目的是 ( A )。P92  
 A 解决 CPU 和主存之间的速度匹配问题  
 B 扩大主存贮器容量  
 C 扩大 CPU 中通用寄存器的数量  
 D 既扩大主存贮器容量, 又扩大 CPU 中通用寄存器的数量
- 14 单地址指令中为了完成两个数的算术运算, 除地址码指明的一个操作数外, 另一个常需采用 ( C )。P114  
 A 堆栈寻址方式 B 立即寻址方式  
 C 隐含寻址方式 D 间接寻址方式
- 15 描述 PCI 总线中基本概念不正确的句子是 ( 应改为 C D )。P200  
 A PCI 总线是一个与处理器无关的高速外围设备  
 B PCI 总线的基本传输机制是猝发式传送  
 C PCI 设备一定是主设备  
 D 系统中只允许有一条 PCI 总线
- 16 RT 分辨率为  $1024 \times 1024$  像素, 像素的颜色数为 256, 则刷新存储器的容量为 ( )。  
 A 512KB B 1MB C 256KB D 2MB
- 17 列数中最小的数是 ( C )。  
 A  $41 = (101001)_2$  B  $42 = (52)_8$  C  $29 = (101001)_{BCD}$  D  $563 = (233)_{16}$
- 18 某 DRAM 芯片, 其存储容量为  $512K \times 8$  位, 该芯片的地址线和数据线的数目是 (D)。  
 A 8, 512 B 512, 8 C 18, 8 D 19, 8
- 19 交叉存储器实质上是一种多模块存储器, 它用 ( 应改为 A ) 方式执行多个独立的读写操作。P89  
 A 流水 B 资源重复 C 顺序 D 资源共享
- 20 寄存器间接寻址方式中, 操作数在 ( B )。P115  
 A 通用寄存器 (寄存器寻址) B 主存单元 C 程序计数器 D 堆栈
- 21 机器指令与微指令之间的关系是 ( A )。  
 A 用若干条微指令实现一条机器指令  
 B 用若干条机器指令实现一条微指令  
 C 用一条微指令实现一条机器指令  
 D 用一条机器指令实现一条微指令
- 22 在集中式总线仲裁中, ( A ) 方式对电路故障最敏感。P194  
 A 菊花链 B 独立请求 (响应时间快) C 计数器定时查询
- 23 PCI 是一个高带宽且与处理器无关的标准总线。下面描述中不正确的是 ( B )。P200  
 A 采用同步定时协议 B 采用分布式仲裁策略 (集中式)  
 C 具有自动配置能力 D 适合于低成本的小系统
- 24 运算器的核心功能部件是 ( B )。  
 A 数据总线 B ALU C 状态条件寄存器 D 通用寄存器

25 某单片机字长 32 位，其存储容量为 4MB。若按字编址，它的寻址范围是（ A ）。

- A 1M    B 4MB    C 4M    D 1MB

26 某 SRAM 芯片，其容量为  $1M \times 8$  位，除电源和接地端外，控制端有 E 和 R/W#，该芯片的管脚引出线数目是（ 应改为 C ）。（20 根地址线，8 根数据线，一根读写线，一根芯片选择线）

- A 20    B 28    C 30    D 32

27 双端口存储器所以能进行高速读/写操作，是因为采用（ D ）。P86

- A 高速芯片    B 新型器件  
C 流水技术    D 两套相互独立的读写电路

28 单地址指令中为了完成两个数的算术运算，除地址码指明的一个操作数以外，另一个数常需采用（ C ）。P114

- A 堆栈寻址方式    B 立即寻址方式  
C 隐含寻址方式    D 间接寻址方式

29 为确定下一条微指令的地址，通常采用断定方式，其基本思想是（ 改为 C ）。

- A 用程序计数器 PC 来产生后继微指令地址  
B 用微程序计数器  $\mu PC$  来产生后继微指令地址  
C 通过微指令顺序控制字段由设计者指定或由设计者指定的判别字段控制产生后继微指令地址  
D 通过指令中指定一个专门字段来控制产生后继微指令地址

30 微程序控制器中，机器指令与微指令的关系是（ B ）。

- A 每一条机器指令由一条微指令来执行  
B 每一条机器指令由一段用微指令编成的微程序来解释执行  
C 一段机器指令组成的程序可由一条微指令来执行  
D 一条微指令由若干条机器指令组成

31 CPU 中跟踪指令后继地址的寄存器是（ B ）。

- A 地址寄存器    B 程序计数器    C 指令寄存器    D 通用寄存器

32 某寄存器中的数值为指令码，只有 CPU 的（ A ）才能识别它。

- A 指令译码器    B 判断程序    C 微指令    D 时序信号

33 某机字长 64 位，1 位符号位，63 位表示尾数，若用定点整数表示，则最大正整数位（ A ）。

- A  $+(2^{63}-1)$     B  $+(2^{64}-1)$     C  $-(2^{63}-1)$     D  $-(2^{64}-1)$

34 从下面浮点运算器中的描述中选出两个描述正确的句子（ 改为 AC ）。

- A 浮点运算器可用两个松散连接的定点运算部件—阶码和尾数部件来实现。  
B 阶码部件可实现加，减，乘，除四种运算。（尾数部件才是可实现加、减、乘、除）  
C 阶码部件只进行阶码相加，相减和比较操作。  
D 尾数部件只进行乘法和除法运算。

35 存储单元是指（ 改为 B ）。

- A 存放 1 个二进制信息位的存储元  
B 存放 1 个机器字的所有存储元集合  
C 存放 1 个字节的所有存储元集合

- D 存放 2 个字节的所有存储元集合
- 36 某机字长 32 位, 存储容量 1MB, 若按字编址, 它的寻址范围是 ( D )。  
A 0—1M    B 0—512KB    C 0—56K    D 0—256KB
- 37 用于对某个寄存器中操作数的寻址方式为 ( C )。P114  
A 直接    B 间接    C 寄存器直接    D 寄存器间接
- 38 指令周期是指 ( C )。P131  
A CPU 从主存取出一条指令的时间  
B CPU 执行一条指令的时间  
C CPU 从主存取出一条指令加上执行一条指令的时间  
D 时钟周期时间
- 39 描述当代流行总线结构中基本概念不正确的句子是 ( AC )。  
A 当代流行的总线不是标准总线  
B 当代总线结构中, CPU 和它私有的 cache 一起作为一个模块与总线相  
C 系统中允许有一个这样的 CPU 模块
- 40 从信息流的传输速度来看, ( A ) 系统工作效率最低。  
A 单总线    B 双总线    C 三总线    D 多总线

## 二、填空题

- 1 字符信息是符号数据, 属于处理 ( 非数值 ) 领域的问题, 国际上采用的字符系统是七单位的 ( ASCII ) 码。P23
- 2 按 IEEE754 标准, 一个 32 位浮点数由符号位 S ( 1 位 )、阶码 E ( 8 位 )、尾数 M ( 23 位 ) 三个域组成。其中阶码 E 的值等于指数的真值 ( e ) 加上一个固定的偏移值 ( 127 )。P17
- 3 双端口存储器和多模块交叉存储器属于并行存储器结构, 其中前者采用 ( 空间 ) 并行技术, 后者采用 ( 时间 ) 并行技术。P86
- 4 衡量总线性能的重要指标是 ( 总线带宽 ), 它定义为总线本身所能达到的最高传输速率, 单位是 ( MB/s )。P185
- 5 在计算机术语中, 将 ALU 控制器和 ( ) 存储器合在一起称为 ( )。
- 6 数的真值变成机器码可采用原码表示法, 反码表示法, ( 补码 ) 表示法, ( 移码 ) 表示法。P19 - P21
- 7 广泛使用的 ( SRAM ) 和 ( DRAM ) 都是半导体随机读写存储器。前者的速度比后者快, 但集成度不如后者高。P67
- 8 反映主存速度指标的三个术语是存取时间、( 存储周期 ) 和 ( 存储器带宽 )。P67
- 9 形成指令地址的方法称为指令寻址, 通常是 ( 顺序 ) 寻址, 遇到转移指令时 ( 跳跃 ) 寻址。P112
- 10 CPU 从 ( 主存中 ) 取出一条指令并执行这条指令的时间和称为 ( 指令周期 )。
- 11 定点 32 位字长的字, 采用 2 的补码形式表示时, 一个字所能表示的整数范围是 ( -2 的 31 次方到 2 的 31 次方减 1 )。P20
- 12 IEEE754 标准规定的 64 位浮点数格式中, 符号位为 1 位, 阶码为 11 位, 尾数为 52 位, 则它能表示的最大规格化正数为 (  $+ [1 + (1 - 2^{-52})] \times 2^{1025}$  )。
- 13 浮点加、减法运算的步骤是 ( 0 操作处理 )、( 比较阶码大小并完成对阶 )、( 尾数进行加或减运算 )、( 结果规格化并进行舍入处理 )、( 溢出处理 )。P54

14 某计算机字长 32 位, 其存储容量为 64MB, 若按字编址, 它的存储系统的地址线至少需要 ( 14 ) 条。  $\frac{64 \times 1024}{32} \text{KB} = 2048 \text{KB}$  (寻址范围)  $= 2048 \times 8$  (化为字的形式)  $= 2^{14}$

15 一个组相联映射的 Cache, 有 128 块, 每组 4 块, 主存共有 16384 块, 每块 64 个字, 则主存地址共 ( 20 ) 位, 其中主存字块标记应为 ( 8 ) 位, 组地址应为 ( 6 ) 位, Cache 地址共 ( 7 ) 位。  $2^{18} = 16384 \times 64$  字  $2^8 = \frac{16384}{128 \div 4}$   
 $2^6 = \frac{128}{4}$   $2^7 = 128$

16 CPU 存取出一条指令并执行该指令的时间叫 ( 指令周期 ), 它通常包含若干个 ( CPU 周期 ), 而后者又包含若干个 ( 时钟周期 )。P131

17 计算机系统的层次结构从下至上可分为五级, 即微程序设计级 (或逻辑电路级)、一般机器级、操作系统级、(汇编语言)级、(高级语言)级。P13

18 十进制数在计算机内有两种表示形式: (字符串)形式和 (压缩的十进制数串)形式。前者主要用在非数值计算的应用领域, 后者用于直接完成十进制数的算术运算。P19

19 一个定点数由符号位和数值域两部分组成。按小数点位置不同, 定点数有 (纯小数) 和 (纯整数) 两种表示方法。P16

20 对存储器的要求是容量大、速度快、成本低, 为了解决这三方面的矛盾, 计算机采用多级存储体系结构, 即 (高速缓冲存储器)、(主存储器)、(外存储器)。P66

21 高级的 DRAM 芯片增强了基本 DRAM 的功能, 存取周期缩短至 20ns 以下。举出三种高级 DRAM 芯片, 它们是 (FPM-DRAM)、(CDRAM)、(SDRAM)。P75

22 一个较完善的指令系统, 应当有 (数据处理)、(数据存储)、(数据传送)、(程序控制) 四大类指令。P119

23 机器指令对四种类型的数据进行操作。这四种数据类型包括 (地址) 型数据、(数值) 型数据、(字符) 型数据、(逻辑) 型数据。P110

24 CPU 中保存当前正在执行的指令的寄存器是 (指令寄存器), 指示下一条指令地址的寄存器是 (程序寄存器), 保存算术逻辑运算结果的寄存器是 (数据缓冲寄存器) 和 (状态字寄存器)。P129

25 数的真值变成机器码时有四种表示方法, 即 (原码) 表示法, (补码) 表示法, (移码) 表示法, (反码) 表示法。P19 - P21

26 主存储器的技术指标有 (存储容量), (存取时间), (存储周期), (存储器带宽)。P67

27 cache 和主存构成了 (内存储器), 全由 (CPU) 来实现。P66

31 接使用西文键盘输入汉字, 进行处理, 并显示打印汉字, 要解决汉字的 (输入编码)、(汉字内码) 和 (字模码) 三种不同用途的编码。P24

### 三、简答题 (简答题主要从课本上的第三、五、六章出题)

1. CPU 中有哪几类主要寄存器, 用一句话回答其功能。P129

答: A. 数据缓冲寄存器 (DR) B. 指令寄存器 (IR) C. 程序计算器 (PC) D. 数据地址寄存器 (AR) E. 通用寄存器 (R0~R3) F. 状态字寄存器 (PSW)



## 功能：执行指令、操作、时间的控制以及数据加工。

2. 指令和数据都用二进制代码存放在内存中，从时空观角度回答 CPU 如何区分读出的代码是指令还是数据。

答：计算机可以从时间和空间两方面来区分指令和数据，在时间上，取指周期从内存中取出的是指令，而执行周期从内存取出或往内存中写入的是数据，在空间上，从内存中取出指令送控制器，而执行周期从内存从取的数据送运算器、往内存写入的数据也是来自于运算器。

3. 画出分布式仲裁器的逻辑示意图。(P195)

4. PCI 总线中三种桥的名称是什么？简述其功能。P200

答：PCI 总线上有 HOST 桥、PCI/LAGACY 总线桥、PCI/PCI 桥。桥在 PCI 总线体系结构中起着重要作用，它连接两条总线，使彼此间相互通信。桥是一个总线转换部件，可以把一条总线的地址空间映射到另一条总线的地址空间上。从而使系统中任意一个总线主设备都能看到同样的一份地址表。桥可以实现总线间的猝发式传送，可使所有的存取都按 PCU 的需要出现在总线上。由上可见，以桥连接实现的 PCI 总线结构具有很好的扩充性和兼容性，许多总线并行工作。

5. 画图说明现代计算机系统的层次结构。(P14)

6. 简述水平型微指令和垂直型微指令的特点。（此题很大可能不属于简答题考试范围）

答：A. 水平型微指令并行操作能力强，效力高，灵活性强，垂直型微指令则较差；B. 水平型微指令执行一条指令的时间短，垂直型微指令执行时间长；C. 由水平型微指令解析指令的微程序，有微指令字较长而微程序短的特点，垂直型微指令则相反，微指令字较短而程序长；D. 水平型微指令用户难以掌握，而垂直型微指令与指令比较相似，相对来说，比较容易掌握。

7. 一台机器的指令系统有哪几类典型指令？列出其名称。（此题很大可能不属于简答题考试范围）

答：A. 数据传送类指令 B. 算术运算类指令 C. 逻辑运算类指令 D. 程序控制类指令 E. 输入输出类指令 F. 字符串类指令 G. 系统控制类指令 H. 特权指令

8. 存储系统中加入 chche 存储器的目的是什么？有哪些地址映射方式，各有什么特点？

答：Cache 是一种高速缓冲存储器，是为了解决 CPU 和主存之间速度的不匹配。地址映射方式有：A. 全相联映射方式，这是一种带全部块地址一起保存的方法，可使主存的一块直接拷贝到 chche 中的任意一行上，非常灵活；B. 直接映射方式：优点是硬件简单，成本低，缺点是每个主存块只有一个固定的行位置可存放；C. 组相联映射方式：它是前两者的折衷方案，适度的兼顾了二者的优点有尽量避免其缺点，从灵活性、命中率、硬件投资来说较为理想，因而得到了普遍采用。

9. 列表比较 CISC 处理机和 RISC 处理机的特点。（此题不属于简答题考试范围，因为老师上课没讲过 CISC 处理机和 RISC 处理机的特点）

答：（1）指令系统：RISC 设计者把主要精力放在那些经常使用的指令上，尽量使它们具有简单高效的特色。对不常用的功能，常通过组合指令来完成。因此，在 RISC 机器上实现特殊功能时，效率可能较低。但可以利用流水技术和超标量技术加以改进和弥补。而 CISC 计算机的指令系统比较丰富，有专用指令来完成特定的功能。因此，处理特殊任务效率较高（2）存储器操作：RISC 对存储器

操作有限制,使控制简单化;而 CISC 机器的存储器操作指令多,操作直接。(3) 程序: RISC 汇编语言程序一般需要较大的内存空间,实现特殊功能时程序复杂,不易设计;而 CISC 汇编语言程序编程相对简单,科学计算及复杂操作的程序设计相对容易,效率较高。(4) 中断: RISC 机器在一条指令执行的适当地方可以响应中断;而 CISC 机器是在一条指令执行结束后响应中断。(5) CPU: RISC CPU 包含有较少的单元电路,因而面积小、功耗低;而 CISC CPU 包含有丰富的电路单元,因而功能强、面积大、功耗大。(6) 设计周期: RISC 微处理器结构简单,布局紧凑,设计周期短,且易于采用最新技术;CISC 微处理器结构复杂,设计周期长。(7) 用户使用: RISC 微处理器结构简单,指令规整,性能容易把握,易学易用;CISC 微处理器结构复杂,功能强大,实现特殊功能容易。(8) 应用范围: 由于 RISC 指令系统的确定与特定的应用领域有关,故 RISC 机器更适合于专用机;而 CISC 机器则更适合于通用机。

10. 画图说明当代总线的内部结构与外部功能部件的联系,做简要说明。

#### 四. 计算题 (注: 计算题主要是从课本上的第二章出题)

1. 设  $x=-15$ ,  $y=+13$ , 数据用补码表示, 用带求补器的阵列乘法器求出乘积  $x \times y$ , 并用十进制数乘法进行验证。
2. 已知  $x=-0.01111$ ,  $y=+0.11001$ , 求:

①  $[x]_{\text{补}}$ ,  $[-x]_{\text{补}}$ ,  $[y]_{\text{补}}$ ,  $[-y]_{\text{补}}$ ; ②  $x+y$ ,  $x-y$ , 判断加减运算是否溢出。

解:  $[X]_{\text{补}}=1.10001$      $[-X]_{\text{补}}=0.01111$      $[Y]_{\text{补}}=0.11001$      $[-Y]_{\text{补}}=1.00111$   
 $X+Y=+0.01010$      $X-Y$  结果发生溢出

3. 有两个浮点数  $N_1=2^{j_1} \times S_1$ ,  $N_2=2^{j_2} \times S_2$ , 其中阶码用 4 位移码、尾数用 8 位原码表示 (含 1 位符号位)。设

$j_1=(11)_2$ ,  $S_1=(+0.0110011)_2$ ,  $j_2=(-10)_2$ ,  $S_2=(+0.1101101)_2$ , 求  $N_1+N_2$ , 写出运算步骤及结果。

4. 设存储器容量为 64M 字, 字长为 64 位, 模块数  $m=8$ , 分别用顺序和交叉方式进行组织。存储周期  $T=100\text{ns}$ , 数据总线宽度为 64 位, 总线传送周期  $t=50\text{ns}$ 。求: 顺序存储器和交叉存储器的带宽各是多少?

5. CPU 执行一段程序时, cache 完成存取的次数为 2420 次, 主存完成的次数为 80 次, 已知 cache 存储周期为 40ns, 主存存储周期为 200ns, 求 cache/主存系统的效率和平均访问时间。

6. 某计算机的存储系统由 cache、主存和磁盘构成。cache 的访问时间为 15ns; 如果被访问的单元在主存中但不在 cache 中, 需要用 60ns 的时间将其装入 cache, 然后再进行访问; 如果被访问的单元不在主存中, 则需要 10ms 的时间将其从磁盘中读入主存, 然后再装入 cache 中并开始访问。若 cache 的命中率为 90%, 主存的命中率为 60%, 求该系统中访问一个字的平均时间。

7. 某计算机系统的内存储器又 cache 和主存构成, cache 的存储周期为 30ns, 主存的存取周期为 150ns。已知在一段给定的时间内, CPU 共访问内存 5000 次, 其中 400 次访问主存。问: ① cache 的命中率是多少? ② CPU 访问内存的平均时间是多少纳秒? ③ cache-主存系统的效率是多少?

8. 设两个浮点数  $N_1=2^{j_1} \times S_1$ ,  $N_2=2^{j_2} \times S_2$ , 其中阶码 3 位 (移码), 尾数 4 位, 数符 1 位。设:  $j_1=(-10)_2$ ,  $S_1=(+0.1001)_2$ ,  $j_2=(+10)_2$ ,  $S_2=(+0.1011)_2$

求:  $N_1 \times N_2$ , 写出运算步骤及结果, 积的尾数占 4 位, 按原码阵列乘法器计算步骤求尾数之积。

(1) 浮点乘法规则:

$$N_1 \times N_2 = (2^{j_1} \times S_1) \times (2^{j_2} \times S_2) = 2^{(j_1+j_2)} \times (S_1 \times S_2)$$

(2) 码求和:

$$j_1 + j_2 = 0$$

(3) 尾数相乘:

被乘数  $S_1=0.1001$ , 令乘数  $S_2=0.1011$ , 尾数绝对值相乘得积的绝对值, 积的符号位  $0 \oplus 0 = 0$ 。按无符号阵列乘法器运算得:  $N_1 \times N_2 = 2^0 \times 0.01100011$

(4) 尾数规格化、舍入 (尾数四位)

$$N_1 \times N_2 = (+0.01100011)_2 = (+0.1100)_2 \times 2^{(-01)}_2$$

9. 已知 cache 存储周期 40ns, 主存存储周期 200ns, cache/主存系统平均访问时间为 50ns, 求 cache 的命中率是多少?

五. 设计题: (注: 设计题主要从课本上的第三、五章出题)

1. 图 2 所示为双总线结构机器的数据通路, IR 为指令寄存器, PC 为程序计数器

(具有自增功能), M 为主存 (受 R/W# 信号控制), AR 为地址寄存器, DR 为数据缓冲寄存器, ALU 由加、减控制信号决定完成何种操作, 控制信号 G 控制的是一个门电路。另外, 线上标注有小圈表示有控制信号, 例中  $y_i$  表示 y 寄存器的

输入控制信号,  $R_{10}$  为寄存器  $R_1$  的输出控制信号, 未标字符的线为直通线, 不受

控制。① “ADD R2, R0” 指令完成  $(R_0) + (R_2) \rightarrow R_0$  的功能操作, 画出其指令周期流程图, 假设该指令的地址已放入 PC 中。并在流程图每一个 CPU 周期右边列出相应的微操作控制信号序列。② 若将 (取指周期) 缩短为一个 CPU 周期, 请先画出修改数据通路, 然后画出指令周期流程图。



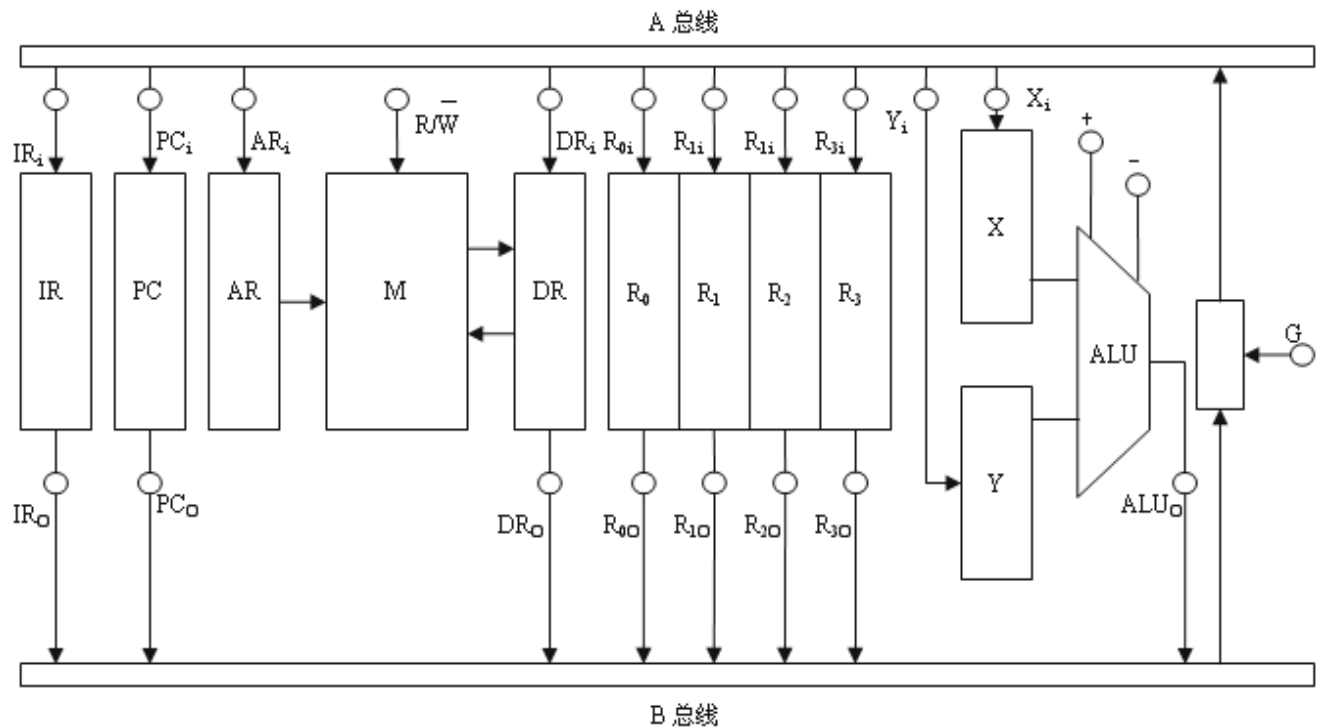


图 2

2. CPU 的数据通路如图 1 所示。运算器中  $R_0 \sim R_3$  为通用寄存器，DR 为数据缓冲寄存器，PSW 为状态字寄存器。D-cache 为数据存储器，I-cache 为指令存储器，PC 为程序计数器（具有加 1 功能），IR 为指令寄存器。单线箭头信号均为微操作控制信号（电位或脉冲），如  $LR_0$  表示读出  $R_0$  寄存器， $SR_0$  表示写入  $R_0$  寄存器。机器指令“LDA(R3), R0”实现的功能是：以 (R3) 的内容为数存单元地址，读出数存该单元中数据至通用寄存器  $R_0$  中。请画出该取数指令周期流程图，并在 CPU 周期框外写出所需的微操作控制信号。（一个 CPU 周期有  $T_1 \sim T_4$  四个时钟信号，寄存器打入信号必须注明时钟序号）