

重庆大学 2014 年硕士研究生入学考试试题

科目代码：917

科目名称：计算机专业基础综合

总分：150 分

特别提醒：所有答案一律写在答题纸上，直接写在试题上的不给分。

一、单项选择题：第 1—40 小题，每小题 2 分，共 80 分。下列每题给出的四个选项中，只有一个选项是最符合试题要求的。

12. 假设定点小数采用双符号位补码表示，如某次运算结果的符号位为“10”，那么表示（ ）。

- A. 运算结果为正数，运算结果存在溢出
- B. 运算结果为正数，运算结果不存在溢出
- C. 运算结果为负数，运算结果存在溢出
- D. 运算结果为负数，运算结果不存在溢出

解析：考察补码双符号位运算溢出的判断方法

运算结果符号为 10 时，表示负溢出；01 时表示正溢出；00 或者 11 都表示没有溢出。

答案：C

13. 假定 3 种不同处理器 P1，P2，P3 执行同样的指令集，其对应的时钟频率分别为 1.5GHz，2GHz，3GHz，假设其对应的 CPI 值分别为 1，2，2.5，那么以下关于处理器性能从高到低排序正确的是（ ）。

- A. P1，P2，P3 B. P1，P3，P2 C. P2，P1，P3 D. P3，P2，P1

解析：相同程序在相同指令集的机器上翻译出来的机器指令序列是相同的，因而，计算指令消耗的平均时间就可以得出机器相对速度的关系。

在本题中，三个处理器分别对应的平均时间是 $1/1.5g$ $2/2g$ $2.5/3g$ 由此可知执行速度上 $P1>P3>p2$ 。

答案：B

14. 下面有关 RISC 指令系统的描述，其中不正确的表述是（ ）。

- A. 包含相对较多的通用寄存器
- B. 指令长度通常采用固定长度
- C. 由于指令种类较多，采用微程序控制技术来实现
- D. 数据的寻址方式相对较少

解析：考察 RISC 指令系统

C 选项表述错误，一般采用硬布线控制技术实现

答案：C

15. 假设某计算机采用 IEEE754 标准浮点数进行运算，以下正确的描述为（ ）。

- A. 单精度数，加法运算满足结合律
- B. 双精度数，加法运算满足结合律
- C. 双精度数，乘法和加法运算都满足结合律
- D. 单精度和双精度数，加法和乘法运算的结合律均不成立

解析：考察 IEEE754 标准和机器数表示精度有限的本质含义

因为机器数能表示的数据其实精度是有限的，当两个悬殊较大的数进行运算时，因为对齐操作的存在，可能是阶码较小的数被忽略成 0，而在不同的结合方法中，可能得到的结果不一样。同理，对于乘法也是一样的，可能存在两数相乘其绝对值超出浮点数表示范围而导致后续运算无法进行，调整运算次序后，结果就会不同。因此，D 选项正确。

答案：D

16. 影响程序性能的因素包括算法、编程语言、编译程序以及指令集架构，以下关于它们之间关系正确的描述是（ ）。

- A. 算法决定源程序指令数量，但不影响程序的 CPI 值
- B. 不同的指令集架构会影响到指令数量和 CPI 值
- C. 不同编译器生成的指令数量不相同，但是 CPI 值相同
- D. 不同的编程语言不影响指令的数量，但会改变程序的 CPI 值

解析：CPU 的 CPI 反映了计算机实现技术、计算机指令集的结构和计算机组织，与具体的程序无关，是根据计算机执行标准测试程序所花费的时钟周期数来确定的，因此 B 选项是正确的。

答案：B

17. 假定某彩色显示器中的每个像素采用 RGB 三色表示，每种基色用 8 位表示，假设其分辨率 1920*1080 像素，每秒的刷新率为 30 帧，那么显示存储器的数据带宽不应低于（ ）。

- A. 1920K bps
- B. 1080K bps
- C. 450K bps
- D. 1.3G bps

解析：计算公式为 $1920 * 1080 * 3 * 8 * 30 = X$ ，易知量级为 G bps，故选 D

答案：D

18. 在虚拟存储（Virtual memory）系统中使用快表 TLB（Translation look-aside buffer）的目的是（ ）。

- A. 用来缓存所有页表（Page Table）数据
- B. 高速缓存部分页表信息，加快虚地址转换为物理地址
- C. 用来缓存内存分页数据，提高 Cache 命中率
- D. 用来临时保存从 Cache 中被替换的数据块

解析：考察设立 TLB 的目标

B 选项描述正确

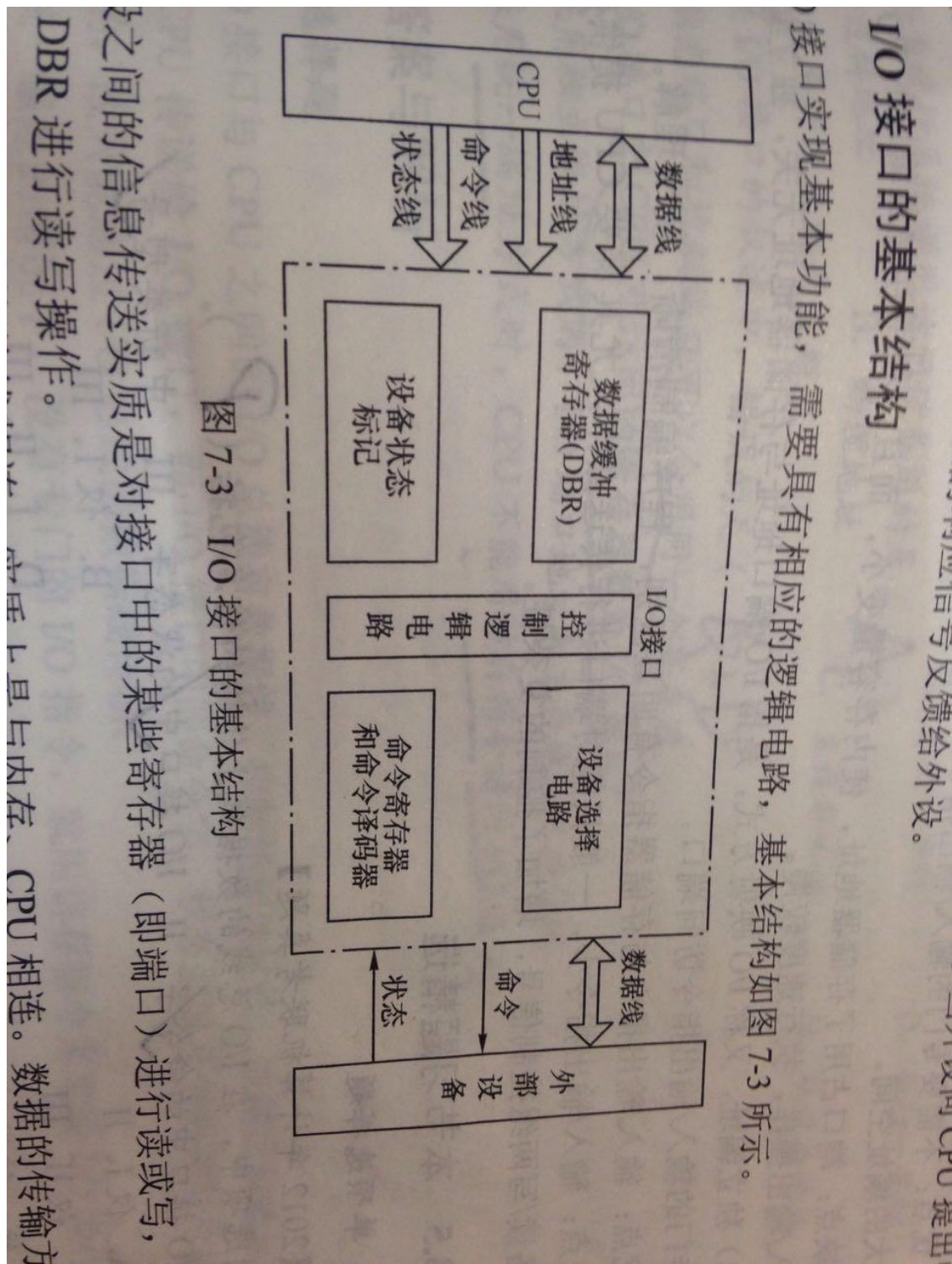
注意区别 TLB 与 Cache

答案：B

19. 外部设备通过 I/O 接口与主机系统连接，通常 I/O 接口中包含三类寄存器，分别为（ ）。

- A. 地址寄存器、数据寄存器、中断屏蔽寄存器
- B. 数据寄存器、中断屏蔽寄存器、状态寄存器
- C. 地址寄存器、数据寄存器、状态寄存器
- D. 命令寄存器、数据寄存器、状态寄存器

解析：考察 IO 接口



答案：D

20. CPU 判断是否存在 DMA 请求的时机为 ()。

- A. 每个机器周期结束时 B. 在上次中断服务结束后
C. 每条指令执行结束时 D. 在程序打开中断允许位之后

解析：考察 DMA 请求的方式和 CPU 响应时机
注意与中断的区别。

答案：A

21. 对于某存储芯片，假定其动态刷新间隔为 2ms，读写周期和刷新周期均为 0.5 μ s，该芯片中包含 128 行，每个刷新周期可以完成 1 行存储单元的刷新，如果该芯片采用异步刷新方式工作，那么其读写周期和刷新周期可以安排为()。

- A. 3999 次读写周期后，安排 1 次刷新操作
B. 2000 次读写周期后，安排 1 次刷新操作
C. 128 次读写周期后，安排 1 次刷新操作
D. 30 次读写周期后，安排 1 次刷新操作

解析：首先要弄明白什么是异步刷新。具体做法是将刷新周期除以行数，得到两次刷新操作之间的时间间隔 t ，利用逻辑电路每隔时间 t 产生一次刷新请求。
故在本题中，每隔 $2\text{ms}/128 = 1/64\text{ms}$ 刷新一次，在这期间一共能进行 $1/64\text{ms}/0.5\mu\text{s}=31.25$ ，其中包括 30 次读写操作和一次刷新操作，故应选 D。

答案：D

22. 假定某计算机的指令流水线由 4 个功能段组成，指令流经各功能段的时间（忽略各功能段之间的缓存时间）分别是 80ns、70ns、60ns 和 60ns，则该计算机执行一段包含 10 条指令的程序需要的 CPU 时间至少是 ()。

- A. 1040ns B. 800ns C. 700ns D. 600ns

解析： $80 \times 4 + 80 \times (10-1) = 1040$

答案：A

43. (11 分) CPU 的地址总线 16 根 (A15—A0, A0 为低位)；双向数据总线 8 根 (D7—D0)，读写控制信号 W/R，以及总线控制信号 MREQ (低电平有效)。假设主存地址空间分配为：0—8191 为系统程序区，由只读存储芯片组成；8192—32767 为用户程序区；最后 (最大地址) 8K 地址空间为系统程序的工作区。现有存储芯片的规格为：8K×8 位 (片选引脚为 CS, 低电平有效) 的 EPROM，8K×8 位的 SRAM (控制端为片选引脚 CS 和读写引脚 W/R)，以及一个带控制功能的 3-8 译码器 (当控制信号为 1 时其输出为全 1，否则其对应输入编码的引脚为 0，其余引脚为 1)。请从上述芯片中选择芯片设计该计算机主存储器。

- (1) 说明各种存储芯片的数量；
(2) 各个芯片的引脚与总线和控制信号连接方式；
(3) 画出主存储器的逻辑框图。

解：(1) 系统程序区应该采用 8K×8 位的 EPROM，用户程序区地址范围为 8k-32k-1，应采用 4 个 8K×8 位的 SRAM，另外，系统程序区地址范围为 56K-64K-1，应采用 SRAM 芯片。

(2)(3)如图

首先分配各个芯片的片选信号，

易知系统程序区地址范围为 0x0000 – 0x1FFF

用户程序区第一片芯片地址范围为 0x2000 – 0x3FFF

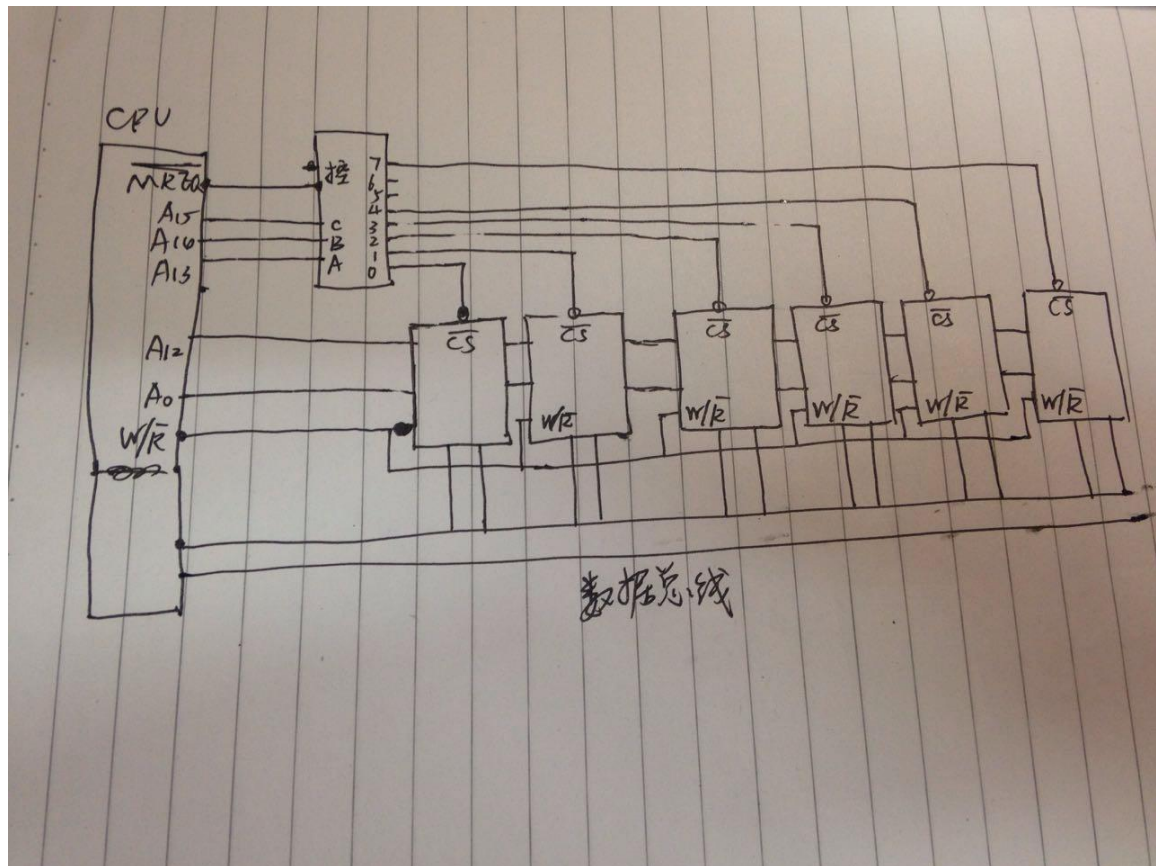
用户程序区第二片芯片地址范围为 0x4000 – 0x5FFF

用户程序区第三片芯片地址范围为 0x6000 – 0x7FFF

用户程序区第四片芯片地址范围为 0x8000 – 0x9FFF

系统程序区为 0xE000 – 0xFFFF

由此可知片选信号为最高 3 位，连接图如下：



The diagram illustrates the internal architecture of the 8086 microprocessor. At the top, the ALU (Arithmetic Logic Unit) is connected to the ALU-B bus. Below it, the DA1 and DA2 (Data Address Buffers) are connected to the ALU. The AR (Address Register) is connected to the A7-A0 bus. The PC (Program Counter) is connected to the PC-B bus and provides PC+1. The IR (Instruction Register) is connected to the B-IR bus and provides J1. The MEM (Memory) is connected to the A7-A0 bus and provides M-W and M-R. The PC+1 is connected to the A7-A0 bus. The ALU-B, A7-A0, and A1 inputs/outputs are shown. The IO-W, Ai, IO-R, and J1 signals are also indicated.

序号	控制信号	功能	序号	控制信号	功能
1	PC-B#	指令地址送总线	8	S3	S3-S0 选择 ALU16 种运算之一
2	B-AR	总线数据打入 AR	9	S2	
3	PC+1	程序计数器+1	10	S1	
4	B-PC	总线数据打入 PC	11	S0	
5	B-IR	总线数据打入 IR	12	M	选择逻辑运算(1)和 算数运算(0)
6	M-W#	存储器写	13	B-DA1	总线数据打入暂存 器 DA1
7	M-R#	存储器读	14	B-DA2	总线数据打入暂存 器 DA2

如果存储器的相应地址中存储了以下两条机器指令,请按照执行顺序写出每条机

器指令执行需要的微操作序列（包含取指令的过程），并给出完成微操作需要设置的控制信号。

地址	机器码	助记符	功能
10H	0101 0000	SUB R0,08H	(R0)-08H→R0
11H	0000 1000(立即数)		
12H	1000 0000	JMP 10H	10H→PC
13H	0000 1010（转移地址）		

解：

SUB R0, 08H	
PC → AR	PC-B#, B-AR
PC+1-PC	PC+1, ALU-B#, B-PC
M(PC)-IR	M-R#, B-IR
PC-AR	PC-B#, B-AR
PC+1-PC	PC+1, ALU-B#, B-PC
M(PC)-DA1	M-R#, B-DA1
(R0)-DA2	R0-B#, B-DA2
DA2-DA1→R0	S3S2S1S0, ALU-B#, B-R0
JMP 10H	
PC → AR	PC-B#, B-AR
PC+1-PC	PC+1, ALU-B#, B-PC
M(PC)-IR	M-R#, B-IR
PC-AR	PC-B#, B-AR
PC+1-PC	PC+1, ALU-B#, B-PC
M(PC)-PC	M-R#, B-PC