

VILNIAUS UNIVERSITETAS

FIZIKOS FAKULTETAS

Laboratorinis darbas Nr.4

MDP TRANZISTORIAUS TYRIMAS

Vilnius, 2015

TURINYS

Darbo tikslas.....	3
Užduotys.....	3
Kontroliniai klausimai.....	3
Literatūra.....	3
1 Teorinė medžiaga	4
1.1 MDP tranzistoriai.....	4
1.2 MDP tranzistorių voltamperinės charakteristikos.....	5
2. Darbo schema ir matavimų eiga	9
2.1 Darbo schema.....	9
2.2 Darbo eiga.....	9

Darbo tikslas

Susipažinti su MDP tranzistoriaus veikimo principu ir išmatuoti jo parametrus.

Užduotys

1. Išmatuoti MDP tranzistorių kanalų voltamperinių charakteristikų šeimas.
2. Nustatyti MDP tranzistorių perdavimo charakteristikų statumą.
3. Išmatuoti MDP tranzistorių užtūros nuotėkio sroves.

Kontroliniai klausimai

1. Paaiškinti MDP tranzistoriaus veikimo principą.
2. Paaiškinti MDP tranzistoriaus išėjimo charakteristikų eigą.
3. Nurodyti MDP tranzistorių privalumus ir trūkumus, lyginant su bipoliniais tranzistoriais.

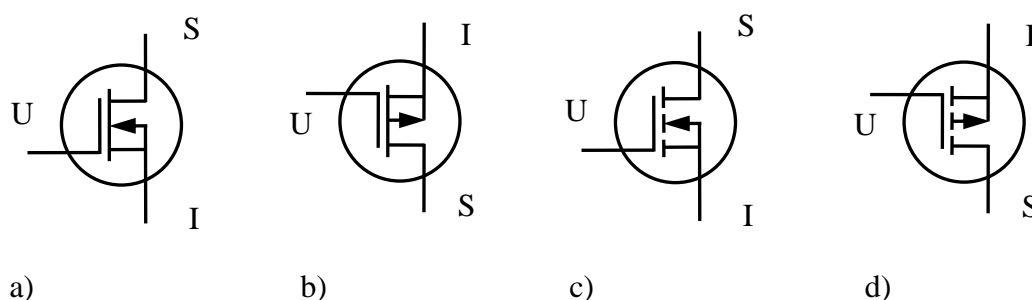
Literatūra

- [1] S.M.Sze, Physics of Semiconductor Devices, Wiley, New York, 1981, p. 517.
- [2] В.В. Пасынков, П.К. Чиркин. Полупроводниковые приборы. М., "Высшая школа", 1987, стр. 312-322.

1 Teorinė medžiaga

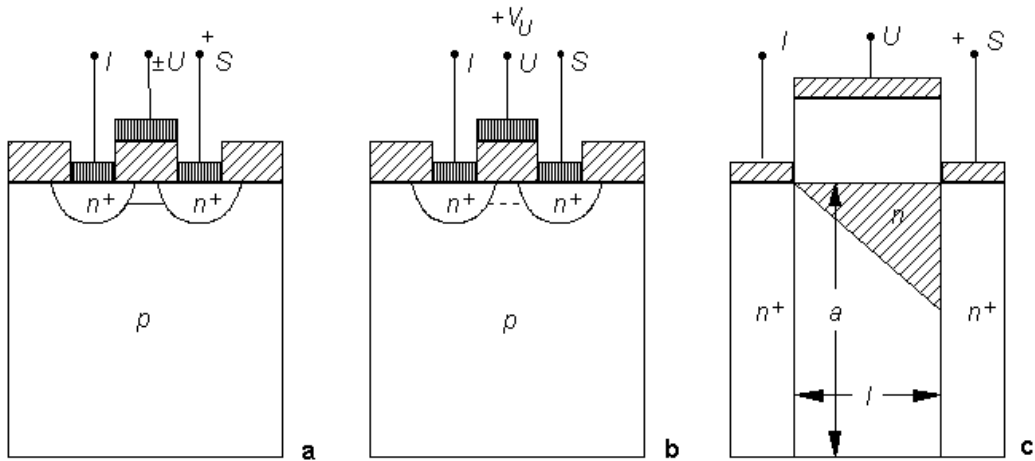
1.1 MDP tranzistoriai

Metalo – dielektriko – puslaidininkio lauko tranzistoriai (MDP LT, angl. MOSFET) esti dviejų tipų - su sudarytu kanalu ir su indukuotu kanalu (žymėjimas schemose parodytas 1.1.1 pav., o konstrukcija – 1.2.1 pav. a ir b). MDP tranzistorius su sudarytu kanalu gali veikti esant bet kokiam užtūros įtampos poliškumui. Tranzistorius su indukuotu kanalu gali veikti tik esant tokiam užtūros poliškumui, kuomet sukelia padėklo laidumo inversija.



1.1.1 pav. Skirtingų tipų MDP tranzistorių žymėjimas schemose: su sudarytais n (a) ir p (b) tipo kanalais bei su indukuotais n (c) ir p (d) tipo kanalais.

MDP tranzistoriai yra labai svarbus šiuolaikinių integrinių schemų elementas, jose dažniausiai naudojami „suporuoti“ n ir p kanalo tipo tranzistoriai (angl. complementary metal–oxide–semiconductor; CMOS). Kadangi integrinių schemų elementų tankis vis didėja, tai pageidautina nuolat tobulinti technologiją, siekiant kuo labiau sumažinti MDP tranzistorius. Taip pat labai svarbu, kad šių tranzistorių persijungimo greitį ir ribinį darbo riboja užtūros grandinės laiko pastovioji RC , o mažinant prietaisą mažėja ir jo užtūros talpa. Šiuo metu gaminamose integrinėse grandinėse MDP tranzistoriaus kanalo ilgis gali būti tik kelių dešimčių nanometrų ilgio, o dielektrikas sudarytas vos iš kelių atomų sluoksnių. Tokio dydžio prietaisuose jau pasireiškia kvantiniai efektai, pavyzdžiui, jau reikia įskaityti tunelinę srovę, tekančią per dielektriką.



1.1.2 pav. MDP lauko tranzistorių konstrukcija: su sudarytu kanalu (a), su indukuotu kanalu (b) ir scheminis modelis (c).

1.2 MDP tranzistorių voltamperinės charakteristikos

Rasime MDP tranzistoriaus su sudarytu kanalu voltamperinę charakteristiką (VACH), kuomet jis veikia kanalo laidumo mažinimo režimu. Kanalo laidumas:

$$\sigma = e\mu_n(n + \Delta n), \quad (1.2.1)$$

čia Δn - elektronų tankio pokytis, sąlygotas užtūros įtampos pokyčio. Apibrėžkime Δn kaip santykį indukuoto kanalo krūvio Q su kanalo tūriu (žr. 1.1.2 c):

$$\Delta n = \frac{Q}{eabl}, \quad (1.2.2)$$

čia b - kanalo plotis. Savo ruožtu, indukuotasis krūvis Q lygus $Q = CV$, kur C - užtūros talpa. Taigi $\Delta n = CV_u/eabl$ ir iš (1.2.1) gauname

$$\sigma = e\mu_n \left(n + \frac{CV_u}{eabl} \right) = \sigma_0 + \frac{\mu_n C}{abl} V_u = \frac{\mu_n C}{abl} (V_u - V_{u0}), \quad (1.2.3)$$

čia $\sigma_0 = \mu_n n$ - kanalo laidumas, esant $V_u = 0$ ir

$$V_{u0} = -\sigma_0 \frac{abl}{\mu_n C} = -\frac{enabl}{C} \quad (1.2.4)$$

atkirtos įtampa, kuriai esant $\sigma = 0$. (1.2.4) formulė patogiai MDP lauko tranzistorių parametrų skaičiavimui krūvininkų kaupimo režime, t. y. kuomet $V_u > 0$. Nuskurdinimo režime $V_u < 0$ ir (1.2.3) patogiau užrašyti taip:

$$\sigma = \frac{\mu_n C}{abl} (V_{u0} - V_u), \quad (1.2.5)$$

čia V_{u0} laikoma teigiama, o V_u žymi V_u absoliutinį dydį. Taigi, kanalo varža yra

$$R_k = \frac{1}{\sigma} \frac{l}{ab} = \frac{l^2}{\mu_n C} \frac{1}{V_{u0} - V_u}. \quad (1.2.6)$$

(1.2.6) formulėje neatsižvelgiama į V_u poveikį kanalo krūvininkų pasiskirstymui. Šis poveikis yra toks, kad užtūros įtampa prie santakos lygi $V_u + V$, o prie ištakos V_u . Iš to seka, jog nuskurdinta sritis (užbrūkšniuota 1.1.2 c pav.) prie santakos yra platesnė, negu prie ištakos. Taigi, (1.2.6) formulė tinka skaičiuoti tik kanalo elemento dx varžai:

$$dR_k = \frac{R_k}{l} dx = \frac{l}{\mu_n C} \cdot \frac{dx}{V_{u0} - (V_u + V(x))}. \quad (1.2.7)$$

Stacionariu atveju srovė, tekanti bet kokio kanalo ploto vienetu, yra vienoda, taigi

$$dV = I_s dR_k. \quad (1.2.8)$$

Irašę (1.2.8) į (1.2.7) ir suintegravę, gauname

$$\int_0^{V_s} (V_{u0} - V_u - V) dV = I_s \frac{l}{\mu_n C} \int_0^l dx. \quad (1.2.9)$$

(1.2.9) panaudotos šios kraštinės sąlygos: kai $x = 0$, tai $V = 0$ ir kai $x = l$, tai $V = V_s$. Iš (1.2.9) gauname

$$I_s = \frac{\mu_n C}{l^2} \left[-\frac{V_s^2}{2} + (V_{u0} - V_u) V_s \right]. \quad (1.2.10)$$

Didinant santakos įtampą V_s , santakos srovė I_s pradžioje didėja, vėliau įsisotina. Kai V_s maža, t.y. $V_s \ll V_{u0} - V_u$, tai iš (1.2.10) seka

$$I_s \approx \frac{\mu_n C}{l^2} (V_{u0} - V_u) V_s. \quad (1.2.11)$$

Akivaizdu, kad mažų santakos įtampų srityje I_s tiesiog proporcinga V_s . Kai santakos įtampa didėja toliau, tai nuskurdinimo sritis prie santakos plėtėja, o tuo pačiu mažėja kanalo laidumas. Tai veda prie to, kad didėjant V_s mažėja ne srovė, o jos prieauglis, t.y. didėjant santakos įtampai, srovė I_s praktiškai lieka pastovi. Soties srovės vertę rasime, į (1.2.10) įrašę $V_s = V_{u0} - V_u$:

$$I_{ss} = \frac{\mu_n C}{2l^2} (V_{u0} - V_u)^2. \quad (1.2.12)$$

Lauko tranzistoriaus stiprinimo savybės apibūdina jo VACH statumas $S = -dI_s/dV_u$. Soties režime

$$S = \frac{\mu_n C}{l^2} (V_{u0} - V_u). \quad (1.2.13)$$

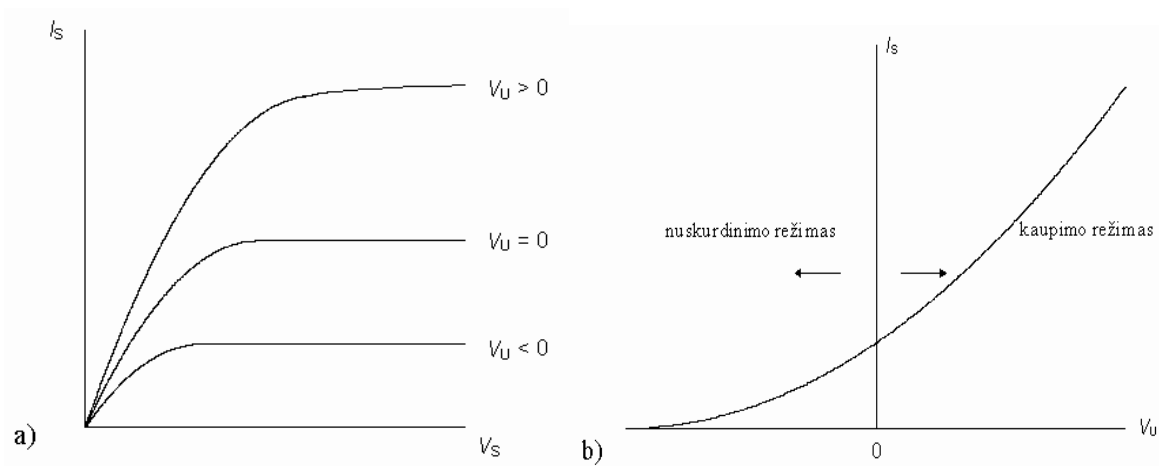
Jei MDP tranzistorius veikia kaupimo režime, tai, kaip seka iš (1.2.3), formulės skirsis V_u ir V_{u0} ženklais:

$$I_s = \frac{\mu_n C}{l^2} \left(V_u - V_{u0} - \frac{V_s}{2} \right) V_s; \quad (1.2.14)$$

$$I_{ss} = \frac{\mu_n C}{2l^2} (V_u - V_{u0})^2; \quad (1.2.15)$$

$$S = \frac{\mu_n C}{l^2} (V_u - V_{u0}). \quad (1.2.16)$$

Šiuo atveju praturtinta kanalo dalis bus platesnė prie ištakos, negu prie santakos. Srovės įsisotinimą lemia kanalo užtvėrimas tik santakos įtampos V_s dėka. MDP tranzistoriaus voltamperinės charakteristikos abėjuose režimuose pavaizduotos 1.2.1 pav.



1.2.1 pav. MDP tranzistorių su sudarytu kanalu statinės charakteristikos: santakos srovės priklausomybė nuo santakos įtampos (išėjimo charakteristikos; a), santakos srovės priklausomybė nuo užtūros įtampos (perdavimo charakteristika; b).

MDP tranzistorius su indukuotu kanalu skiriasi tuo, jog jame kanalo laidumas tampa lygus nuliui, kai $V_u = 0$, o ne kuomet $V_{u0} - V_u = 0$. Taigi, pagrindinės formulės, aprašančias tokio tipo tranzistorių gaunamos iš (1.2.14) – (1.2.16), kuriose $V_{u0} = 0$:

$$I_s = \frac{\mu_n C}{l^2} \left(V_u - \frac{V_s}{2} \right) V_s, \quad (1.2.17)$$

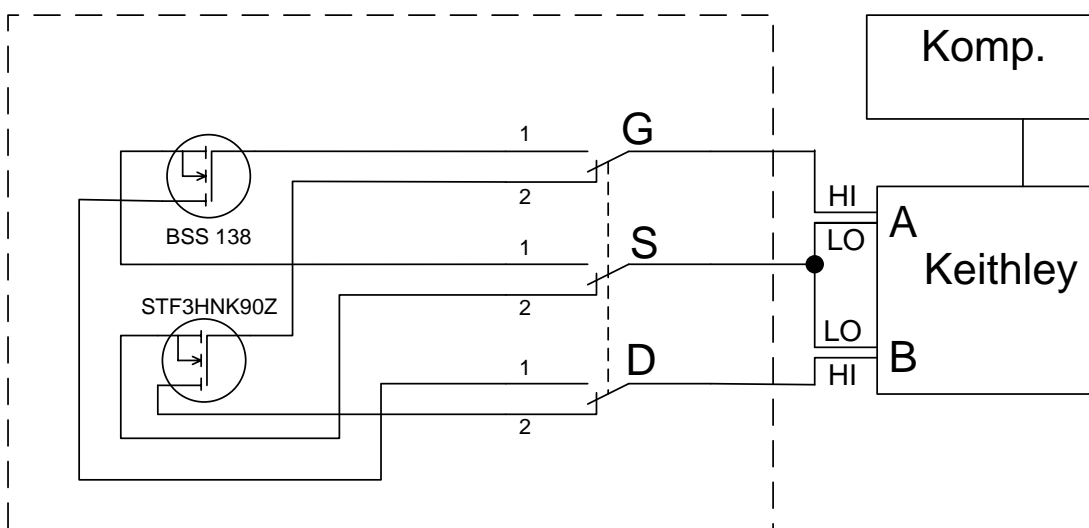
$$I_{ss} = \frac{\mu_n C}{2l^2} V_u^2, \quad (1.2.18)$$

$$S = \frac{\mu_n C}{l^2} V_u. \quad (1.2.19)$$

MDP tranzistoriaus su sudarytu kanalu padėklo laidumo tipas (p) yra priešingo ženklo, negu kanalo laidumas (n). Prijungus prie jo įtampą, galima keisti pradinį kanalo plotį, t.y. pastarojo laidumą, o tuo pačiu ir užtūros atkirtos įtampą. Paprastai padėklo įtaka maža, nes $n \gg p$, t.y., keičiant padėklo įtampą, erdvinio krūvio srities plotis padėkle kinta daug stipriau negu kanale. Pramoniniuose MDP tranzistoriuose padėklas paprastai sujungiamas su ištaka.

2. Darbo schema ir matavimų eiga

2.1 Darbo schema





2.1.1 pav. MDP tranzistorių tyrimo schema.

Laboratoriniam darbui atlikti reikalingi šie prietaisai: universalus matuoklis Keithley (2614B), darbo maketas, kompiuteris. Visi prietaisai sujungti į schemą, kuri pavaizduota 2.1.1 pav. Schemoje užtūra žymima G (angl. Gate), ištaka – S (angl. Source) ir santaka – D (angl. Drain).

2.2 Darbo eiga

Pradžioje reikia išmatuoti abiejų MDP tranzistorių išėjimo charakteristikų (ang. output characteristics arba on-region characteristics) ir perdavimo charakteristikų (ang. transfer characteristics) šeimas. Iš jų reikia suskaičiuoti tranzistoriaus perdavimo charakteristikos statumą S pasirinktame tranzistoriaus darbo taške. Matavimus atlikti prie darbo maketo prijungus abu matuoklio Keithley kanalus pagal schemą, pavaizduotą 2.1.1 pav. Kanalo A HI kabelis pažymėtas geltonai, o kanalo B HI kabelis pažymėtas žaliai. Kompiuteryje reikia paleisti programą „Išėjimo ir perdavimo charakteristikų matavimas“. Programa vienu metu matuoja vieno tranzistoriaus ir išėjimo, ir perdavimo charakteristikas. Laukeliuose „Išėjimo charakteristikos“ ir „Perdavimo charakteristikos“ reikia įvesti parametrus charakteristikų matavimams, vadovaujantis pateiktais tranzistorių gamintojų duomenų lapais (žr. Priede). Išėjimų charakteristikų parametrų laukelyje reikia įvesti pradinę („ $V_{gs\ start}$ “) ir paskutinę („ $V_{gs\ end}$ “) užtūros įtampas vertes bei norimą jų skaičių („steps“), taip pat nurodyti santakos įtampas pradžios („ $V_{sd\ start}$ “) ir pabaigos („ $V_{sd\ end}$ “) vertes.

Perdavimo charakteristikų parametrų laukelyje reikia įvesti pradinę („*Vsd start*“) ir paskutinę („*Vsd end*“) santakos įtampos vertes bei norimą jų skaičių („*steps*“), taip pat nurodyti užtūros įtampos pradžios („*Vgs start*“) ir pabaigos („*Vgs end*“) vertes. Programiškai srovės tranzistoriuje yra apribotos iki 30mA, tad įtampų vertės turi būti parinktos tokios, kad matavimo metu nebūtų viršijama ši srovės vertė. Paspaudus mygtuką  pradedami matavimai. Matavimams pasibaigus programa automatiškai paprašo išsaugoti charakteristikas kompiuteryje. Perjungus jungiklį tuo pačiu būdu išmatuojamos kito tranzistoriaus (su jam parinktais parametrais) charakteristikos.

Nuotėkio srovės matavimams reikalingas tik vienas Keithley matuoklio kanalas. Kanalo kabelius reikia prijungti prie tranzistoriaus užtūros („G“) ir **arba** santakos („D“), **arba** ištakos („S“). Reikia paleisti programą „Nuotėkio srovės matavimas“ ir įvesti įtampos režius („Start [V]“ ir „End [V]“) pasirinktinai nuo 5V iki -5V. Paspaudus mygtuką  pradedami matavimai. Matavimams pasibaigus programa automatiškai paprašo išsaugoti duomenis kompiuteryje. Perjungus jungiklį tuo pačiu būdu (su tam tranzistoriui parinktais parametrais) išmatuojama kito tranzistoriaus nuotėkio srovė.

BSS138

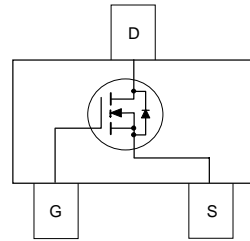
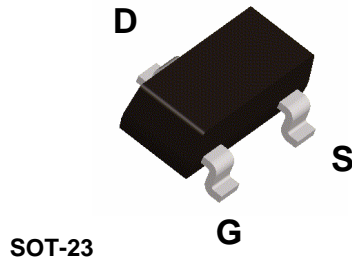
N-Channel Logic Level Enhancement Mode Field Effect Transistor

General Description

These N-Channel enhancement mode field effect transistors are produced using Fairchild's proprietary, high cell density, DMOS technology. These products have been designed to minimize on-state resistance while provide rugged, reliable, and fast switching performance. These products are particularly suited for low voltage, low current applications such as small servo motor control, power MOSFET gate drivers, and other switching applications.

Features

- 0.22 A, 50 V. $R_{DS(ON)} = 3.5\Omega @ V_{GS} = 10\text{ V}$
 $R_{DS(ON)} = 6.0\Omega @ V_{GS} = 4.5\text{ V}$
- High density cell design for extremely low $R_{DS(ON)}$
- Rugged and Reliable
- Compact industry standard SOT-23 surface mount package



Absolute Maximum Ratings

$T_A = 25^\circ\text{C}$ unless otherwise noted

Symbol	Parameter	Ratings	Units
V_{DSS}	Drain-Source Voltage	50	V
V_{GSS}	Gate-Source Voltage	± 20	V
I_D	Drain Current – Continuous (Note 1)	0.22	A
	– Pulsed	0.88	
P_D	Maximum Power Dissipation (Note 1)	0.36	W
	Derate Above 25°C	2.8	mW/ $^\circ\text{C}$
T_J, T_{STG}	Operating and Storage Junction Temperature Range	-55 to $+150$	$^\circ\text{C}$
T_L	Maximum Lead Temperature for Soldering Purposes, 1/16" from Case for 10 Seconds	300	$^\circ\text{C}$

Thermal Characteristics

$R_{\theta JA}$	Thermal Resistance, Junction-to-Ambient (Note 1)	350	$^\circ\text{C/W}$
-----------------	--	-----	--------------------

Package Marking and Ordering Information

Device Marking	Device	Reel Size	Tape width	Quantity
SS	BSS138	7"	8mm	3000 units

Electrical Characteristics $T_A = 25^\circ\text{C}$ unless otherwise noted

Symbol	Parameter	Test Conditions	Min	Typ	Max	Units
--------	-----------	-----------------	-----	-----	-----	-------

Off Characteristics

BV_{DSS}	Drain–Source Breakdown Voltage	$V_{GS} = 0\text{ V}, I_D = 250\text{ }\mu\text{A}$	50			V
$\frac{\Delta BV_{DSS}}{\Delta T_J}$	Breakdown Voltage Temperature Coefficient	$I_D = 250\text{ }\mu\text{A}$, Referenced to 25°C		72		mV/ $^\circ\text{C}$
I_{DSS}	Zero Gate Voltage Drain Current	$V_{DS} = 50\text{ V}, V_{GS} = 0\text{ V}$			0.5	μA
		$V_{DS} = 50\text{ V}, V_{GS} = 0\text{ V}, T_J = 125^\circ\text{C}$			5	μA
		$V_{DS} = 30\text{ V}, V_{GS} = 0\text{ V}$			100	nA
I_{GSS}	Gate–Body Leakage.	$V_{GS} = \pm 20\text{ V}, V_{DS} = 0\text{ V}$			± 100	nA

On Characteristics (Note 2)

$V_{GS(th)}$	Gate Threshold Voltage	$V_{DS} = V_{GS}, I_D = 1\text{ mA}$	0.8	1.3	1.5	V
$\frac{\Delta V_{GS(th)}}{\Delta T_J}$	Gate Threshold Voltage Temperature Coefficient	$I_D = 1\text{ mA}$, Referenced to 25°C		–2		mV/ $^\circ\text{C}$
$R_{DS(on)}$	Static Drain–Source On–Resistance	$V_{GS} = 10\text{ V}, I_D = 0.22\text{ A}$		0.7	3.5	Ω
		$V_{GS} = 4.5\text{ V}, I_D = 0.22\text{ A}$		1.0	6.0	
		$V_{GS} = 10\text{ V}, I_D = 0.22\text{ A}, T_J = 125^\circ\text{C}$		1.1	5.8	
$I_{D(on)}$	On–State Drain Current	$V_{GS} = 10\text{ V}, V_{DS} = 5\text{ V}$	0.2			A
g_{FS}	Forward Transconductance	$V_{DS} = 10\text{ V}, I_D = 0.22\text{ A}$	0.12	0.5		S

Dynamic Characteristics

C_{iss}	Input Capacitance	$V_{DS} = 25\text{ V}, V_{GS} = 0\text{ V}, f = 1.0\text{ MHz}$		27		pF
C_{oss}	Output Capacitance			13		pF
C_{rss}	Reverse Transfer Capacitance			6		pF
R_G	Gate Resistance	$V_{GS} = 15\text{ mV}, f = 1.0\text{ MHz}$		9		Ω

Switching Characteristics (Note 2)

$t_{d(on)}$	Turn–On Delay Time	$V_{DD} = 30\text{ V}, I_D = 0.29\text{ A}, V_{GS} = 10\text{ V}, R_{GEN} = 6\text{ }\Omega$		2.5	5	ns
t_r	Turn–On Rise Time			9	18	ns
$t_{d(off)}$	Turn–Off Delay Time			20	36	ns
t_f	Turn–Off Fall Time			7	14	ns
Q_g	Total Gate Charge	$V_{DS} = 25\text{ V}, I_D = 0.22\text{ A}, V_{GS} = 10\text{ V}$		1.7	2.4	nC
Q_{gs}	Gate–Source Charge			0.1		nC
Q_{gd}	Gate–Drain Charge			0.4		nC

Drain–Source Diode Characteristics and Maximum Ratings

I _S	Maximum Continuous Drain–Source Diode Forward Current				0.22	A
V _{SD}	Drain–Source Diode Forward Voltage	V _{GS} = 0 V, I _S = 0.44 A(Note 2)		0.8	1.4	V

Notes:

- $R_{\theta JA}$ is the sum of the junction-to-case and case-to-ambient thermal resistance where the case thermal reference is defined as the solder mounting surface of the drain pins. $R_{\theta JC}$ is guaranteed by design while $R_{\theta CA}$ is determined by the user's board design.



- 350°C/W when mounted on a minimum pad..

Scale 1 : 1 on letter size paper

- Pulse Test: Pulse Width $\leq 300\text{ }\mu\text{s}$, Duty Cycle $\leq 2.0\%$

Typical Characteristics

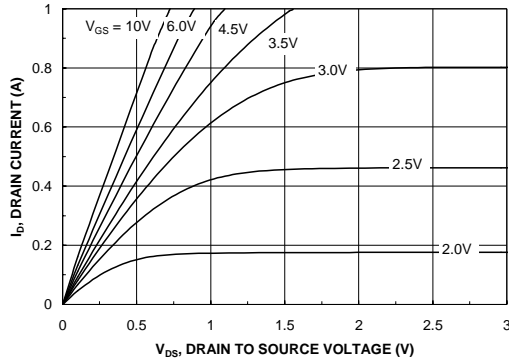


Figure 1. On-Region Characteristics.

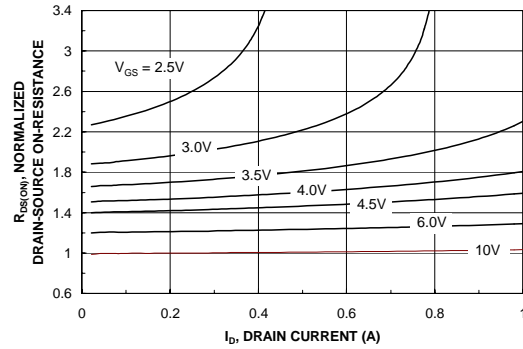


Figure 2. On-Resistance Variation with Drain Current and Gate Voltage.

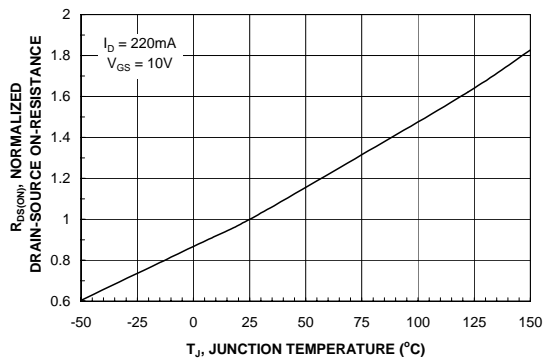


Figure 3. On-Resistance Variation with Temperature.

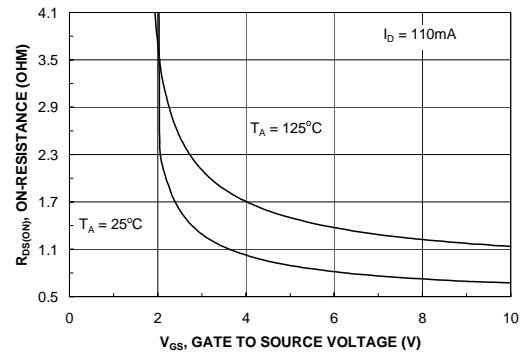


Figure 4. On-Resistance Variation with Gate-to-Source Voltage.

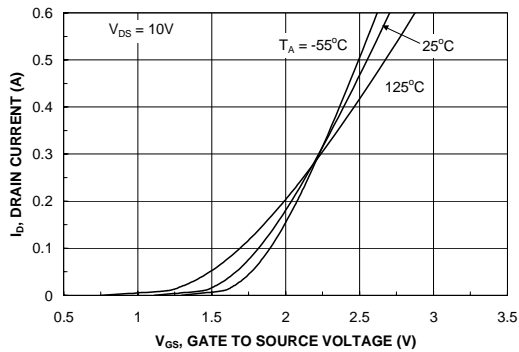


Figure 5. Transfer Characteristics.

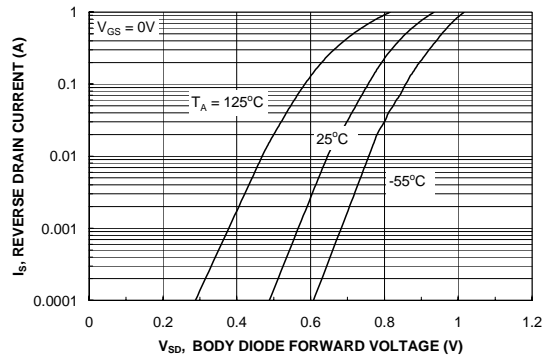


Figure 6. Body Diode Forward Voltage Variation with Source Current and Temperature.



STP3HNK90Z - STF3HNK90Z

N-CHANNEL 900V - 3.5Ω - 3A TO-220 - TO-220FP

Zener-Protected SuperMESH™ Power MOSFET

TYPE	V _{DSS}	R _{DS(on)}	I _D	P _w
STP3HNK90Z	900 V	< 4.2 Ω	3 A	90 W
STF3HNK90Z	900 V	< 4.2 Ω	3 A	25 W

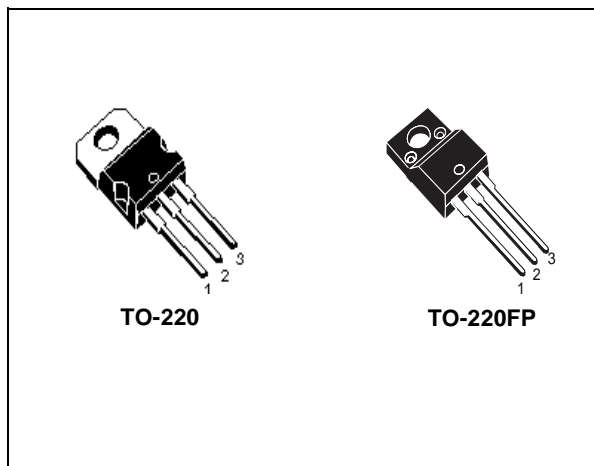
- TYPICAL R_{DS(on)} = 3.5 Ω
- EXTREMELY HIGH dv/dt CAPABILITY
- 100% AVALANCHE TESTED
- GATE CHARGE MINIMIZED
- VERY LOW INTRINSIC CAPACITANCES
- VERY GOOD MANUFACTURING REPEATIBILITY

DESCRIPTION

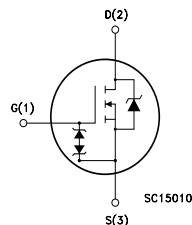
The SuperMESH™ series is obtained through an extreme optimization of ST's well established strip-based PowerMESH™ layout. In addition to pushing on-resistance significantly down, special care is taken to ensure a very good dv/dt capability for the most demanding applications. Such series complements ST full range of high voltage MOSFETs including revolutionary MDmesh™ products.

APPLICATIONS

- HIGH CURRENT, HIGH SPEED SWITCHING
- IDEAL FOR OFF-LINE POWER SUPPLIES, ADAPTORS AND PFC
- LIGHTING



INTERNAL SCHEMATIC DIAGRAM



ORDERING INFORMATION

SALES TYPE	MARKING	PACKAGE	PACKAGING
STP3HNK90Z	P3HNK90Z	TO-220	TUBE
STF3HNK90Z	F3HNK90Z	TO-220FP	TUBE

STP3HNC90Z - STF3HNC90Z

ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value		Unit
		STP3HNC90Z	STF3HNC90Z	
V_{DS}	Drain-source Voltage ($V_{GS} = 0$)	900		V
V_{DGR}	Drain-gate Voltage ($R_{GS} = 20\text{ k}\Omega$)	900		V
V_{GS}	Gate- source Voltage	± 30		V
I_D	Drain Current (continuous) at $T_C = 25^\circ\text{C}$	3	3 (*)	A
I_D	Drain Current (continuous) at $T_C = 100^\circ\text{C}$	1.89	1.89 (*)	A
$I_{DM}(\bullet)$	Drain Current (pulsed)	12	12 (*)	A
P_{TOT}	Total Dissipation at $T_C = 25^\circ\text{C}$	90	25	W
	Derating Factor	0.72	0.2	W/ $^\circ\text{C}$
$V_{ESD(G-S)}$	Gate source ESD(HBM-C=100pF, R=1.5K Ω)	3000		V
$dv/dt(1)$	Peak Diode Recovery voltage slope	4.5		V/ns
V_{ISO}	Insulation Withstand Voltage (DC)	-	2500	V
T_j T_{stg}	Operating Junction Temperature Storage Temperature	-55 to 150		$^\circ\text{C}$

(●) Pulse width limited by safe operating area

(1) $I_{SD} \leq 3\text{A}$, $di/dt \leq 200\text{A}/\mu\text{s}$, $V_{DD} \leq V_{(BR)DSS}$, $T_j \leq T_{JMAX}$.

(*) Limited only by maximum temperature allowed

THERMAL DATA

		TO-220	TO-220FP	
Rthj-case	Thermal Resistance Junction-case Max	1.38	5	$^\circ\text{C}/\text{W}$
Rthj-amb	Thermal Resistance Junction-ambient Max	62.5		$^\circ\text{C}/\text{W}$
T_I	Maximum Lead Temperature For Soldering Purpose	300		$^\circ\text{C}$

AVALANCHE CHARACTERISTICS

Symbol	Parameter	Max Value	Unit
I_{AR}	Avalanche Current, Repetitive or Not-Repetitive (pulse width limited by T_j max)	3	A
EAS	Single Pulse Avalanche Energy (starting $T_j = 25^\circ\text{C}$, $I_D = I_{AR}$, $V_{DD} = 50\text{ V}$)	200	mJ

GATE-SOURCE ZENER DIODE

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
BV_{GSO}	Gate-Source Breakdown Voltage	$I_{GS} = \pm 1\text{mA}$ (Open Drain)	30			V

PROTECTION FEATURES OF GATE-TO-SOURCE ZENER DIODES

The built-in back-to-back Zener diodes have specifically been designed to enhance not only the device's ESD capability, but also to make them safely absorb possible voltage transients that may occasionally be applied from gate to source. In this respect the Zener voltage is appropriate to achieve an efficient and cost-effective intervention to protect the device's integrity. These integrated Zener diodes thus avoid the usage of external components.

ELECTRICAL CHARACTERISTICS ($T_{CASE} = 25^{\circ}\text{C}$ UNLESS OTHERWISE SPECIFIED)
ON/OFF

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
$V_{(BR)DSS}$	Drain-source Breakdown Voltage	$I_D = 1\text{ mA}$, $V_{GS} = 0$	900			V
I_{DSS}	Zero Gate Voltage Drain Current ($V_{GS} = 0$)	$V_{DS} = \text{Max Rating}$ $V_{DS} = \text{Max Rating}$, $T_C = 125^{\circ}\text{C}$			1 50	μA μA
I_{GSS}	Gate-body Leakage Current ($V_{DS} = 0$)	$V_{GS} = \pm 30\text{ V}$			± 10	μA
$V_{GS(th)}$	Gate Threshold Voltage	$V_{DS} = V_{GS}$, $I_D = 50\text{ }\mu\text{A}$	3	3.75	4.5	V
$R_{DS(on)}$	Static Drain-source On Resistance	$V_{GS} = 10\text{ V}$, $I_D = 1.5\text{ A}$		3.5	4.2	Ω

DYNAMIC

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
$g_{fs} (1)$	Forward Transconductance	$V_{DS} = 15\text{ V}$, $I_D = 1.5\text{ A}$		1.9		S
C_{iss} C_{oss} C_{rss}	Input Capacitance Output Capacitance Reverse Transfer Capacitance	$V_{DS} = 25\text{ V}$, $f = 1\text{ MHz}$, $V_{GS} = 0$		690 71 14.4		pF pF pF
$C_{oss\text{ eq.}} (3)$	Equivalent Output Capacitance	$V_{GS} = 0\text{ V}$, $V_{DS} = 0\text{ V to } 720\text{ V}$		88		pF
$t_{d(on)}$ t_r $t_{d(off)}$ t_f	Turn-on Delay Time Rise Time Turn-off Delay Time Fall Time	$V_{DD} = 450\text{ V}$, $I_D = 1.5\text{ A}$ $R_G = 4.7\Omega$, $V_{GS} = 10\text{ V}$ (Resistive Load see, Figure 3)		23 28 42 27		ns ns ns ns
Q_g Q_{gs} Q_{gd}	Total Gate Charge Gate-Source Charge Gate-Drain Charge	$V_{DD} = 720\text{ V}$, $I_D = 3\text{ A}$, $V_{GS} = 10\text{ V}$		26 5.7 13.9	35	nC nC nC

SOURCE DRAIN DIODE

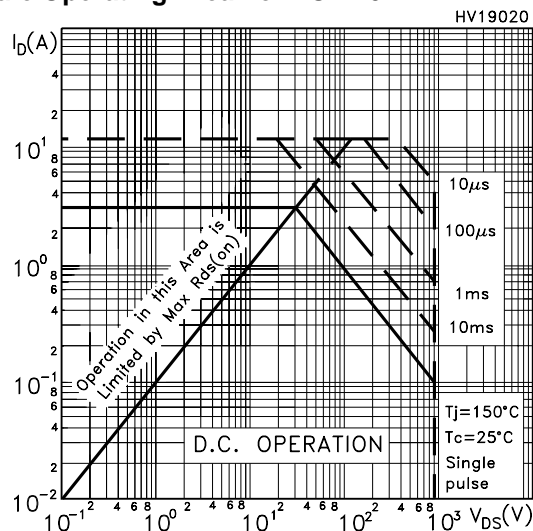
Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
I_{SD} $I_{SDM} (2)$	Source-drain Current Source-drain Current (pulsed)				3 12	A A
$V_{SD} (1)$	Forward On Voltage	$I_{SD} = 3\text{ A}$, $V_{GS} = 0$			1.6	V
t_{rr} Q_{rr} I_{RRM}	Reverse Recovery Time Reverse Recovery Charge Reverse Recovery Current	$I_{SD} = 3\text{ A}$, $di/dt = 100\text{ A}/\mu\text{s}$ $V_{DD} = 50\text{ V}$, $T_j = 25^{\circ}\text{C}$ (see test circuit, Figure 5)		494 2.4 9.8		ns μC A
t_{rr} Q_{rr} I_{RRM}	Reverse Recovery Time Reverse Recovery Charge Reverse Recovery Current	$I_{SD} = 3\text{ A}$, $di/dt = 100\text{ A}/\mu\text{s}$ $V_{DD} = 50\text{ V}$, $T_j = 150^{\circ}\text{C}$ (see test circuit, Figure 5)		628 3.2 10.2		ns μC A

Note: 1. Pulsed: Pulse duration = 300 μs , duty cycle 1.5 %.

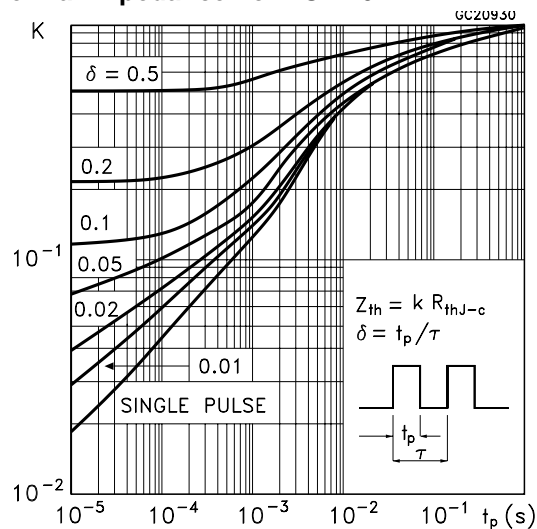
2. Pulse width limited by safe operating area.

3. $C_{oss\text{ eq.}}$ is defined as a constant equivalent capacitance giving the same charging time as C_{oss} when V_{DS} increases from 0 to 80% V_{DSS} .

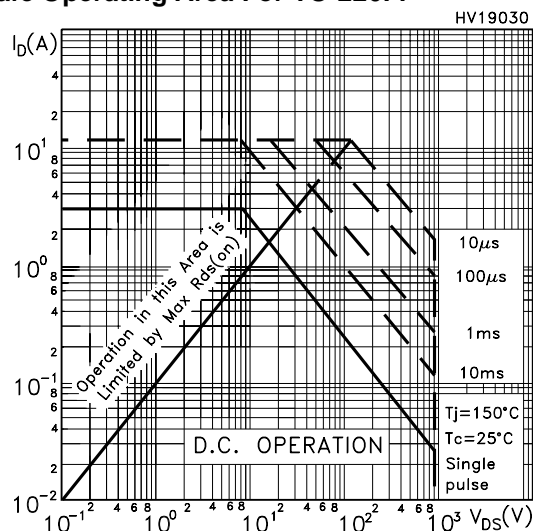
Safe Operating Area For TO-220



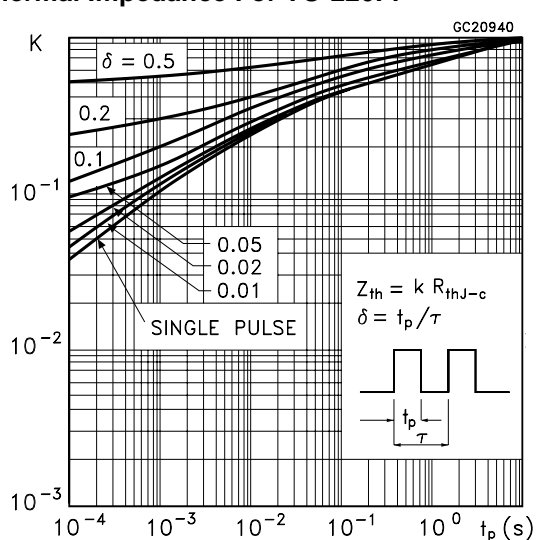
Thermal Impedance For TO-220



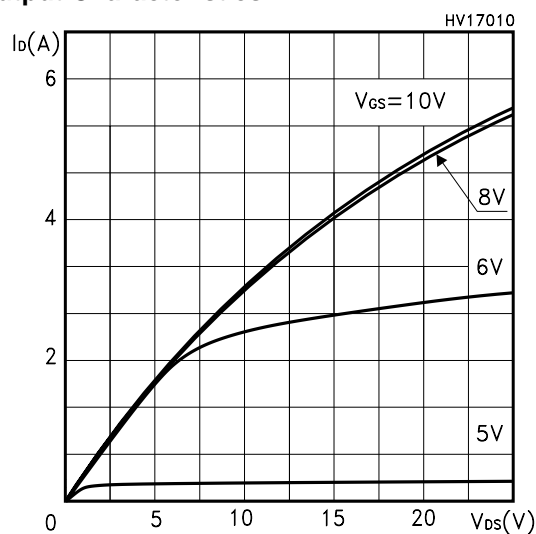
Safe Operating Area For TO-220FP



Thermal Impedance For TO-220FP



Output Characteristics



Transfer Characteristics

