CLASE 6: NVIC II

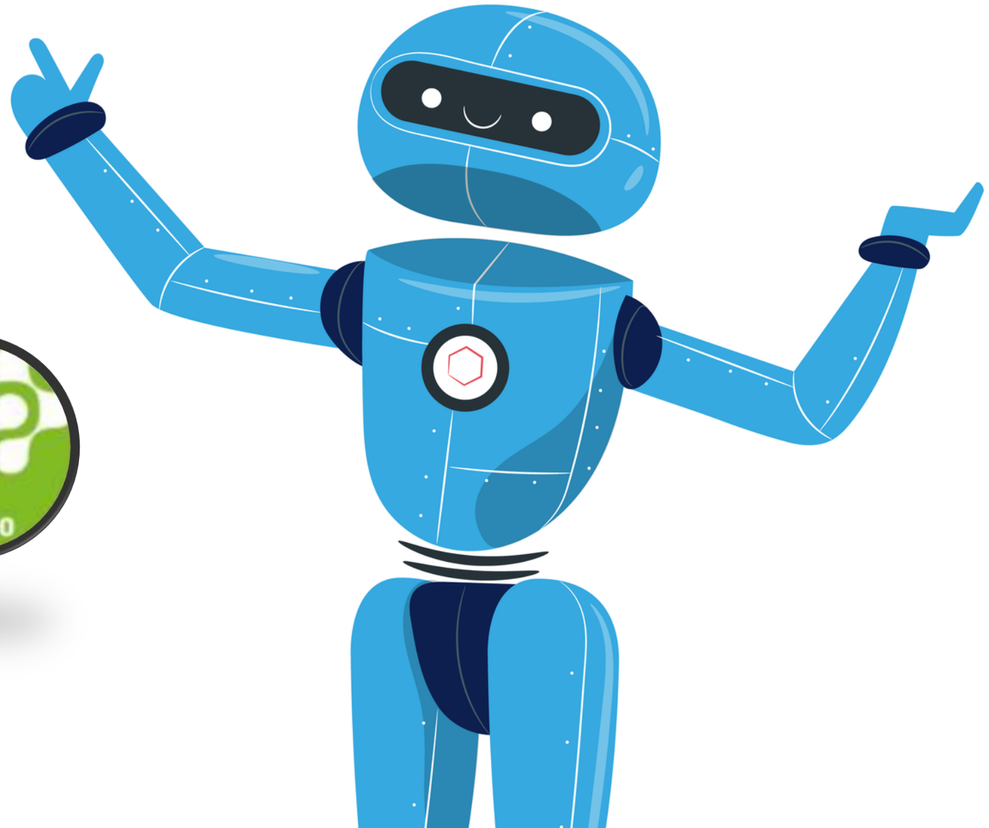
MICROCONTROLADORES

ARM

life.augmented

STM32 L4

STM32 Nucleo



TEXAS INSTRUMENTS

UMAKER | CENTRO DE CAPACITACIÓN DE DESARROLLO TECNOLÓGICO

INTERRUPCION DE LA SYSTICK

arm

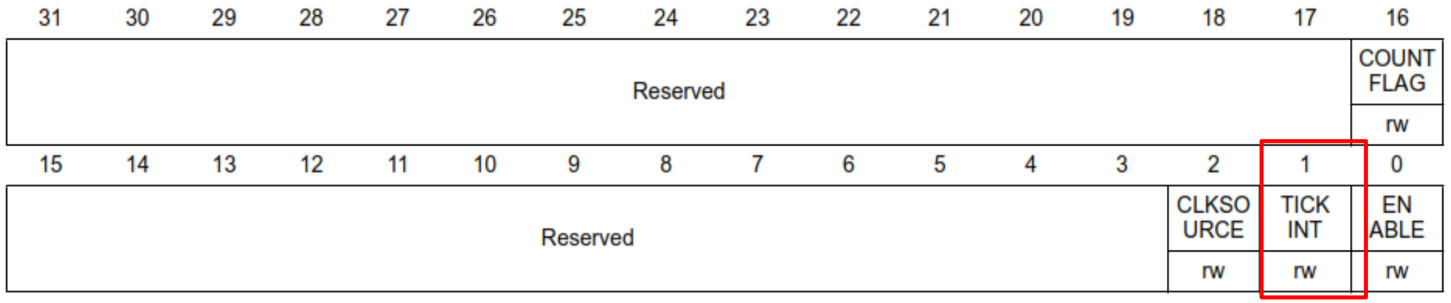
MICRO-
CONTRO-
LADORES
ARM

UMAKER | CENTRO DE CAPACITACIÓN DE DESARROLLO TECNOLÓGICO

INTERRUPCION DE LA SYSTICK

- El SysTick Timer es un periférico interno del CORTEX-M, por lo tanto, para poder generar interrupciones por el SysTick solo se debe establecer el bit **TICKINT** del registro **CTRL.**

SysTick control and status register (STK_CTRL)
Address offset: 0x00
Reset value: 0x0000 0000
Required privilege: Privileged
The SysTick CTRL register enables the SysTick features.



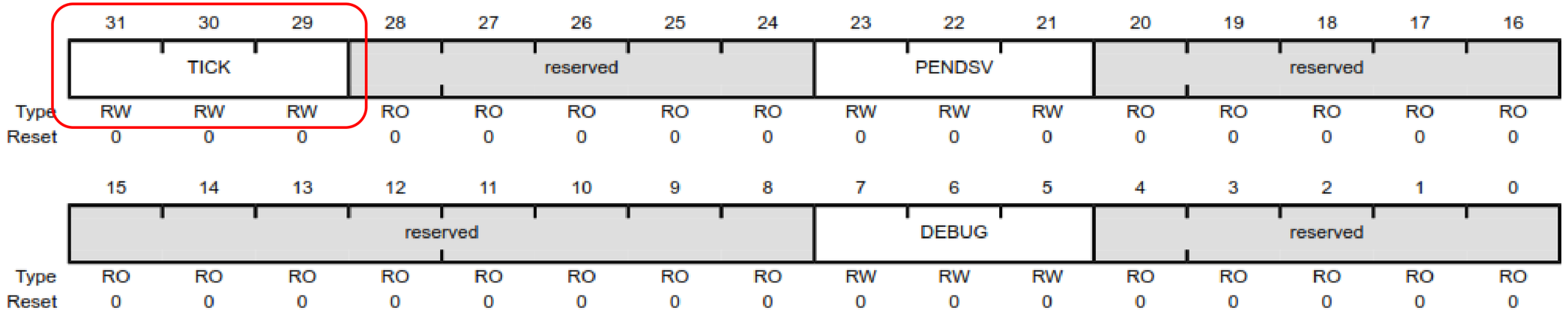
Bit 1 TICKINT: SysTick exception request enable
0: Counting down to zero does not assert the SysTick exception request
1: Counting down to zero to asserts the **SysTick exception request.**
Note: Software can use COUNTFLAG to determine if SysTick has ever counted to zero.

MICRO-CONTRO-LADORES ARM

UMAKER | CENTRO DE CAPACITACIÓN DE DESARROLLO TECNOLÓGICO

INTERRUPCION DE LA SYSTICK

- Para el cambio de prioridad se usa el registro **SYSPRI3**,en específico los bits **TICK[31:29]**



	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TICK			reserved					PENDSV			reserved				
Type	RW	RW	RW	RO	RO	RO	RO	RO	RW	RW	RW	RO	RO	RO	RO	RO
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	reserved								DEBUG			reserved				
Type	RO	RO	RO	RO	RO	RO	RO	RO	RW	RW	RW	RO	RO	RO	RO	RO
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit/Field	Name	Type	Reset	Description
31:29	TICK	RW	0x0	SysTick Exception Priority This field configures the priority level of the SysTick exception. Configurable priority values are in the range 0-7, with lower values having higher priority.

```
NVIC_SYS_PRI3_R &=~ NVIC_SYS_PRI3_TICK_M;
NVIC_SYS_PRI3_R |= 4U<<29;
```

USANDO LAS DEFINICIONES DE LA TivaWare

MICRO-CONTRO-LADORES ARM

UMAKER | CENTRO DE CAPACITACIÓN DE DESARROLLO TECNOLÓGICO

INTERRUPCION DE LA SYSTICK

INTERRUPCION CADA un 1us

```
__disable_irq();
/*deshabilitar la systick*/
SysTick->CTRL = 0;
/*2. cofigurar el valor de reload*/
SysTick->LOAD = SystemCoreClock/1000000 - 1;
/*3. seleccionar la fuente de reloj*/
SysTick->CTRL |= SysTick_CTRL_CLKSOURCE_Msk;
/*4. poner el registro val*/
SysTick->VAL = 0;
/*5. habilitar la interrupcion y el conteo*/
SysTick->CTRL |= SysTick_CTRL_TICKINT_Msk | SysTick_CTRL_ENABLE_Msk;
/*6. (opcional) cambiar la prioridad*/
NVIC_SetPriority(SysTick_IRQn,7);
__enable_irq();
```

RUTINA DE SERVICIO DE INTERRUPCION DE LA SYSTICK

```
/*ISR*/
void SysTick_Handler(void){
  if(SysTick->CTRL & SysTick_CTRL_COUNTFLAG_Msk)
    uwTick+= 1;    //se incrementa el valor de la variable en 1

  return;
}
```

arm
MICRO-CONTRO-LADORES ARM

UMAKER | CENTRO DE CAPACITACIÓN DE DESARROLLO TECNOLÓGICO

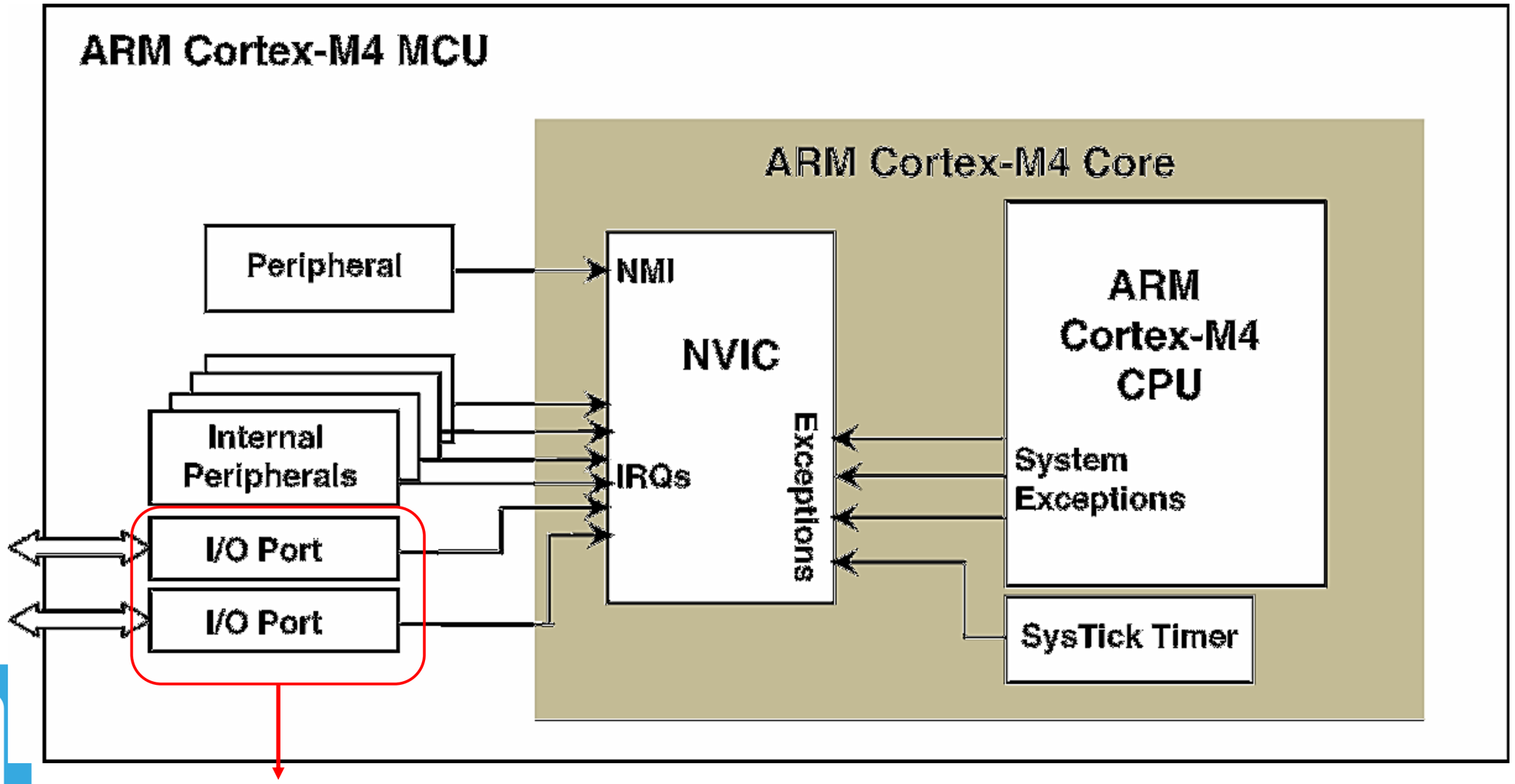
INTERRUPCIONES EXTERNAS

arm

MICRO-
CONTRO-
LADORES
ARM

UMAKER | CENTRO DE CAPACITACIÓN DE DESARROLLO TECNOLÓGICO

INTERRUPCION EXTERNA



INTERRUPCIONES EXTERNAS

MICRO-CONTRO-LADORES ARM

UMAKER | CENTRO DE CAPACITACIÓN DE DESARROLLO TECNOLÓGICO

INTERRUPCION EXTERNA

GPIO Register	Each Bit Value (Lowest 8-Bit) and Each Pin Function
GPIOIS	0: Detect an edge (edge-sensitive) on the pin, 1: Detect a level (level-sensitive) on the pin.
GPIOIBE	0: Interrupt is controlled by GPIOIEV, 1: Both edges on the corresponding pin trigger an interrupt
GPIOIEV	0: A falling edge or a LOW level, 1: A rising edge or a HIGH level triggers an interrupt
GPIOIM	0: Interrupt is masked (disabled), 1: Interrupt is unmasked (enabled).
GPIORIS	0: No interrupt occurred on the pin, 1: An interrupt is occurred on the pin. For the edge-triggered interrupts, writ a 1 to the pin to clear that interrupt. For level-triggered interrupt, no action is needed.
GPIOMIS	0: No interrupt occurred or the pin has been masked, 1: An interrupt has been occurred.
GPIOICR	0: No action, 1: The corresponded edge-triggered interrupt is cleared.

INTERRUPCION EXTERNA

INICIALIZAR Y CONFIGURAR REGISTROS DE CONTROL DE INTERRUPCIONES GPIO

- Configure el registro GPIOIM para deshabilitar (enmascarar) los pines no deseados.
- Configure el registro GPIOIS para indicar el tipo, borde o nivel de activación de interrupciones.
- Configure el registro GPIOIBE para indicar si esta interrupción es activada por ambos bordes.
- Restablezca el registro GPIORIS a 0 para que esté listo para establecer un indicador si se produce alguna interrupción.
- Configure el registro GPIOIM para habilitar (desenmascarar) los pines deseados.

PF0 y PF4 configurados para generar interrupciones con un flanco de bajada (Rising Edge)

```
GPIOF->DIR &=~ (1U<<4 | 1U);     //input
GPIOF->DEN |= (1U<<4 | 1U);      //digital
GPIOF->PUR |= (1U<<4 | 1U);      //pull up
/*interrupcion*/
GPIOF->IM &=~ (1U<<4 | 1U);      //interrupt mask
GPIOF->IS &=~(1U<<4 | 1U);       //edge sensitive
GPIOF->IBE &=~(1U<<4 | 1U);      //trigger is controlled by IEV
GPIOF->IEV &=~ (1U<<4 | 1U);     //falling edge interrupt
GPIOF->ICR |= (1U<<4 | 1U);      //clear any prior interrupt
GPIOF->IM |= (1U<<4 | 1U);       //interrupt mask clear
```

INTERRUPCION EXTERNA

Por ejemplo, inicializar y configurar el pin PF4 en el pin impulsado por interrupción con las siguientes configuraciones:

- **Activado por un voltaje de nivel ALTO, no por un borde.**
- **El pin está habilitado para interrupciones.**

Register	Interrupt Trigger	GPIO PORTF Interrupt Control Registers							
		7	6	5	4	3	2	1	0
GPIOIS	0: Edge 1: Level	x	x	x	**1**	x	x	x	x
GPIOIBE	0: Single Edge 1: Double Edges	x	x	x	**0**	x	x	x	x
GPIOIEV	0: LOW Level or Falling Edge 1: HIGH Level or Rising Edge	x	x	x	**1**	x	x	x	x
GPIOIM	0: Masked (Disabled) 1: Unmasked (Enabled)	x	x	x	**1**	x	x	x	x

PF4

INTERRUPCION EXTERNA

CONFIGURACIONES Y CONTROLES DE INTERRUPCIONES LOCALES PARA PUERTOS GPIO

Además de configurar e inicializar cada pin GPIO, también es necesario configurar los niveles de prioridad y habilitar las interrupciones relacionadas para los puertos GPIO seleccionados. Esto se puede lograr usando los registros **NVIC_PRIx** y **NVIC_ENx.**

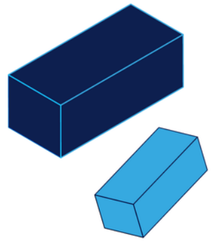
- Registros de nivel de prioridad de interrupción (**0xE000E400~0xE000E4EF**).
- Registros de habilitación de conjuntos de interrupciones (**0xE000E100~0xE000E11C**).

PF0 y PF4 configurados para generar interrupciones con un flanco de bajada (Rising Edge)

```
__disable_irq();

NVIC_SetPriority(GPIOF_IRQn,1); //prioridad 1
NVIC_EnableIRQ(GPIOF_IRQn);     //habilita la interrupcion GPIOF

__enable_irq();
```

INTERRUPCION EXTERNA

Interrupt Service Routine (ISR)



```
void GPIOF_Handler(void){

    if(GPIOF->RIS & 1<<0){        //PF0 interrupt
        GPIOF->ICR |= 1<<0;       //clear pending bit
        //code

    }
    else if(GPIOF->RIS & 1<<4){ //PF4 interrupt
        GPIOF->ICR |= 1<<4;       //Clear pending bit
        //code

    }
}
```

→ Tabla de vectores de interrupcion

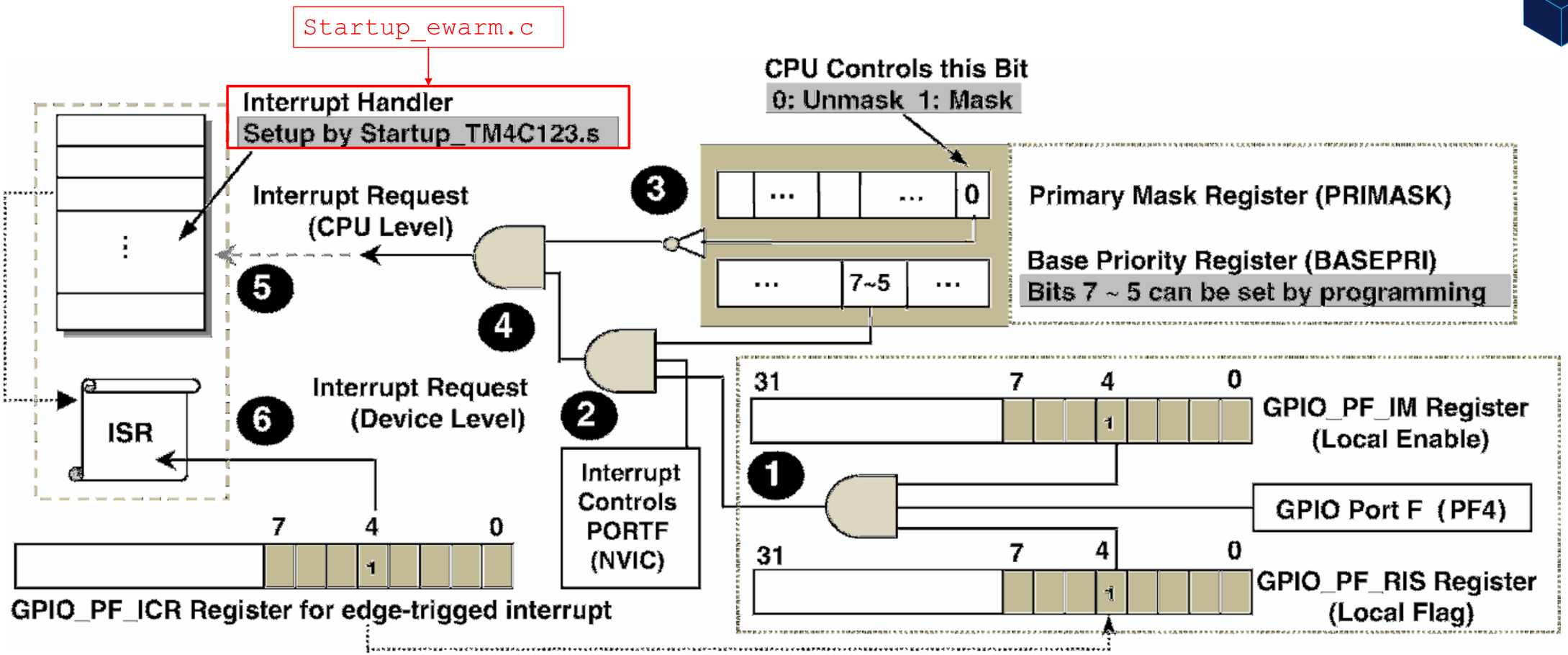
Startup_ewarm.c

```
#define __weak   __attribute__((weak))

__weak void GPIOF_Handler(void);


IntDefaultHandler,                      // System Control (PLL, OSC, BO)
IntDefaultHandler,                      // FLASH Control
GPIOF_Handler,                          // GPIO Port F
IntDefaultHandler,                      // GPIO Port G
IntDefaultHandler,                      // GPIO Port H
IntDefaultHandler,                      // UART2 Rx and Tx
IntDefaultHandler,                      // SSI1 Rx and Tx


__weak void GPIOF_Handler(void){

  while(1);
}
```

arm
MICRO-CONTRO-LADORES ARM

UMAKER | CENTRO DE CAPACITACIÓN DE DESARROLLO TECNOLÓGICO

INTERRUPCION EXTERNA



MICRO-CONTRO-LADORES ARM

UMAKER | CENTRO DE CAPACITACIÓN DE DESARROLLO TECNOLÓGICO

EJEMPLO: CONTADOR DE EVENTOS MEDIANTE INTERRUPCIONES EXTERNAS

arm

MICRO-
CONTRO-
LADORES
ARM

UMAKER | CENTRO DE CAPACITACIÓN DE DESARROLLO TECNOLÓGICO

UMAKER | CENTRO DE CAPACITACIÓN DE DESARROLLO TECNOLÓGICO