CLASE 4 : CLOCK CONTROL

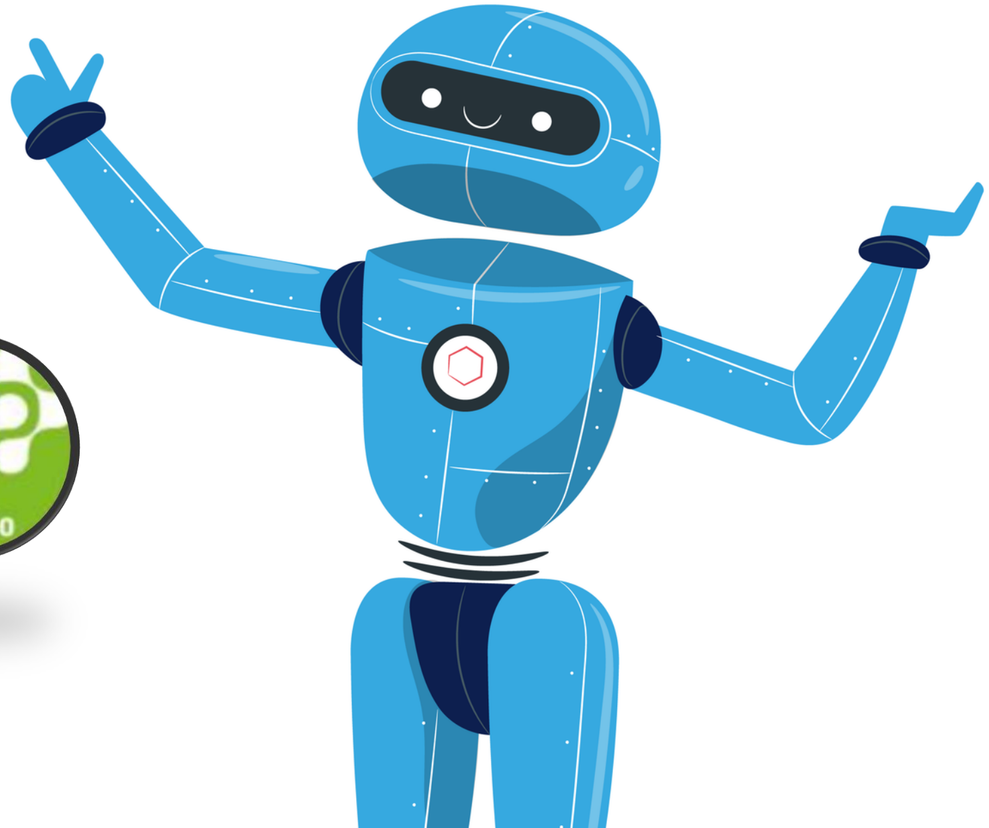
MICROCONTROLADORES

ARM

life.augmented

STM32 L4

STM32 Nucleo



TEXAS INSTRUMENTS

UMAKER | CENTRO DE CAPACITACIÓN DE DESARROLLO TECNOLÓGICO

SYSTEM CONTROL

arm

MICRO-
CONTRO-
LADORES
ARM

UMAKER | CENTRO DE CAPACITACIÓN DE DESARROLLO TECNOLÓGICO

SYSTEM CONTROL

El control del sistema configura el funcionamiento general del dispositivo y proporciona información sobre el dispositivo. Las características configurables incluyen control de reinicio, operación NMI, control de energía, control de reloj y modos de bajo consumo.

Pin Name	Pin Number	Pin Mux / Pin Assignment	Pin Type	Buffer Type[a]	Description
NMI	10 28	PD7 (8) PF0 (8)	I	TTL	Non-maskable interrupt.
OSC0	40	fixed	I	Analog	Main oscillator crystal input or an external clock reference input.
OSC1	41	fixed	O	Analog	Main oscillator crystal output. Leave unconnected when using a single-ended clock source.
$\overline{\text{RST}}$	38	fixed	I	TTL	System reset input.

Proporciona las siguientes capacidades:

- **Device Identification**
- **Reset Control**
- **Power Control**
- **Clock Control**

arm
MICRO-CONTRO-LADORES ARM

UMAKER | CENTRO DE CAPACITACIÓN DE DESARROLLO TECNOLÓGICO

CLOCK CONTROL

arm

MICRO-
CONTRO-
LADORES
ARM

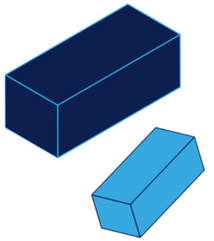
UMAKER | CENTRO DE CAPACITACIÓN DE DESARROLLO TECNOLÓGICO

FUENTES DE RELOJ FUNDAMENTALES

- **Precision Internal Oscillator (PIOSC)**
  - ✓ 16MHz ± 1%
  - ✓ Reduce el costo.
  - ✓ Fuente de reloj para el ADC, UART y SSI.
- **Main Oscillator (MOSC)**
  - ✓ 5MHz a 25MHz (con PLL).
  - ✓ 4MHz a 25MHz (sin PLL).
  - ✓ Fuente de reloj para el USB PLL
- **Low-Frequency Internal Oscillator (LFIOSC)**
  - ✓ Usando en los Modos de ahorro de energía de sueño profundo.
- **Hibernation Module Clock Source**
  - ✓ 32.768-kHz

Clock Source	Drive PLL?		Used as SysClk?	
Precision Internal Oscillator	Yes	BYPASS = 0, OSCSRC = 0x1	Yes	BYPASS = 1, OSCSRC = 0x1
Precision Internal Oscillator divide by 4 (4 MHz ± 1%)	No	-	Yes	BYPASS = 1, OSCSRC = 0x2
Main Oscillator	Yes	BYPASS = 0, OSCSRC = 0x0	Yes	BYPASS = 1, OSCSRC = 0x0
Low-Frequency Internal Oscillator (LFIOSC)	No	-	Yes	BYPASS = 1, OSCSRC = 0x3
Hibernation Module 32.768-kHz Oscillator	No	-	Yes	BYPASS = 1, OSCSRC2 = 0x7

CONFIGURACION DEL RELOJ



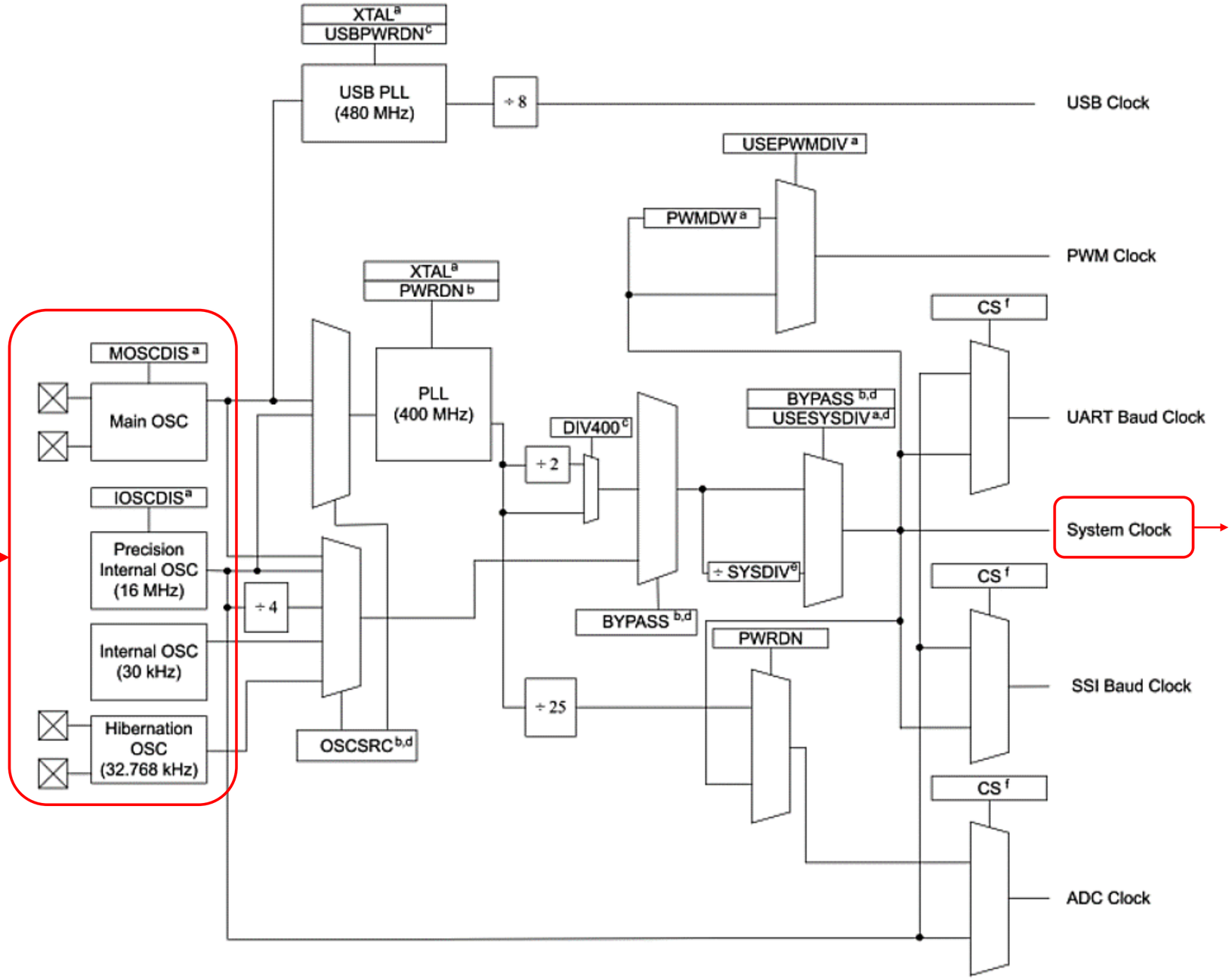
Los registros Run-Mode Clock Configuration (**RCC**) y Run-Mode Clock Configuration 2 (**RCC2**) proporcionan control para el reloj del sistema.

- Fuente de relojes en los modos de sueño y sueño profundo.
- Reloj del sistema derivado de PLL u otra fuente de reloj.
- Habilitación / deshabilitación de osciladores y PLL.
- Divisores de reloj.

Escriba el registro RCC antes de escribir el registro RCC2.

CLOCK CONTROL

FUENTES DE RELOJ



MICRO-CONTRO-LADORES ARM

CENTRO DE CAPACITACIÓN DE DESARROLLO TECNOLÓGICO

Uso de los campos SYSDIV y SYSDIV2

SYSDIV

SYSDIV	Divisor	Frequency (BYPASS=0)	Frequency (BYPASS=1)	TivaWare™ Parameter[a]
0x0	/1	reserved	Clock source frequency/1	SYSCTL_SYSDIV_1
0x1	/2	reserved	Clock source frequency/2	SYSCTL_SYSDIV_2
0x2	/3	66.67 MHz	Clock source frequency/3	SYSCTL_SYSDIV_3
0x3	/4	50 MHz	Clock source frequency/4	SYSCTL_SYSDIV_4
0x4	/5	40 MHz	Clock source frequency/5	SYSCTL_SYSDIV_5
0x5	/6	33.33 MHz	Clock source frequency/6	SYSCTL_SYSDIV_6
0x6	/7	28.57 MHz	Clock source frequency/7	SYSCTL_SYSDIV_7
0x7	/8	25 MHz	Clock source frequency/8	SYSCTL_SYSDIV_8
0x8	/9	22.22 MHz	Clock source frequency/9	SYSCTL_SYSDIV_9
0x9	/10	20 MHz	Clock source frequency/10	SYSCTL_SYSDIV_10
0xA	/11	18.18 MHz	Clock source frequency/11	SYSCTL_SYSDIV_11
0xB	/12	16.67 MHz	Clock source frequency/12	SYSCTL_SYSDIV_12
0xC	/13	15.38 MHz	Clock source frequency/13	SYSCTL_SYSDIV_13
0xD	/14	14.29 MHz	Clock source frequency/14	SYSCTL_SYSDIV_14
0xE	/15	13.33 MHz	Clock source frequency/15	SYSCTL_SYSDIV_15
0xF	/16	12.5 MHz (default)	Clock source frequency/16	SYSCTL_SYSDIV_16

Uso de los campos SYSDIV y SYSDIV2

SYSDIV2

SYSDIV2	Divisor	Frequency (BYPASS2=0)	Frequency (BYPASS2=1)	TivaWare Parameter[a]
0x00	/1	reserved	Clock source frequency/1	SYSCTL_SYSDIV_1
0x01	/2	reserved	Clock source frequency/2	SYSCTL_SYSDIV_2
0x02	/3	66.67 MHz	Clock source frequency/3	SYSCTL_SYSDIV_3
0x03	/4	50 MHz	Clock source frequency/4	SYSCTL_SYSDIV_4
0x04	/5	40 MHz	Clock source frequency/5	SYSCTL_SYSDIV_5
...	...	...	...	...
0x09	/10	20 MHz	Clock source frequency/10	SYSCTL_SYSDIV_10
...	...	...	...	...
0x3F	/64	3.125 MHz	Clock source frequency/64	SYSCTL_SYSDIV_64

Uso de los campos SYSDIV y SYSDIV2

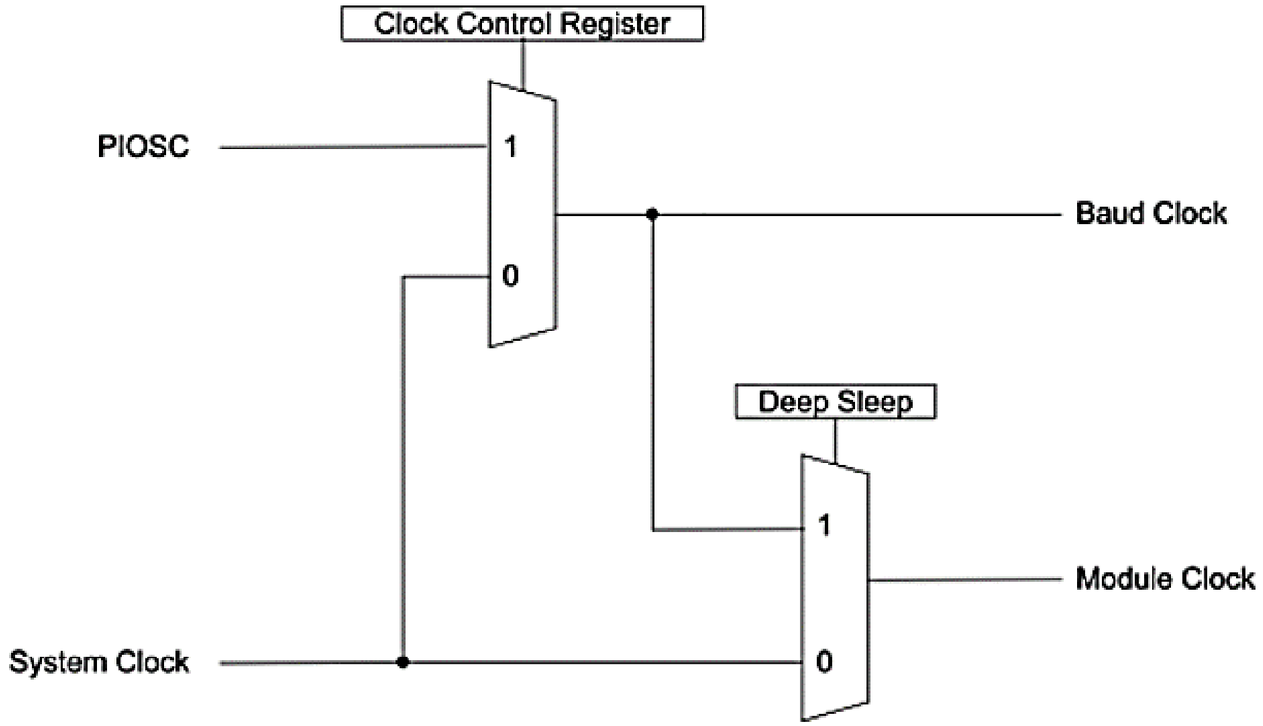
SYSDIV2LSB: Cuando el bit DIV400 = 1 (SYSDIV2 | SYSDIV2LSB)

SYSDIV2	SYSDIV2LSB	Divisor	Frequency (BYPASS2=0)[a]	TivaWare Parameter[b]
0x00	reserved	/2	reserved	-
0x01	0	/3	reserved	-
	1	/4	reserved	-
0x02	0	/5	80 MHz	SYSCTL_SYSDIV_2_5
	1	/6	66.67 MHz	SYSCTL_SYSDIV_3
0x03	0	/7	reserved	-
	1	/8	50 MHz	SYSCTL_SYSDIV_4
0x04	0	/9	44.44 MHz	SYSCTL_SYSDIV_4_5
	1	/10	40 MHz	SYSCTL_SYSDIV_5
...	...	...	...	...
0x3F	0	/127	3.15 MHz	SYSCTL_SYSDIV_63_5
	1	/128	3.125 MHz	SYSCTL_SYSDIV_64

MAIN PLL

CONFIGURACION DEL PLL PRINCIPAL

Se habilita por software si es necesario. El software especifica el divisor de salida para configurar la frecuencia del reloj del sistema y permite que el PLL principal controle la salida. El PLL opera a 400 MHz, pero se divide por dos antes de la aplicación del divisor de salida, a menos que se establezca el bit DIV400 en el registro RCC2.



CONFIGURACION DEL PLL PRINCIPAL

El PLL se configura mediante escrituras de registro directo en el registro **RCC/RCC2.** Si se utiliza el registro **RCC2,** se debe establecer el **bit USERCC2** y se utiliza el bit/campo RCC2 apropiado.

```
void PLL_Config(uint32_t freq){
  /*0. configure the system to use RCC2 for advanced features*/
  SYSCTL->RCC2 |= SYSCTL_RCC2_USERCC2;
  /*1. set BYPASS (bit 11)*/
  SYSCTL->RCC2 |= SYSCTL_RCC2_BYPASS2;
  /*2. specify the crystal frequency, the OSCSRC2 bist are cleared to select
       the main oscillator as the oscillator clock source*/
  SYSCTL->RCC &=~ (SYSCTL_RCC_XTAL_M);
  SYSCTL->RCC |= SYSCTL_RCC_XTAL_16MHZ;
  SYSCTL->RCC2 &=~ SYSCTL_RCC2_OSCSRC2_M;
  /*3. clear PWWDN2 (active PLL)*/
  SYSCTL->RCC2 &=~ SYSCTL_RCC2_PWRDN2;
  /*4. set the desired system divider and the system divider least significant bit*/
  SYSCTL->RCC2 |= SYSCTL_RCC2_DIV400;
  SYSCTL->RCC2 &=~ (SYSCTL_RCC2_SYSDIV2LSB | SYSCTL_RCC2_SYSDIV2_M);
  SYSCTL->RCC2 |= freq << 22;
  /*5. wait for PLL to stabilize by waiting for PLLRIS (bit5) -> SYSCTL_RIS_R*/
  while(!(SYSCTL->RIS & SYSCTL_RIS_PLLLRIS));
  /*6. enable use of PLL by clearing BYPASS*/
  SYSCTL->RCC2 &=~ SYSCTL_RCC2_BYPASS2;
  /*update SystemCoreClock variable*/
  SystemCoreClock = SysCtlClockGet();
  return;
}
```

UMAKER | CENTRO DE CAPACITACIÓN DE DESARROLLO TECNOLÓGICO