Architektura komputerów - ULTIMATE

SonMati
Doxus

15 maja 2015

Pytania i odpowiedzi

1. **Moc obliczeniowa komputerów wektorowych**

   - Zależy od liczby stopni potoku.
     Moc obliczeniowa nie jest zależna od liczby stopni potoku. Ta jedynie wpływa na ilosć rozkazów jakie mogą być wykonane w chwili czasu w jednostce potokowej.

   - **Jest odwrotnie proporcjonalna do długości taktu zegarowego**
     Tak, obliczamy ją wzorem $Przep = lim_{n\to\infty} \frac{n}{t_{start}+(n-1)\times\tau} = \frac{1}{\tau}$

   - Jest wprost proporcjonalna do długości taktu zegarowego
     Nie, patrz wyżej.

   - Zależy odwrotnie proporcjonalnie od liczby jednostek potokowych połączonych łańcuchowo.
     Nie, idea operacji wektorowej na komputerze wektorowym zakłada jedną jednostkę potokową. Ich zwiększenie nie powinno wpłynąć bezpośrednio na moc.

   - **Zmierza asymptotycznie do wartości maksymalnej wraz ze wzrostem długości wektora**
     Tak, istnieje pewna wartość maksymalna do której moc dąży logarytmicznie wraz ze wzrostem długości wektora.

   - Nie zależy od długości wektora
     Bzdura, patrz wyżej.

   - Zależy liniowo od długości wektora
     Bzdura, patrz wyżej.

2. **Czy poniższa lista jest rosnąco uporządkowana według skalowalności:**

   - Systemy ściśle połączone, systemy ze wspólną pamięcią, systemy SMP

   - **Systemy ze wspólna magistralą, systemy wielomagistralowe, systemy z przełącznicą krzyżową**

   - Systemy SMP, systemy z pamięcią wieloportową, systemy z przełącznicą krzyżową

   - NUMA, MPP, SMP

   - **Systemy z pamięcią wspólną, systemy o niejednorodnym dostępie do pamięci, z pamięcią rozproszoną**

   - Systemy SMP, NUMA, klastry, UMA

   - **Systemy symetryczne, o niejednorodnym dostępie do pamięci, systemy z przesyłem komunikatów**

3. **Komputery macierzowe**

   - **Mają w liście rozkazów m.in. rozkazy operujące na wektorach danych**
     Tak, te komputery są rozwinięciem komputerów wektorowych i muszą mieć rozkazy wektorowe. Komputery macierzowe posiadają po n *jednostek przetwarzających, które potrafią razem obliczyć* n *składowych wektora.*

   - Mają macierzowe potokowe układy arytmetyczne
     Nie, posiadają natomiast jednostki przetwarzające. Z kolei potokową jednostkę arytmetyczną posiadają komputery wektorowe.

   - Mają w typowych rozwiązaniach zestaw pełnych procesów połączonych siecią połączeń
     Nie, w typowym rozwiązaniu jest jeden pełny procesor z wieloma jednostkami potokowymi, które są połączone siecią łączącą (statyczną lub dynamiczną). Sieć połączeń pełnych procków posiadają superkomputery z top500 (Nie jestem pewien tej odpowiedzi).

   - **Wykonują synchroniczną operację wektorową w sieci elementów przetwarzających**
     Tak właśnie działają.

4. **Przetwarzanie potokowe**

   - Nie jest realizowane dla operacji zmiennoprzecinkowych
     Nie ma takiego ograniczenia. Przetwarzanie potokowe dotyczy optymalizacji czasu wykonywania rozkazów - podziału realizacji rozkazu na fazy. Owszem, dla argumentów zmiennoprzecinkowych mogą wystąpić problemy związane z czasem obliczeń (uniemożliwienie wykonania rozkazu w jednym takcie), co może zablokować napełnianie potoku, jednak nie uniemożliwia to zastosowania potoku.

   - Nie jest realizowane w procesorach CISC
     Przetwarzanie potokowe znalazło zastosowanie głównie w architekturze RISC, jednak CISC też z niej korzysta. Przykłady: VAX 11/780 (CISC), Ultra SPARC III (RISC)

   - **Daje przyspieszenie nie większe od liczby segmentów (stopni) jednostki potokowej**
     Tak, przyspieszenie jest stosunkiem czasu wykonywania n *rozkazów dla procesora niepotokowego oraz czasu dla procesora potokowego. W idealnym przypadku, gdy każdy stopień dzieli okres rozkazu po równo, a liczba rozkazów dąży do nieskończoności, stosunek ten jest równy P - ilości stopni.*

   - W przypadku wystąpienia zależności między danymi wywołuje błąd i przerwanie wewnętrzne.
     Hm, dobre pytanie. Tak, zależności danych mogą wystąpić (zjawisko hazardu) i rozdupić program, ale po to właśnie istnieją mechanizmy by temu zapobiegać. Każda szanująca się architektura to potrafi: albo sprzętowo, albo na etapie kompilacji, która modyfikuje i optymalizuje program. A jeżeli po modyfikacji pewien rozkaz nie wykona się w jednym takcie, napełnianie potoku jest przerywane (ale błędu chyba nie wywala), patrz wyżej.

   - Jest realizowane tylko dla operacji zmiennoprzecinkowych
     Pfff, no chyba nie XD Jest realizowane dla każdego rodzaju rozkazu.

5. **W procesorach superskalarnych**

   - **Liczba rozkazów, które procesor może wykonać w 1 takcie zależy od liczby jednostek potokowych w procesorze**

Procesory superskalarne posiadają wiele jednostek potokowych, które są konieczne by móc wykonywać wiele rozkazów w jednym takcie. Od ich liczby zależy owa liczba rozkazów.

- Liczba rozkazów, które procesor może wykonać w jednym takcie, zależy od liczby stopni potoku.
  Nie, liczba stopni potoku mówi, na ile części dzieli się dany rozkaz w tej jednostce potokowej. One umożliwiają wykonanie wielu rozkazów w jednej jednostce czasu, jednak nie przekłada się to bezpośrednio na liczbę rozkazów, ze względu na zawikłania czasowe, oraz nie jest to idea procesora superskalarnego.

- Liczba rozkazów pobieranych z pamięci, w każdym takcie musi przekraczać liczbę jednostek potokowych
  Liczba pobranych rozkazów powinna być co najmniej równa ilości jednostek potokowych.

- **Liczba rozkazów, które procesor może wykonać w taktach zależy od liczby jednostek potokowych w procesorze**
  Tak, patrz pierwsza odpowiedź.

6. **Systemy SMP (odpowiedzi ?? do sprawdzenia)**

- Wykorzystują protokół MESI do sterowania dostępem do wspólnej magistrali

- Posiadają skalowalne procesory

- Posiadają pamięć fizycznie rozproszoną, ale logicznie wspólną

7. **Komputery wektorowe**

- Posiadają jednostki potokowe o budowie wektorowej
  Nie, posiadają potokowe jednostki arytmetyczne, które nie są wektorowe.

- **Posiadają w liście rozkazów m.in. rozkazy operujące na wektorach danych**
  Jak najbardziej, nie mogłyby się bez tego obejść.

- **Wykorzystują od kilku do kilkunastu potokowych jednostek arytmetycznych**
  Tak, tych jednostek może być wiele, można to zauważyć na przykładzie komputera Cray-1 (wykład 7-8, slajd 31)

- Posiadają listę rozkazów operujących wyłącznie na wektorach
  Zdecydowanie nie. Owszem, te komputery posiadają rejestry wektorowe i wektorowe jednostki zmiennoprzecinkowe, ale nie jest to wszystko. Mają również normalne rejestry, adresację, jednostki skalarne i możliwość wykonywania na nich operacji.

8. **Procesory wektorowe**

- **Mogą być stosowane w systemach wieloprocesorowych**
  Domyślnie procesory wektorowe mogą pracować pojedynczo, ale mogą być częścią takiego systemu. Poza tym nie znalazłem nic, co by temu przeczyło. Jest też np. CUDA - architektura wielordzeniowych procesorów graficznych. Sama architektura SIMD działa na wielu procesorach.

- Mają listę rozkazów operującą jedynie na wektorach
  Nie, posiadają też m.in. potokowe jednostki arytmetyczne oraz jednostki skalarne, do operowania na zwykłych liczbach.

- **Mają moc kilka razy większą od procesorów skalarnych**
  Tak, przyspieszenie jest ilorazem czasu wykonywania na procesorze niewektorowym do czasu wykonywania na procesorze wektorowym. Np. dla rozkazu dodawania n *wektorów przyspieszenie wyliczane jest wg wzoru* $a = \frac{15\tau n}{t_{start}+(n-1)\tau}$*, gdzie przy* n *dążącym do nieskończoności* a *jest równe 15.*

9. **Systemy MPP są zbudowane z węzłów którymi mogą być**
   - **Systemy SMP**
   - Klastry
   - Konstelacje
   - **Systemy NUMA**
   - **Procesory**

10. **W architekturze NUMA**
    - **Dane są wymieniane między węzłami w postaci linii pamięci podręcznej (PaP)**
    - Spójność PaP węzłów jest utrzymywana za pomocą protokołu MESI
    - Czas dostępu do pamięci lokalnej w węźle jest podobny do czasu dostępu do pamięci nielokalnej
    - **Czas zapisu danych do pamięci nielokalnej może być znacznie dłuższy od czasu odczytu z tej pamięci**
    - **Każdy procesor ma dostęp do pamięci operacyjnej każdego węzła**
    - Procesy komunikują się poprzez przesył komunikatów
    - **Pamięć operacyjna jest rozproszona fizycznie pomiędzy węzłami, ale wspólna logicznie**

11. **Mechanizmy potokowe stosowane są w celu**
    - Uszeregowania ciągu wykonywanych rozkazów
      Nie, zupełnie nie o to chodzi. Ciąg może zostać uszeregowany przez kompilator w celu optymalizacji. Jednak celem tego mechanizmu jest zrównoleglenie wykonywania rozkazów → zmiana kolejności ich realizacji nie jest założeniem.
    - **Uzyskania równoległej realizacji rozkazów**
      No tyć. Potoki umożliwiają realizację wielu rozkazów jednocześnie dzieląc jednostkę centralną na wg stopni, jak np. pobranie rozkazu i wykonania rozkazu. Dzięki temu dwa rozkazy mogą wykonywać się jednocześnie, oba w innych fazach (jednostkach czasu).

- **Przyspieszenia realizacji rozkazów**
  Tak, to główny cel. Umożliwienie wykonania rozkazów umożliwia przyspieszenie, które oblicza się jako stosunek czasu wykonywania rozkazów w procesorze niepotokowym do czasu realizacji w procesorze potokowym. W idealnym przypadku jest ono równe P *- ilości podziałów / stopni / faz / zwał jak zwał.*

12. **Protokół MESI**

- Jest wykorzystywany do sterowania dostępem do magistrali w systemie SMP
- **Zapewnia spójność pamięci cache w systemie SMP**
- Służy do wymiany komunikatów w systemie MPP
- Chroni przed hazardem w proc superskalarnych

13. **Mechanizm skoków opóźnionych**

- **Polega na opóźnianiu wykonywania skoku do czasu wykonania rozkazu następnego za skokiem**
  Tak, cały ten mechanizm sprowadza się do opóźnienia efektu skoku o jeden rozkaz. Zapewnia to, że rozkaz następny po skoku zawsze będzie wykonywany w całości.
- Wymaga wstrzymania potoku na jeden takt.
  Nie, mechanizm potoków nie musi być wstrzymywany. Mechanizm ten zmienia postać programu w trakcie kompilacji, ale na samą realizację potoku nie ma wpływu (afaik, not sure).
- Powoduje błąd na końcu pętli
  Pfff, jak programista ssie pałę to tak, jednak w założeniu tak się nie dzieje.
- **Wymaga umieszczenia rozkazu NOP za rozkazem skoku lub reorganizacje programu**
  Tak, mechanizm sprowadza się do tego, i tylko do tego, patrz pierwsza odpowiedź.

14. **Charakterystyczne cechy architektury MPP**

- Spójność pamięci podręcznej wszystkich węzłów
- **Fizycznie rozproszona PaO**
- Fizycznie rozproszona PaO, ale logicznie wspólna
- **Przesył komunikatów między procesorami**
- Niska skalowalność
- Jednorodny dostęp do pamięci wszystkich węzłów

15. **Jak można ominąć hazard danych**

- Poprzez rozgałęzienia
  Nie, rozgałęzienie to po prostu instrukcje typu IF, które tworzą takie rozgałęzienia. Mechanizm przewidywania rozgałęzień jest stosowany do usuwania hazardu sterowania związanego ze skokami i rozgałęzieniami.

- Poprzez uproszczenie adresowania - adresowanie bezpośrednie.
  Bullshit. Nie wiem w czym miało by pomóc uproszczenia adresowania, poza pójściem w stronę RISCu, ale na hazard to nie pomoże. Tym można tylko skrócić czas odwołania się do danych.

- **Przez zamianę rozkazów**
  Tak, i na tym polega mechanizm skoków opóźnionych, które mogą program zmodyfikować (dodać rozkaz NOP) albo zoptymalizować, właśnie zamieniają rozkazy kolejnością.

16. **Cechy architektury CISC**

- Czy może być wykonana w VLIW
  Nie, architektura VLIW dotyczy mikroprocesorów i miała na celu jak największe zmniejszenie jednostki centralnej i jej rozkazów (RISC).

- **Czy występuje model wymiany danych typu pamięć - pamięć**
  Tak, posiada również niewielką ilość rejestrów.

- Jest mała liczba rozkazów
  Nie, w tej architekturze jest PEŁNA (complex) lista rozkazów. Niektóre z zaawansowanych pleceń nawet nie były wykorzystywane, i bum! tak powstał RISC.

17. **Cechy architektury RISC**

- **Czy występuje model wymiany danych typu rej-rej**
  Tak, a komunikacja z pamięcią operacyjną odbywa się wyłącznie za pomocą rozkazów LOAD i STORE.

- **Jest mała liczba trybów adresowania**
  Tak, raptem 4 w procesorze RISC I podczas gdy CISCi mogą mieć ich kilkanaście, w tym takie bardzo złożone.

- Jest wykonywanych kilka rozkazów w jednym takcie
  Fałsz. Prawdziwe wykonywanie wielu rozkazów w jednym takcie wymaga superskalarnosci - wielu jednostek potokowych. Cechą architektury RISC jest potokowość, ale pojedyncza.

- **Jest wykonywanych kilka rozkazów w jednym takcie (w danej chwili czasu)**
  Chodzi o przetwarzanie potokowe. Tu jest haczyk - pierwszy procesor RISC I (1980) stawiał sobie za cel wykonanie jednego rozkazu w jednym takcie *i dokładnie tak brzmiało jego założenie projektowe. Jednak jego fizyczna realizacja (1982) posiadała dwustopniowy potok. Również w wykładach jako cecha tej architektury jest napisane "Intensywne wykorzystanie przetwarzania potokowego", co odnosi się do faktu, że obecnie nie ma procesora typu RISC, który go nie ma. Wg mnie prawda.*

- Jest wykonywanych kilka instrukcji procesora w jednym rozkazie asemblerowym
  Nic mi na ten temat nie wiadomo. Brzmi jednak zbyt hardo i odlegle od tematu zmniejszania ilości rozkazów.

- **Układ sterowania w postaci logiki szytej**
  Tak.

18. **Przepustowość (moc obliczeniowa) dużych komputerów jest podawana w:**
    - **GFLOPS**
    - Liczbie instrukcji wykonywanych na sekundę
    - **Liczbie operacji zmiennoprzecinkowych na sekundę**
    - Mb/sek
      To jest do zapamiętania na prostu - takie są standardy

19. **Podstawą klasyfikacji Flynna jest**
    - Liczba jednostek przetwarzających i sterujących w systemach komputerowych
    - Protokół dostępu do pamięci operacyjnej
    - Liczba modułów pamięci operacyjnej w systemach komputerowych
    - **Liczba strumieni rozkazów i danych w systemach komputerowych**
      To po prostu należy zapamiętać. ***Kryterium klasyfikacji Flynna jest*** **liczba strumieni rozkazów** ***oraz*** **liczba strumieni danych** ***w systemie komputerowym. NIC WIĘCEJ, NIC MNIEJ.***
      Albo inaczej: $Liczba\_strumieni \times (rozkazow + danych)$

20. **Rozkazy wektorowe mogą być realizowane przy wykorzystaniu**
    - **Macierzy elementów przetwarzających**
      Tak, komputery macierzowe operują na rozkazach wektorowych.
    - Zestawu procesorów superskalarnych
      Procesory superskalarne w założeniu nie posiadają rozkazów wektorowych.
    - **Technologii MMX**
      Tak, jest to pochodna technologia modelu SIMD, wykonuje operacje na krótkich wektorach (64-bit)
    - Sieci połączeń typu krata
      Jest to sieć połączeń, która łączy jednostki przetwarzające w komputerze macierzowym. Raczej na wektorach na część komputera nie działa.
    - **Potokowych jednostek arytmetycznych**
      Tak, takie znajdują się w komputerach wektorowych.

21. **Architektura superskalarna**
    - Dotyczy systemów SMP
      Zdecydowanie nie tylko. Architektura superskalarna wymaga mechanizmu potokowego, czyli dotyczy głównie architektury RISC.

- Wymaga zastosowania protokołu MESI
  Nie, architektura superskalarna wymaga jedynie zastosowania co najmniej dwóch jednostek potokowych.

- **Umożliwia równoległe wykonywanie kilku rozkazów w jednym procesorze**
  Tak, i taki jest cel jej istnienia. Umożliwia to mechanizm potokowy.

- Wywodzi się z architektury VLIW
  Wręcz odwrotnie, to VLIW wykorzystuje architekturę superskalarną na której opiera swój podział rozkazów na paczki.

22. **Klastry**

- Mają średnią skalowalność

- Wykorzystują model wspólnej pamięci

- **W węzłach mogą wykorzystywać systemy SMP**

- **Do komunikacji między procesami wykorzystują przesył komunikatów**

- Wykorzystują przełącznicę krzyżową jako sieć łączącą węzły

- **W każdym węźle posiadają pełną instalację systemu operacyjnego**

23. **Pojęcie równoległości na poziomie rozkazów**

- Dotyczy architektury MIMD
  Nie, ten rodzaj równoległości dotyczy mechanizmów potokowych (CISC i RISC), architektury superskalarnej oraz VLIW.

- **Odnosi się m.in. do przetwarzania potokowego**
  Tak, ideą mechanizmu potoków jest zrównoleglenie rozkazów i możliwość wykonywania wielu z nich w tej samej chwili czasu.

- Dotyczy architektury MPP
  Nie, patrz wyżej.

- **Dotyczy m.in. architektury superskalarnej**
  Tak, patrz wyżej.

24. **Systemy wieloprocesorowe z pamięcią wspólną**

- Zapewniają jednorodny dostęp do pamięci

- **Mogą wykorzystywać procesory CISC**

- **Są wykorzystywane w klastrach**

- Wykorzystują przesył komunikatów między procesorami

- **Wykorzystują katalog do utrzymania spójności pamięci podręcznych**

25. **Hazard danych**

- **Czasami może być usunięty przez zmianę kolejności wykonania rozkazów**
  Tak, służy do tego mechanizm skoków opóźnionych, który odbywa się na poziomie kompilacji programu.

- Nie występuje w architekturze superskalarnej
  Występuje wszędzie tam gdzie jest potokowe przetwarzania rozkazów.

- Jest eliminowany przez zastosowanie specjalnego bitu w kodzie program
  Nic mi o tym nie wiadomo. Pewne dodatkowe bity są wykorzystywane w mechanizmie przewidywania rozgałęzień, który służy do eliminacji hazardu, jednak on to odbywa się PRZED realizacją programu i sprowadza się do zmiany kolejnosci wykonywania rozkazów przez kompilator. Nic nie dodaje do treści programu.

- Może wymagać wyczyszczenia potoku i rozpoczęcia nowej (...)
  Nie wiem jak hazard danych może czegokolwiek wymagać skoro jest zjawiskiem ubocznym i je eliminujemy. Sprzętowa i programowa eliminacja hazardu jedynie może doprowadzić do ***wstrzymania*** *napełniania potoku.*

26. **Przetwarzanie wielowątkowe**

- **Zapewnia lepsze wykorzystanie potoków**
  Tak, ma na celu minimalizację strat cykli w trakcie realizacji wątku, jakie mogą powstać na wskutek:
  - chybionych odwołań do pamięci podręcznej;
  - błędów w przewidywaniu rozgałęzień;
  - zależności między argumentami

- **Minimalizuje straty wynikające z chybionych odwołań do pamięci podręcznej**
  Tak, patrz wyżej.

- **Wymaga zwielokrotnienia zasobów procesora (rejestry, liczniki rozkazów, itp.)**
  Niestety tak, jest to warunek sprzętowej realizacji wielowątkowości.

- Nie może być stosowane w przypadku hazardu danych
  Nie, hazard danych wynika z zależności między argumentami, które są naturalnym ryzykiem przy stosowaniu mechanizmu potokowego. Nie powinny być blokowane z tego powodu, tym bardziej, że wielowątkowość ma dodatkowo chronić liczbę cykli przed zgubnym wpływem hazardu.

27. **Okna rejestrów**

- Chronią przez hazardem danych
  Lolnope, od tego są mechanizmy skoków opóźnionych i przewidywania rozgałęzień. Okno rejestrów zapewnia ciągłe i optymalne wykonywanie procedur.

- **Minimalizują liczbę odwołań do pamięci operacyjnej przy operacjach wywołania procedur**
  Tak, dokładnie do tego one służą. Rejestr niski procedury A staje się rejestrem wysokim procedury B itd. Innymi słowy, procedura A wywołuje procedurę B, i tak dalej. I po coś w tym wszystkim są rejestry globalne.

- Są charakterystyczne dla architektury CISC
  Nie, zostały zaprojektowane specjalnie dla architektury RISC. Jako pierwszy posiadał je procesor RISC I.

- Są zamykane po błędnym przewidywaniu wykonania skoków warunkowych.
  W mechanizmie prognozowania rozgałęzień jest możliwość błędnego przewidywania. Jednak błędna prognoza powoduje tylko zmianę strategii (przewidywanie wykonania lub niewykonania), a nie zamykanie okna.

- **Są przesuwane przy operacjach wywołania procedur**
  Tak, z każdą nową wywołaną procedurą okno rejestrów przesuwane jest w dół (ze 137 do 0)

28. **Tablica historii rozgałęzień**

- **Zawiera m.in. adresy rozkazów rozgałęzień**
  Tak, tablica ta zawiera bit ważności, adres rozkazu rozgałęzienia*, bity historii oraz* adres docelowy rozgałęzienia*.*

- **Pozwala zminimalizować liczbę błędnych przewidywań rozgałęzień w zagnieżdżonej pętli**
  Tak, z tego co wiem jest strategią dynamiczną i najbardziej optymalną ze wszystkich - skończony automat przewidywania rozgałęzień oparty na tej tablicy (z dwoma bitami historii) może być zrealizowany na dwóch bitach.

- Nie może być stosowana w procesorach CISC
  Ten mechanizm służy zabezpieczeniu przed hazardem, który występuje w przetwarzaniu potokowym, a z tego korzystają zarówno CISC jak i RISC.

- Jest obsługiwana przez jądro systemu operacyjnego
  Chyba nie, ten mechanizm znajduje się w sprzęcie procesora.

29. **Rozkazy wektorowe**

- Nie mogą być wykonywane bez użycia potokowych jednostek arytmetycznych
  Mogą. Komputery macierzowe ich nie posiadają i wykonują rozkazy wektorowe sprawnie.

- **W komputerach wektorowych ich czas wykonania jest wprost proporcjonalny do długości wektora**
  Tak, na przykładzie rozkazu dodawania wektorów widać, że czas rośnie równomiernie wraz z ilością elementów wektora.
  $t_w = t_{start} + (n-1) \times \tau$

- **Są charakterystyczne dla architektury SIMD**
  Tak, z niej się zrodziły, tak samo jak m.in. technologie MMX i SSE.

- Są rozkazami dwuargumentowymi i w wyniku zawsze dają wektor
  Nie, mogą operować na 1 argumencie na przykład. Rozkaz może być też 3 argumentowy, jak rozkaz dodawania VADD. Pierwszym argumentem jest rejestr docelowy, zawartość pozostałych dwóch jest dodana.

30. **Model SIMD**

- Był wykorzystywany tylko w procesorach macierzowych
  Nie, o niego oparte są również m.in. procesory wektorowe, GPU, technologie MMX oraz SSE. Nie, był również wykorzystywany w komputerach wektorowych, rozszerzeniach SIMD oraz GPU.

- **Jest wykorzystywany w multimedialnych rozszerzeniach współczesnych procesorów**

- **Jest wykorzystywany w heterogenicznej architekturze PowerXCell**

- **Zapewnia wykonanie tej samej operacji na wektorach argumentów**

31. **Przesył komunikatów**

    - **Ma miejsce w systemach MPP**

    - W systemach MPP II-giej generacji angażuje wszystkie procesory na drodze przesyłu

    - **Ma miejsce w klastrach**

32. **Cechami wyróżniającymi klastry są**

    - **Niezależność programowa każdego węzła**

    - Fizycznie rozproszona, ale logicznie wspólna pamięć operacyjna

    - Nieduża skalowalność

    - **Na ogół duża niezawodność**

33. **Systemy wieloprocesorowe z pamięcią rozproszoną**

    - Wyróżniają się bardzo dużą skalowalnością

    - Są budowane z węzłów, którymi są klastry

    - **Realizują synchronicznie jeden wspólny program**

    - Wymagają zapewnienia spójności pamięci podręcznych pomiędzy węzłami

34. **Problemy z potokowym wykonywaniem rozkazów skoków (rozgałęzień) mogą być wyeliminowane lub ograniczone przy pomocy**

    - Zapewnienia spójności pamięci podręcznej
      Nie, to problem komputerów wieloprocesorowych.

    - **Tablicy historii rozgałęzień**
      Tak, to najprawdopodobniej najlepszy służący ku temu mechanizm. Stara się przewidywać czy skok będzie wykonany bądź nie, wykorzystuje do tego kilka strategii.

- Techniki wyprzedzającego pobrania argumentu
  Nie, ten mechanizm służy do eliminacji hazardu danych - zależności między argumentami.

- **Wystawienia do programu rozkazów typu „nic nie rób”**
  Tak, tym rozkazem jest NOP *i jest wstawiany przez mechanizm skoków opóźnionych, który służy do zabezpieczania potoku.*

- Protokołu MESI
  Nie, on jest od zapewnienia spójności pamięci wspólnej czy jakoś tak.

- **Wykorzystania techniki skoków opóźniających**
  Tak, umożliwiają ona modyfikację programu (wstawienie rozkazu NOP), albo jego optymalizację (zamiana kolejności wykonywania rozkazów.) Mechanizm ten opóźnia efekt skoku o jeden rozkaz, co zapewnia, że rozkaz po skoku będzie w całości wykonany.

- Technologii MMX

35. **W architekturze ccNUMA**

- **Każdy procesor ma dostęp do pamięci operacyjnej każdego węzła**

- Spójność pamięci pomiędzy węzłami jest utrzymywana za pomocą protokołu MESI

- **Dane są wymieniane między węzłami w postaci linii pamięci podręcznej**

- **Pamięć operacyjna jest fizycznie rozproszona pomiędzy węzłami, ale wspólna logicznie**

36. **Dla sieci systemowych (SAN) są charakterystyczne**

- **Przesył komunikatów w trybie zdalnego DMA**

- **Bardzo małe czasy opóźnień**

- Topologia typu hipersześcian

- Niska przepustowość

37. **W systemach wieloprocesorowych katalog służy do**

- Śledzenia adresów w protokole MESI

- Sterowania przesyłem komunikatów

- **Utrzymania spójności pamięci w systemach o niejednorodnym dostępie do pamięci**

- **Realizacji dostępu do nielokalnych pamięci w systemach NUMA**

38. **W procesorach superskalarnych**

- **Jest możliwe równoległe wykonywanie kilku rozkazów w jednym procesorze (rdzeniu)**
  Tak, własnie taka jest idea stworzenia procesorów superskalaranych, by móc w jednym takcie wykonać > 1 liczby instrukcji. Zapewnia to niepojedyncza liczba jednostek potokowych.

- **Rozszerzenia architektury wykorzystujące model SIMD umożliwiają wykonanie rozkazów wektorowych**

- Nie występuje prawdziwa zależność danych
  Niestety występuje, i prawdę mówiąc, występuje tutaj każdy rodzaj zależności między rozkazami: prawdziwa zależność danych, zależność wyjściowa oraz antyzależność.

- **Mogą wystąpić nowe formy hazardu danych: zależności wyjściowe między rozkazami oraz antyzależności**
  Tak, patrz wyżej.

39. **Efektywne wykorzystanie równoległości na poziomie danych umożliwiają**

- **Komputery wektorowe**

- **Komputery macierzowe**

- **Klastry**

- **Procesory graficzne**

- **Rozszerzenia SIMD procesorów superskalarnych**

  Ogółem zastosowanie tej równoległości jest możliwe gdy mamy do czynienia z wieloma danymi, które mogą być przetwarzane w tym samym czasie. A grafika, wektory, macierze itp. do takich należą.

40. **Wielowątkowość współbieżna w procesorze wielopotokowym zapewnia**

- **Możliwość wprowadzenia rozkazów różnych wątków do wielu potoków**
  Tak, jest to charakterystyczna cecha tego typu wielowątkowości. Z kolei wielowątkowości grubo- i drobnoziarniste umożliwiają wprowadzenie do wielu potoków wyłącznie *jednego wątku (w jednym takcie!)*

- **Realizację każdego z wątków do momentu wstrzymania któregoś rozkazu z danego wątku**
  Tak, wątek jest realizowany do momentu wstrzymania rozkazu. Tę samą cechę posiada wielowątkowość gruboziarnista. Z kolei wielowątkowość drobnoziarnista w kolejnych taktach realizuje naprzemiennie rozkazy kolejnych wątków.

- Przełączanie wątków co takt
  Nie, to umożliwia tylko wielowątkowość drobnoziarnista.

- Automatyczne przemianowanie rejestrów
  Głowy nie dam, ale chyba żadna wielowątkowość nie zapewnia automatycznego przemianowania.

41. **Architektura CUDA**

- **Umożliwia bardzo wydajne wykonywanie operacji graficznych**
  Tak, ta architektura jest rozwinięciem mechanizmów wektorowych oraz macierzowych i jest przeznaczona specjalnie dla przetwarzania grafiki.

- **Stanowi uniwersalną architekturę obliczeniowa połączoną z równoległym modelem programistycznym**
  Tak, pomimo specjalizacji graficznej, architektura ta jest uniwersalna i zdolna do wszystkiego. Procesory posiadają uniwersalne programy obliczeniowe, a CUDA posiada model programistyczny (oraz podział programu na 5 faz). Składa się on z:
  - Kompilatora NVCC;
  - Podział programu na kod wykonywany przez procesor (host code) oraz kartę graficzną (kernel);
  - Realizacja obliczeń równoległych wg modelu SIMT (Single Instruction Multiple Threading)

- **Realizuje model obliczeniowy SIMT**
  *Tak, patrz wyżej. Działanie: wiele niezależnych wątków wykonuje tę samą operację. Architektura posiada również mechanizm synchronizacji wątków (*barrir synchronization*) dla komunikacji oraz współdzielona pamięć.*

- Jest podstawą budowy samodzielnych, bardzo wydajnych komputerów
  Komputery CUDA nie są ogólnego zastosowania, tylko do ogólnych problemów numerycznych. Na pewno nie są podstawą, bo np. komputer ... (dokończyć by trza)

42. **Spójność pamięci podręcznych w procesorze wielordzeniowym może być m.in. zapewniona za pomocą**

- Przełącznicy krzyżowej
  Nie, to tylko jakieś rozwiązanie sieci połączeń.

- Katalogu
  ie,to bardziej zaawansowany shit służący do komunikacji.

- **Protokołu MESI**
  Tak, i tylko to do tego służy.

- Wspólnej magistrali
  Nie, ona służy do komunikacji i synchronizacji (?) dostępu do pamięci.

43. **Metoda przemianowania rejestrów jest stosowana w celu eliminacji:**

- Błędnego przewidywania rozgałęzień
  Nie, do tego służy m.in. tablica historii rozgałęzień.

- Chybionego odwołania do pamięci podręcznej
  Nie, to jest problem architektury VLIW i eliminuje się do przez przesunięcie rozkazów LOAD jak najwyżej, tak aby zminimalizować czas ewentualnego oczekiwania

- Prawdziwej zależności danych
  Nie, od tego jest metoda wyprzedzającego pobierania argumentu.

- **Zależności wyjściowej między rozkazami.**
  Tak, ta metoda eliminuje powyższy i poniższy problem. Polega na dynamicznym przypisywaniu rejestrów do rozkazów.

- **Antyzależności między rozkazami**
  Patrz wyżej.

44. **W systemach wieloprocesorowych o architekturze CC-NUMA**

- **Spójność pamięci wszystkich węzłów jest utrzymywana za pomocą katalogu**

- **Pamięć operacyjna jest rozproszona fizycznie pomiędzy węzłami, ale wspólna logicznie**

- Każdy procesor ma bezpośredni dostęp do pamięci operacyjnej każdego węzła

- Dane są wymieniane między węzłami w postaci linii pamięci podręcznej

45. **W tablicy historii rozgałęzień z 1 bitem historii można zastosować następujący algorytm przewidywania (najbardziej złożony)**

- Skok opóźniony
  Nie, skoki opóźnione nie służą do przewidywania rozgałęzień, są zupełnie innym mechanizmem eliminacji hazardu.

- Przewidywanie, że rozgałęzienie (skok warunkowy) zawsze nastąpi
  Nie, to strategia statyczna, która może być wykonywana gdy adres rozkazu rozgałęzienia NIE jest w tablicy. Nie wykorzystuje bitu historii.

- Przewidywanie, że rozgałęzienie nigdy nie nastąpi
  Nie, to strategia statyczna, która może być wykonywana gdy adres rozkazu rozgałęzienia NIE jest w tablicy. Nie wykorzystuje bitu historii.

- **Przewidywanie, że kolejne wykonanie rozkazu rozgałęzienia będzie przebiegało tak samo jak poprzednie**
  Tak, i to jest wszystko na co stać historię 1-bitową. Historia 2-bitowa umożliwia interpretację:
  - historii ostatniego wykonania skoku - tak lub nie;
  - przewidywania następnego wykonania skoku - tak lub nie
  A zamiana strategii następuje dopiero po drugim błędzie przewidywania.

- Wstrzymanie napełniania potoku
  Nie, wstrzymywanie potoku mogą spowodować algorytmy zajmujące się eliminacją hazardu danych - zależnosci między argumentami.

46. **Do czynników tworzących wysoką niezawodność klastrów należą**

- **Mechanizm mirroringu dysków**

- **Dostęp każdego węzła do wspólnych zasobów(pamięci zewnętrznych)**

- **Redundancja węzłów**

- Mechanizm "heartbeat"
- Zastosowanie procesorów wielordzeniowych w węzłach

Teoria

1 Historia rozwoju komputerów

1. Liczydło
2. Pascalina - maszyna licząca Pascala (dodawanie i odejmowanie)
3. Maszyna mnożąca Leibniza (dodawanie, odejmowanie, mnożenie, dzielenie, pierwiastek kwadratowy
4. Maszyna różnicowa - Charles Babbage, obliczanie wartości matematycznych do tablic
5. Maszyna analityczna - Charles Babvage, programowalna za pomocą kart perforowanych
6. Elektryczna maszyna sortująca i tabelaryzująca Holleritha 1890
7. Kalkulator elektromechaniczny Mark I, tablicowanie funkcji, całkowanie numeryczne, rozwiązywanie równań różniczkowych, rozwiązywanie układów równań liniowych, analiza harmoniczna, obliczenia statystyczne
8. Maszyny liczące Z1: pamięć mechaniczna, zmiennoprzecinkowa reprezentacja liczb, binarna jednostka zmiennoprzecinkowa
9. Z3: Pierwsza maszyna w pełni automatyczna, kompletna w sensie Turinga, pamięć przekaźnikowa
10. Colossus i Colossus 2
11. ENIAC
12. EDVAC - J. von Neumann (wtedy utworzył swoją architekturę)
13. UNIVAC I (pierwszy udany komputer komercyjny)
14. IBM 701, potem 709
15. po 1955 zaczyna się zastosowanie tranzystorów w komputerach (komputery II generacji)
16. po 1965 komputery III generacji z układami scalonymi
17. od 1971 komputery IV generacji - z układami scalonymi wielkiej skali inegracji VLSI

2 Architektura CISC

2.1 Znaczenie

Complex Instruction Set Computers

2.2 Przyczyny rozwoju architektury CISC

- Drogie, małe i wolne pamięci komputerów
- Rozwój wielu rodzin komputerów
- Duża popularność mikroprogramowalnych układów sterujących (prostych w rozbudowie)
- Dążenie do uproszczenia kompilatorów: im więcej będzie rozkazów maszynowych odpowiadających instrukcjom języków wyższego poziomu tym lepiej; model obliczeń pamięć – pamięć.

2.3 Cechy architektury CISC

- Duża liczba rozkazów (z czego te najbardziej zaawansowane i tak nie były używane)
- Duża ilość trybów adresowania (związane z modelem obliczeń)
- Duży rozrzut cech rozkazów w zakresie:
  - złożoności
  - długości (szczególnie to - nawet kilkanaście bajtów)
  - czasów wykonania
- Model obliczeń pamięć - pamięć
- Niewiele rejestrów - były droższe niż komórki pamięci i przy przełączaniu kontekstu obawiano się wzrostu czasu przełączania kontekstu (chowanie rejestrów na stos i odwrotnie)
- Przerost struktury sprzętowej przy mało efektywnym wykorzystaniu list rozkazów

CIEKAWOSTKA: Przeanalizowano jakieś tam programy i w procesorze VAX 20% najbardziej złożonych rozkazów odpowiadało za 60% kodu, stanowiąc przy tym ok 0.2% wywołań.
W procesorze MC68020 71% rozkazów nie zostało nawet użytych w badanych programach

3 Architektura RISC

3.1 Znaczenie

Reduced Instruction Set Computers.

3.2 Przyczyny rozwoju

- Poszukiwanie optymalnej listy rozkazów
- Chęć wykonania mikroprocesora o funkcjach pełnego ówczesnego procesora

3.3 Pierwszy procesor RISC

Procesor RISC I (1980), D. Patterson (Berkeley University)
Założenia projektowe:

- Wykonanie jednego rozkazu w jednym cyklu maszynowym
- Stały rozmiar rozkazów – uproszczenie metod adresacji
- Model obliczeń rejestr – rejestr: komunikacja z pamięcią operacyjną tylko za pomocą rozkazów LOAD i STORE.
- Wsparcie poprzez architekturę języków wysokiego poziomu.

Efekty realizacji fizycznej:

- 44 420 tranzystorów (ówczesne procesory CISC zawierały ok. 100 000 tranzystorów)
- lista rozkazów = 32 rozkazy
- dwustopniowy potok – strata tylko 6% cykli zegara, zamiast 20% (w związku z realizacją skoków)

3.4 Cechy architektury RISC

1. Stała długość i prosty rozkaz formatu
2. Nieduża liczba trybów adresowania
3. Niezbyt obszerna lista rozkazów
4. Model obliczeń rejestr-rejestr - dostęp do pamięci operacyjnej tylko w rozkazach LOAD i STORE
5. Duży zbiór rejestrów uniwersalnych
6. Układ sterowania – logika szyta
7. Intensywne wykorzystanie przetwarzania potokowego
8. Kompilatory o dużych możliwościach optymalizacji potoku rozkazów

3.5 Format rozkazu procesora RISC I

7	1	5	5	1	13
OPCODE	SCC	DEST	SRC1	IMM	SRC2

- OPCODE–kod rozkazu
- SCC – ustawianie (lub nie) kodów warunków
- DEST – nr rejestru wynikowego
- SRC1 – nr rejestru zawierającego pierwszy argument
- IMM – wskaźnik natychmiastowego trybu adresowania
- SRC2 – drugi argument lub nr rejestru (na 5 bitach)

3.6 Realizacja wybranych rozkazów

3.6.1 Rozkazy arytmetyczne

- **Tryb rejestrowy**: (IMM=0) R[DEST] $\leftarrow$ R[SRC1] op R[SRC2]
- **Tryb natychmiastowy:** (IMM=1) R[DEST] $\leftarrow$ R[SRC1] op SRC2

3.6.2 Rozkazy komunikujące się z pamięcią

- **LOAD** R[DEST] $\leftarrow$ M[AE]P
- **STORE** M[AE] $\leftarrow$ R[DEST]

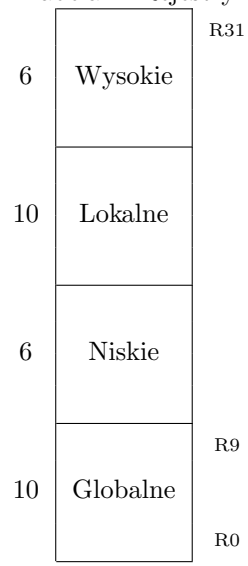
3.6.3 Adres efektywny

- **Tryb z przesunięciem** AE = R[SRC1] + SRC2 = RX + S2
- **Inny zapis powyższego** AE = RX + S2
- **Tryb absolutny** AE = R0 + S2 = S2 (R0 $\equiv$ 0)
- **Tryb rejestrowy pośredni** AE = RX + 0 = RX

Tryb absolutny oraz tryb rejestrowy pośredni są przypadkami szczególnymi.

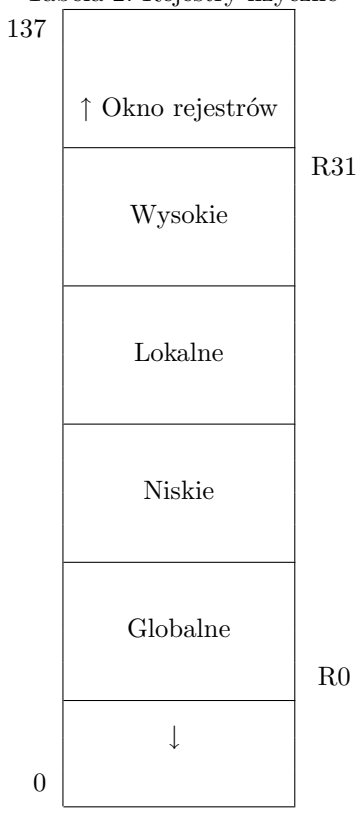
3.7 Logiczna organizacja rejestrów procesora RISC I

Tabela 1: Rejestry



3.8 Okno rejestrów

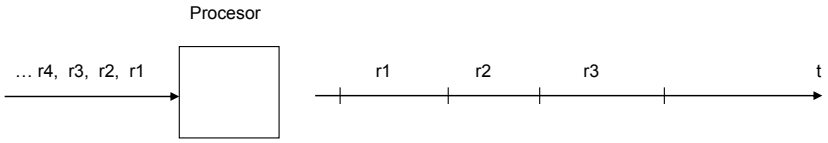
Tabela 2: Rejestry fizyczne



4 Mechanizmy potokowe

4.1 Realizacja rozkazów w procesorze niepotokowym

Rozkazy wykonywane są liniowo w czasie - jeden po drugim, w takiej kolejności w jakiej przyjdą do procesora.

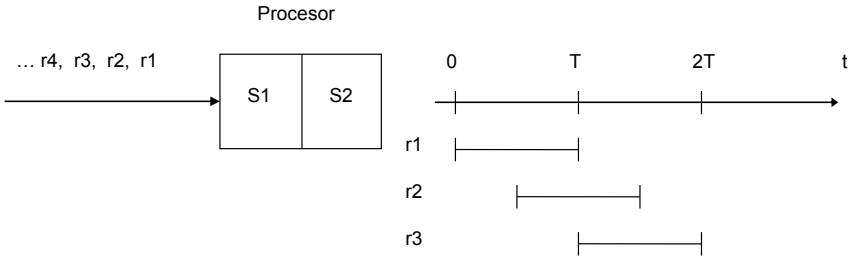


4.2 Potokowe wykonanie rozkazówdla prostej organizacji cyklu rozkazowego

Prosty podział procesora na moduły:

- S1 - pobranie rozkazu
- S2 - wykonanie rozkazu

Zakładając, że czas pracy obu modułów jest równy, wówczas 3 rozkazy mogą zostać wykonane w 2 okresach. 1 T - pobranie i wykonanie rozkazu. W momencie gdy pierwszy rozkaz zostanie pobrany, w chwili 0.5 T S1 może pobrać kolejny.



4.3 Podział cyklu rozkazowego na większą liczbę faz

Na przykładzie cyklu rozkazowego komputera Amdahl 470:

1. Pobranie rozkazu
2. Dekodowanie rozkazu
3. Obliczenie adresu efektywnego
4. Pobranie argumentów
5. Wykonanie operacji
6. Zapis wyniku

Zasada działania jest dokładnie taka sama jak w przypadku podziału na dwie fazy. Załóżmy, że jeden rozkaz wykonuje się w 7iu taktach zegarowych. 1 T = 7 F. Wówczas w momencie gdy rozkaz numer 1 znajduje się w 5tym takcie wykonania rozkaz numer 5 może zostać pobrany.

Rozkazy	Fazy zegarowe						
	1	2	3	4	5	6	7
S1	r1	r2	r3	r4	r5	r6	r7
S2		r1	r2	r3	r4	r5	r6
S3			r1	r2	r3	r4	r5
S4				r1	r2	r3	r4
S5					r1	r2	r3
S6						r1	r2

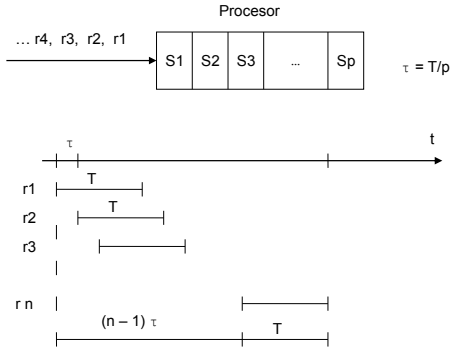
Tabela 3: Realizacja ciągu rozkazów w wielostopniowym procesorze potokowym.

4.4 Analiza czasowa potokowej realizacji ciągu rozkazów

Założenia:

- **P** - liczba faz
- **T** - okres
- $\frac{T}{P} = \tau$ - czas wykonania pojedynczej fazy

$(n-1) \times \tau$ - czas rozpoczęcia wykonywania n-tego rozkazu.



4.5 Przyspieszenie dla potokowego wykonania rozkazów

- Czas wykonywania rozkazu w procesorze niepotokowym (dla n rozkazów)

$$t = n \times T$$

- Czas wykonywania rozkazu w procesorze potokowym dla idealnego przypadku, gdy $\tau = \frac{T}{P}$

$$t = (n-1) \times \tau + T = (n - 1 + P) \times \frac{T}{P}$$

- Przyspieszenie jest stosunkiem czasu wykonywania rozkazów dla procesora niepotokowego do czasu dla procesora potokowego.

$$\lim_{n \to \infty} \frac{n \times T}{(n - 1 + P) \times \frac{T}{P}} = P$$

Maksymalne przyspieszenie (dla modelu idealnego) jest równe ilości faz.

4.6 Problemy z potokową realizacją rozkazów

Problemem związanym z realizacją potokową jest **zjawisko hazardu**.

- **Hazard sterowania** – problemy z potokową realizacją skoków i rozgałęzień.
- **Hazard danych** – zależności między argumentami kolejnych rozkazów
- **Hazard zasobów** – konflikt w dostępie do rejestrów lub do pamięci

4.7 Rozwiązanie problemu hazardu sterowania

- Skoki opóźnione
- Przewidywanie rozgałęzień

4.8 Skoki opóźnione

4.8.1 Założenia

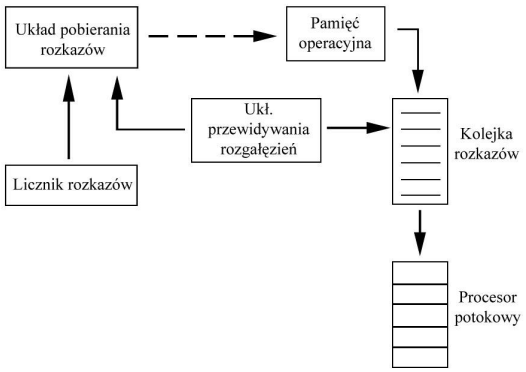
- Rozkaz następny po skoku jest zawsze całkowicie wykonywany
- To znaczy, że efekt skoku jest opóźniony o jeden rozkaz

4.8.2 Działanie

Zmienia kod programu w trakcie kompilacji, jeśli widzi taka potrzebę. Sprowadza się to do dwóch możliwości:

- Modyfikacja programu - dodanie rozkazu NOP po instrukcji skoku JMP
- Optymalizacja programu - zmiany kolejności wykonywania rozkazów

4.9 Przewidywanie rozgałęzień



4.9.1 Strategie

1. **Statyczne**
   - przewidywanie, że rozgałęzienie (skok warunkowy) zawsze nastąpi
   - przewidywanie, że rozgałęzienie nigdy nie nastąpi
   - podejmowanie decyzji na podstawie kodu rozkazu rozgałęzienia (specjalny bit ustawiany przez kompilator)
2. **Inne**
   - przewidywanie, że skok wstecz względem licznika rozkazów zawsze nastąpi
   - przewidywanie, że skok do przodu względem licznika rozkazów nigdy nie nastąpi
3. **Dynamiczne**
   - Tablica historii rozgałęzień.

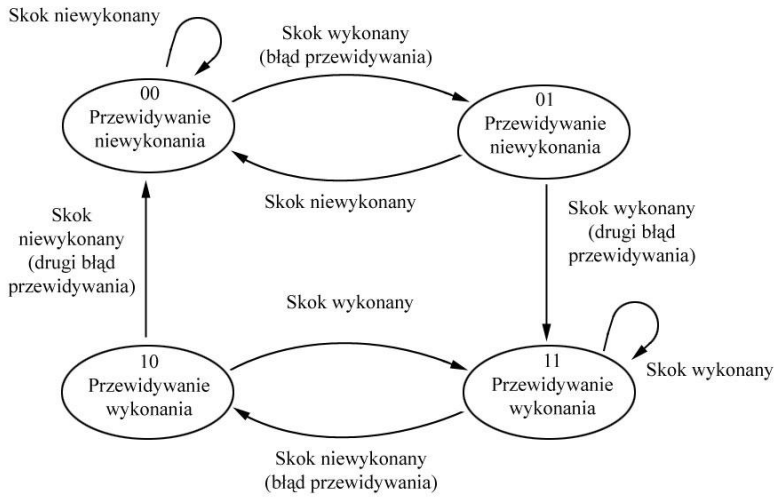
4.9.2 Tablica historii rozgałęzień

Składa się z:

- Bit ważności
- Adres rozkazu rozgałęzienia
- Bity historii
- Adres docelowy rozgałęzienia (opcja)

Operacje wykonywane na tablicy historii rozgałęzień

- Sprawdzenie, czy adres rozkazu rozgałęzienia jest w tablicy
  - **Nie** – wtedy:
    - przewidywanie rozgałęzienia jest wykonywane według jednej ze strategii statycznych
    - do tablicy jest wpisywany adres rozkazu rozgałęzienia, informacja o wykonaniu/niewykonaniu rozgałęzienia (bit historii) i (opcjonalnie) adres docelowy rozgałęzienia
  - **Tak** - wtedy:
    - przewidywanie rozgałęzienia jest wykonywane według bitów historii
    - do tablicy jest wpisywana informacja o wykonaniu/niewykonaniu rozgałęzienia (uaktualnienie bitów historii)
- 1 bit historii - algorytm przewidywania rozgałęzień dla jednego bitu historii - kolejne wykonanie rozkazu rozgałęzienia będzie przebiegało tak samo jak poprzednie.
- 2 bity historii
  - algorytm przewidywania rozgałęzień dla dwóch bitów historii bazuje na 2-bitowym automacie skończonym.
  - Interpretacja dwóch bitów historii (x y):
    - y: historia ostatniego wykonania skoku (0 – nie, 1 – tak)
    - x: przewidywanie następnego wykonania skoku (0 – nie, 1 – tak)
    - Ogólna zasada przewidywania - zmiana strategii następuje dopiero po drugim błędzie przewidywania.



4.10 Metody rozwiązywania hazardu danych

4.10.1 Co to jest?

Hazard danych - zależności między argumentami kolejnych rozkazów wykonywanych potokowo.

4.10.2 Metody usuwania hazardu danych

Jest kilka sposobów:

- Sprzętowe wykrywanie zależności i wstrzymanie napełniania potoku
- Wykrywanie zależności na etapie kompilacji i modyfikacja programu (np. dodanie rozkazu NOP)
- Wykrywanie zależności na etapie kompilacji, modyfikacja i optymalizacja programu (np. zamiana kolejności wykonywania rozkazów)
- Wyprzedzające pobieranie argumentów (zastosowanie szyny zwrotnej)

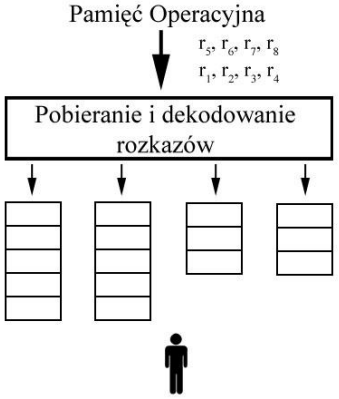
4.10.3 Problem

Jeśli faza wykonania rozkazu nie będzie mogła być wykonana w jednym takcie (np. dla rozkazów zmiennoprzecinkowych), to zachodzi konieczność wstrzymania napełniania potoku.

5 Architektura superskalarna

5.1 Co to jest?

Architektura umożliwiająca wykonanie w jednym takcie większej od 1 liczby instrukcji.



5.2 Cechy architektury superskalarnej

Możliwość wykonania kilku rozkazów w jednym takcie, co powoduje konieczność:

- Kilku jednostek potokowych
- Załadowania kilku rozkazów z pamięci operacyjnej w jednym takcie procesora

5.3 Zależności między rozkazami

5.3.1 Prawdziwa zależność danych

Read After Write (RAW)
Występuje w momencie kiedy jeden rozkaz wymaga argumentu obliczanego przez poprzedni rozkaz. Opóźnienie eliminowane za pomocą "wyprzedzającego pobierania argumentu" - dana nie jest zapisywana do rejestru, tylko pobierana bezpośrednio z poprzedniego rozkazu, który znajduje się w akumulatorze (jeżeli dobrze rozumiem rysunek ze slajdu 21, wykład 4).

5.3.2 Zależność wyjściowa

Write After Write (WAW)
Gdy rozkazy zapisująca dane do tego samego rejestru wykonują się równolegle to drugi z nich musi czekać aż pierwszy się zakończy. Układ sterujący musi kontrolować tego typu zależność.

5.3.3 Antyzależność

Write After Read (WAR)
W przypadku gdy pierwszy rozkaz czyta wartość rejestru, a drugi zapisuje coś do tego rejestru i oba wykonują się równolegle, to drugi musi czekać aż pierwszy odczyta swoje.

5.3.4 Wnioski

- Dopuszczenie do zmiany kolejności rozpoczynania wykonania (wydawania) rozkazów i / lub zmiany kolejności kończenia rozkazów prowadzi do możliwości wystąpienia zależności wyjściowej lub antyzależności.
- Zawartości rejestrów nie odpowiadają wtedy sekwencji wartości, która winna wynikać z realizacji programu

5.4 Metody eliminacji zależności

5.4.1 Metoda przemianowania rejestrów

- Stosowana w przypadku zwielokrotnienia zestawu rejestrów.
- Rejestry są przypisywane dynamicznie przez procesor do rozkazów.
- Gdy wynik rozkazu ma być zapisany do rejestru Rn, procesor angażuje do tego nową kopię tego rejestru.
- Gdy kolejny rozkaz odwołuje się do takiego wyniku (jako argumentu źródłowego), rozkaz ten musi przejść przez proces przemianowania.
- Przemianowanie rejestrów eliminuje antyzależność i zależność wyjściową.

Przykład procesu przemianowania rejestrów:

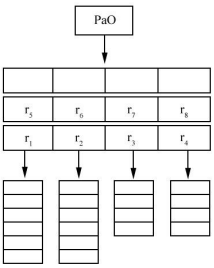
- I1: R3b ← R3a op R5a
- I2: R4b ← R3b + 1
- I3: R3c ← R5a + 1
- I4: R7b ← R3c op R4b

W powyższym przykładzie rozkaz I3 może być wykonany jako drugi (co zapobiegnie zależnościom RAW między I1 i I2 oraz I3 i I4), lub nawet jako pierwszy.

6 Architektura VLIW

6.1 Co to jest?

VLIW - *Very Long Instruction Word.*



6.2 Cechy

- Wspólna pamięć operacyjna
- Szeregowanie rozkazów

6.3 Szeregowanie rozkazów przez kompilator

- Podział rozkazów programu na grupy
- Sekwencyjne wykonywanie grup
- Możliwość równoległej realizacji rozkazów w ramach grupy
- Podział grupy na paczki
- Paczka = 3 rozkazy + szablon (3 x 41 + 5 = 128 bitów)
- Szablon - informacja o jednostkach funkcjonalnych, do których kierowane mają być rozkazy i ewentualna informacja o granicach grup w ramach paczki

6.4 Redukcja skoków warunkowych - predykacja rozkazów

Rozkazy uwarunkowane - uwzględnianie warunku w trakcie realizacji rozkazu.

6.5 Spekulatywne wykonanie rozkazów LOAD

- Problem: chybione odwołania do PaP (cache) i konieczność czekania na sprowadzenie do PaP linii danych
- Rozwiązanie: przesunięcie rozkazów LOAD jak najwyżej, aby zminimalizować czas ewentualnego oczekiwania.
- Rozkaz CHECK sprawdza wykonanie LOAD (załadowanie rejestru)

7 Wielowątkowość

7.1 Co to jest?

- Cecha systemu operacyjnego umożliwiająca wykonywanie kilku wątków w ramach jednego procesu
- Cecha procesora oznaczająca możliwość jednoczesnego wykonywanie kilku wątków w ramach jednego procesora (rdzenia)

7.2 Sprzętowa realizacja wielowątkowości

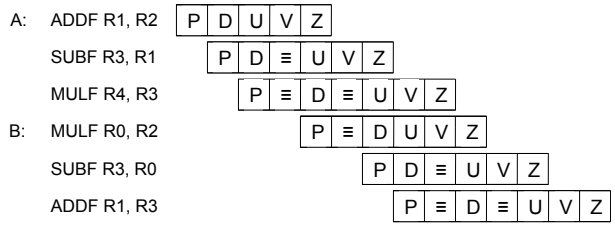
Celem współbieżnej realizacji dwóch (lub więcej) wątków w jednym procesorze (rdzeniu) jest minimalizacja strat cykli powstałych w trakcie realizacji pojedynczego wątku w wyniku:

- chybionych odwołań do pamięci podręcznej,
- błędów w przewidywaniu rozgałęzień,
- zależności między argumentami kolejnych rozkazów

7.3 Wielowątkowość gruboziarnista

Coarse-grained multithreading.

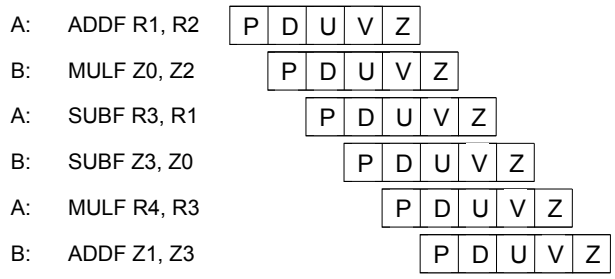
- Przełączanie wątków następuje przy dłuższym opóźnieniu wątku w potoku (np. chybione odwołanie do pamięci podręcznej (nawet L2))
- W niektórych rozwiązaniach rozpoczęcie nowego wątku następuje dopiero po opróżnieniu potoku
- Zaletą jest prostota procesu przełączania wątków
- Wadą takiego rozwiązania są straty czasu przy krótszych opóźnieniach potoku



7.4 Wielowątkowość drobnoziarnista

Fine-grained multithreading.

- Przełączanie wątków następuje po każdym rozkazie
- Wątek oczekujący (np. na dostęp do pamięci) jest pomijany
- Zaletą jest unikanie strat nawet przy krótkich opóźnieniach wątków
- Istotnym wymaganiem dla procesora jest szybkie (w każdym takcie) przełączanie wątków
- Pewną wadą jest opóźnienie realizacji wątków w pełni gotowych do wykonania



7.5 Warunki sprzętowej realizacji wielowątkowości

- powielenie zestawów rejestrów uniwersalnych (lub powielenie tabel mapowania rejestrów)
- powielenie liczników rozkazów
- powielenie układów dostępu do pamięci podręcznej (tabel stron)
- powielenie sterowników przerwań

7.6 Wielowątkowość w procesorze dwupotokowym

Reguły realizacji i przełączania wątków:

1. **Wielowątkowość gruboziarnista**
   - wątek realizowany w kolejnych taktach do momentu wstrzymania rozkazu
   - do obu potoków wprowadzane są rozkazy tylko jednego wątku (w jednym takcie!)
2. **Wielowątkowość drobnoziarnista**
   - w kolejnych taktach realizowane są naprzemiennie rozkazy kolejnych wątków (przełączanie wątków co takt)
   - do obu potoków wprowadzane są rozkazy tylko jednego wątku (w jednym takcie!)
3. **Wielowątkowość współbieżna** (SMT -Simultaneous multithreading)
   - wątek realizowany do momentu wstrzymania rozkazu
   - do obu potoków w jednym takcie mogą być wprowadzane rozkazy różnych wątków

7.7 Mankamenty współbieżnej wielowątkowości

- Rywalizacja wątków w dostępie do pamięci podręcznej - mniejsza wielkość PaP przypadająca na wątek
- Większe zużycie energii (w porównaniu z procesorami dwurdzeniowymi)
- Możliwość monitorowanie wykonania jednego wątku przez inny wątek (złośliwy), poprzez wpływ na współdzielone dane pamięci podręcznej - kradzież kluczy kryptograficznych

8 Klasyfikacja komputerów równoległych

8.1 Formy równoległości w architekturze komputerów

8.1.1 Równoległość na poziomie rozkazów

Wykonywanie w danej chwili wielu rozkazów w jednym procesorze.

- Mechanizmy potokowe - w procesorach CISC i RISC
- Architektura superskalarna i VLIW

8.1.2 Równoległość na poziomie procesorów

Wykonywanie w danej chwili wielu rozkazów w wielu procesorach.

- Komputery wektorowe
- Komputery macierzowe
- Systemy wieloprocesorowe
- Klastry (systemy wielokomputerowe)

8.2 Rodzaje równoległości w aplikacjach

8.2.1 Równoległość poziomu danych

DLP - Data Level Parallelism.
Pojawia się kiedy istnieje wiele danych, które mogą być przetwarzane w tym samym czasie.

8.2.2 Równoległość poziomu zadań

TLP - Task Level Parallelism.
Pojawia się kiedy są tworzone zadania, które mogą być wykonywane niezależnie i w większości równolegle.

8.3 Drogi wykorzystania równoległości aplikacji w architekturze komputerów

- **Równoległość poziomu rozkazów** (ILP - Instruction Level Parallelism) - odnosi się do przetwarzania potokowego i superskalarnego, w których w pewnym (niewielkim) stopniu wykorzystuje się równoległość danych.
- **Architektury wektorowe i procesory graficzne** - wykorzystują równoległość danych poprzez równoległe wykonanie pojedynczego rozkazu na zestawie danych.
- **Równoległość poziomu wątków** (TLP - Thread Level Parallelism) - odnosi się do wykorzystania równoległości danych albo równoległości zadań w ściśle połączonych systemach (ze wspólną pamięcią), które dopuszczają interakcje między wątkami.
- **Równoległość poziomu zleceń** (RLP - Request Level Parallelism) - odnosi się do równoległości zadań określonych przez programistę lub system operacyjny. Ta forma równoległości jest wykorzystywana w systemach luźno połączonych (z pamięcią rozproszoną) i klastrach.

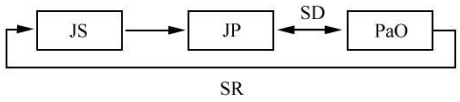
8.4 Klasyfikacja Flynna

M. Flynn, 1966

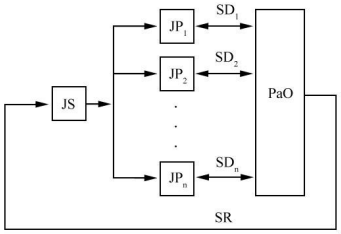
8.4.1 Kryterium klasyfikacji

Liczba strumieni rozkazów i liczba strumieni danych w systemie komputerowym.

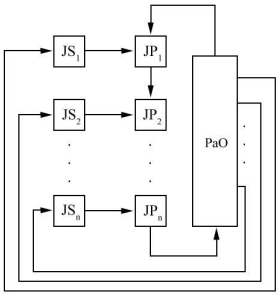
- **SISD**: Single Instruction, Single Data Stream



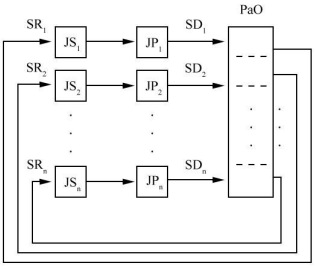
- **SIMD**: Single Instruction, Multiple Data Stream



- **MISD**: Multiple Instruction, Single Data Stream



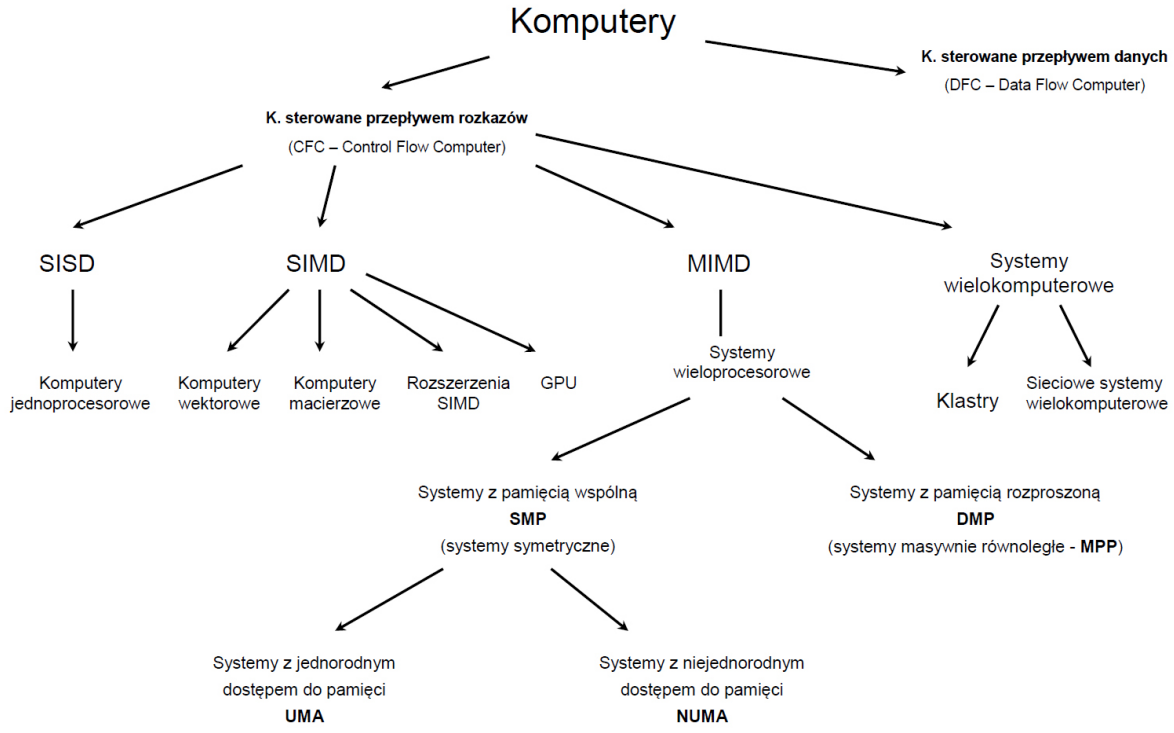
- **MIMD**: Multiple Instruction, Multiple Data Stream



Gdzie:

- **JS** – Jednostka sterująca
- **JP** – Jednostka przetwarzająca
- **PaO** – Pamięć operacyjna

8.4.2 Klasyfikacja opisowa



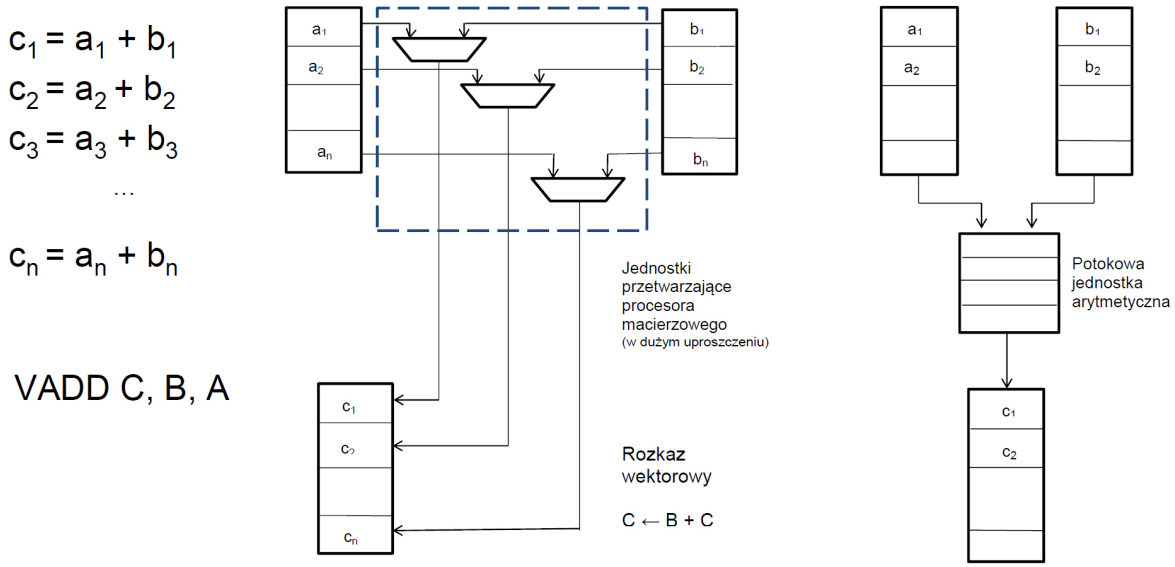
9 Architektura SIMD

9.1 Co to jest?

Cecha wyróżniająca dla programisty - rozkazy wektorowe (rozkazy z argumentami wektorowymi).
Dwa różne podejścia do sprzętowej realizacji rozkazów wektorowych:

- Komputery (procesory) macierzowe
- Komputery wektorowe

Idee realizacji obu (macierzowy i wektorowy):



9.2 Komputery wektorowe

9.2.1 Lokalizacja wektorów danych

- Pamięć operacyjna (STAR 100)
- Rejestry wektorowe (Cray -1)

9.2.2 Przykład rozkazu

Rozkaz dodawania wektorów: VADDF A,B,C,n
Czas wykonania:

$$t_w = t_{start} + (n-1) \times \tau$$

W komputerze macierzowym czas wykonywania tego rozkazu jest równy *const.*

9.2.3 Przyspieszenie

Przyspieszenie jest stosunkiem czasu wykonywania w komputerze klasycznym (szeregowo) do czasu wykonywania w komputerze wektorowym.

$$a = lim_{n\to\infty} \frac{15 \times \tau \times n}{t_{start} + (n-1) \times \tau} = 15$$

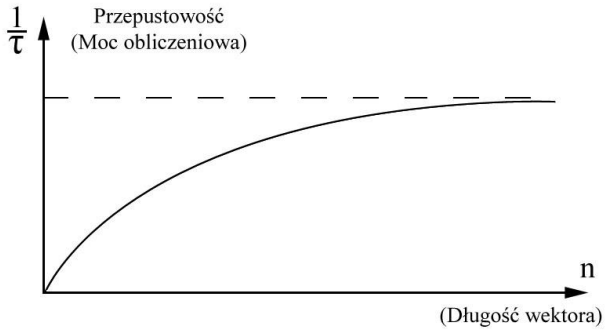
9.2.4 Przepustowość

Przepustowość (moc obliczeniowa) jest stosunkiem ilości operacji zmiennoprzecinkowych do czasu ich wykonania.

$$Przep = lim_{n\to\infty} \frac{n}{t_{start} + (n-1) \times \tau} = \frac{1}{\tau}$$

Wymiarem przepustowości jest FLOPS.

9.2.5 Zależność mocy obliczeniowej od długości wektora



9.2.6 Podsumowanie

1. Hardware
   - rozkazy wektorowe
   - duża liczba potokowych jednostek arytmetycznych (specjalizowanych)
   - duża liczba rejestrów (nawet kilkaset tysięcy)
2. Software
   - klasyczne języki: Fortran, C
   - klasyczne algorytmy
   - kompilatory wektoryzujące

9.2.7 Zastosowanie

- Numeryczna symulacja ośrodków ciągłych
- Równania różniczkowe, równania różnicowe, układy równań algebraicznych (rachunek macierzowy)
- Dziedziny zastosowań:
  - prognozowanie pogody
  - symulacja aerodynamiczna
  - sejsmiczne poszukiwania ropy naftowej i innych surowców
  - symulacja reakcji jądrowych
  - medycyna i farmacja
  - obliczenia inżynierskie dużej skali

9.3 Komputery macierzowe

9.3.1 Co to jest?

Architektura komputerów macierzowych - model SIMD w dwóch wariantach:

- SIMD - DM (z pamięcią rozproszoną)
- SIMD - SM (z pamięcią wspólną)

9.3.2 Elementy komputera macierzowego

1. **Jednostka sterująca** - procesor wykonujący rozkazy sterujące i skalarne oraz inicjujący wykonanie rozkazów wektorowych w sieci elementów przetwarzających.
2. **Elementy przetwarzające** (procesorowe) - jednostki arytmetyczno-logiczne wykonujące operacje elementarne rozkazów wektorowych.
3. **Sieć łącząca** - łączy elementy przetwarzające między sobą lub z modułami pamięci operacyjnej; warianty:
   - sieć statyczna: pierścień, gwiazda, krata, drzewo, hipersześcian
   - sieć dynamiczna: jednostopniowa; wielostopniowa (wyróżnia połączenia blokujące i nieblokujące)

9.3.3 Podsumowanie

- Architektura SIMD
- Jednostka sterująca + jednostka macierzowa
- Rozkazy wektorowe - wykonywane synchronicznie w sieci (macierzy) EP
- Skomplikowana wymiana danych między EP
- Trudne programowanie - konieczność tworzenia nowych wersji algorytmów

9.4 Model SIMD w procesorach superskalarnych

9.4.1 Technologia MMX

- 8 rejestrów 64-bitowych MMX
- Nowe typy danych
- Rozszerzony zestaw instrukcji (57 instrukcji)
- Realizacja operacji na krótkich wektorach wg modelu SIMD

9.5 Technologia SSE

- 8 rejestrów 128-bitowych
- Osiem 16-bitowych argumentów (elementów wektora) typu integer
- Cztery 32-bitowe argumenty integer/fplub dwa 64-bitowe
- Operacje zmp na 4-elementowych wektorach liczb 32-bit (pojed. prec.)

10 Karty graficzne i architektura CUDA

10.1 Charakterystyka

- GPU - Graphics Processing Unit
- Wcześniejsze GPU - specjalizowane języki (HLSL, GLSL czy NVIDIA Cg), tylko rendering
- CUDA (Compute Unified Device Architecture) -architektura wielordzeniowych procesorów graficznych (GPU)
- Uniwersalna architektura obliczeniowa połączona z równoległym modelem programistycznym
- wsparcie dla języków C/C++
- GPGPU = GPU + CUDA
- CUDA - obsługiwana przez karty graficzne GeForce i GeForce Mobile od serii 8 (GeForce 8800), nowsze układy z rodzin Tesla i Quadro, Fermi, obecnie Kepler

10.2 Architektura CUDA

- W miejsce oddzielnych potoków przetwarzających wierzchołki i piksele wprowadzenie uniwersalnego procesora przetwarzającego wierzchołki, piksele i ogólnie geometrię, a także uniwersalne programy obliczeniowe
- Wprowadzenie procesora wątków eliminującego „ręczne" zarządzanie rejestrami wektorowymi
- Wprowadzenie modelu SIMT (single-instruction multiple-thread), w którym wiele niezależnych wątków wykonuje równocześnie tę samą instrukcję
- Wprowadzenie współdzielonej pamięci oraz mechanizmów synchronizacji wątków (barrier synchronization) dla komunikacji między wątkami

10.3 Multiprocesor strumieniowy

Architektura GT 200.

- 8 rdzeni C1 -C8 (SP)
- podręczna pamięć instrukcji (ang. instruction cache),
- podręczna pamięć danych (ang. constant cache) - pamięć tylko do odczytu,
- pamięć współdzielona (ang. shared memory)
- 16 384 rejestry,
- jednostka arytmetyczna wykonująca obliczenia zmiennoprzecinkowe podwójnej precyzji (fp64),
- dwie jednostki arytmetyczne przeznaczone do obliczania funkcji specjalnych (ang. special function unit),
- pamięć globalna

10.4 Model programistyczny CUDA

- Specjalny kompilator NVCC
- Podział programu na kod wykonywany przez procesor (ang. *Host code*) i przez urządzenie (kartę graficzną) (ang. Device code) - kernel
- Realizacja operacji równoległych według modelu SIMT (*Single Instruction Multiple Threading*)

10.5 Wykonanie obliczeń z użyciem architektury CUDA (5 faz)

1. Przydzielenie w pamięci globalnej obszaru pamięci dla danych, na których będą wykonywane obliczenia przez kernel.
2. Przekopiowanie danych do przydzielonego obszaru pamięci.
3. Zainicjowanie przez CPU obliczeń wykonywanych przez GPU, tj. wywołanie kernela.
4. Wykonanie przez wątki (z użyciem GPU) obliczeń zdefiniowanych w kernelu.
5. Przekopiowanie danych z pamięci globalnej do pamięci operacyjnej.

10.6 CUDA procesor (rdzeń)

- Potokowa jednostka arytmetyczna zmp
- Potokowa jednostka arytmetyczna stp
- Ulepszona realizacja operacji zmp FMA (fused multiply-add) dla pojedynczej i podwójnej precyzji

11 Wątki

11.1 Co to jest?

- Wątek reprezentuje pojedynczą operację (a single work unit or operation)
- Wątki są automatycznie grupowane w bloki, maksymalny rozmiar bloku = 512 wątków (w architekturze Fermi i wyższych –1024 wątki).
- Bloki grupowane są w siatkę (grid -kratę)
- Grupowanie wątków –bloki o geometrii 1, 2 lub 3-wymiarowej
- Grupowanie bloków –siatka (grid) o geometrii 1, 2-wymiarowej
- Wymaga się, aby bloki wątków tworzących siatkę mogły się wykonywać niezależnie: musi być możliwe ich wykonanie w dowolnym porządku, równolegle lub szeregowo.

11.2 Grupowanie wątków w bloki i siatkę

- Siatka o geometrii jednowymiarowej (trzy bloki wątków)
- Każdy blok -geometria dwuwymiarowa (wymiary 2 x 3)

11.3 Sprzętowa organizacja wykonywania wątków

- Przy uruchomieniu *kernela* wszystkie bloki tworzące jego siatkę obliczeń są rozdzielane pomiędzy multiprocesory danego GPU
- Wszystkie wątki danego bloku są przetwarzane w tym samym multiprocesorze
- W danej chwili (cyklu) pojedynczy rdzeń multiprocesora wykonuje jeden wątek programu
- Multiprocesor tworzy, zarządza, szereguje i wykonuje wątki w grupach po 32, nazywanych wiązkami (*warp*).
- Wiązki są szeregowane do wykonania przez *warp scheduler*. Wiązka wątków jest wykonywana jako jeden wspólny rozkaz (analogia do rozkazu SIMD, tzn. rozkazu wektorowego)
- Sposób wykonania wiązki wątków (rozkazu SIMD) zależy od budowy multiprocesora:
  - Dla architektury Fermi (32 procesory w jednym multiprocesorze / 2 *warp-schedulery* = 16 procesorów na 1 wiązkę) wiązka jest wykonywana jako 2 rozkazy - wiązka jest dzielona na dwie połówki (*half–warp*) wykonywane jako 2 rozkazy (te same, ale na dwóch zestawach danych).
  - Dla architektury Tesla (8 procesorów w jednym multiprocesorze, 1 *warp-scheduler*) wiązka jest dzielona na cztery ćwiartki (*quarter-warp*) wykonywane jako 4 kolejne rozkazy (te same, ale na czterech zestawach danych).
- Konstrukcja *warp schedulera* umożliwia uruchomienie wielu wiązek wątków współbieżnie - *warp scheduler* pamięta wtedy adresy wiązek, przypisane im rozkazy SIMD oraz ich stan (gotowość do wykonania lub stan oczekiwania na pobranie danych z pamięci).
- Współbieżne uruchomienie wielu wiązek pozwala zmniejszyć straty związane z oczekiwaniem na dane (zwykle długi czas dostępu do pamięci).

12 Rodzaje pamięci multiprocesora

12.1 Pamięć globalna

Duża pamięć, o czasie życia aplikacji (dane umieszczone w tej pamięci są usuwane po zakończeniu aplikacji), dostępna dla każdego wątku w dowolnym bloku, ale o dość długim czasie dostępu wynoszącym ok. 400-600 taktów zegara.

12.2 Pamięć współdzielona

Niewielka pamięć o czasie życia bloku (zakończenie działania bloku powoduje usunięcie danych w niej przechowywanych), dostępna dla każdego wątku w bloku dla którego jest dedykowana, o bardzo krótkim czasie dostępu.

12.3 Pamięć stałych

Niewielki fragment pamięci globalnej, który jest cache-owany, przez co dostęp do niego jest bardzo szybki. Jest ona tylko do odczytu. Czas życia pamięci stałych oraz jej dostępność jest taka sama jak pamięci globalnej.

12.4 Rejestry

Niewielka, bardzo szybka pamięć o czasie życia wątku (po zakończeniu wątku dane z rejestrów są usuwane). Tylko jeden wątek może w danym momencie korzystać z danego rejestru.

12.5 Pamięć lokalna i pamięć tekstur

Podobnie jak w przypadku pamięci stałych, są to dedykowane fragmenty pamięci globalnej. Pamięć lokalna jest wykorzystywana do przechowywania danych lokalnych wątku, które nie mieszczą się w rejestrach, a pamięć tekstur posiada specyficzne metody adresowania i cache-owanie specyficzne dla zastosowań graficznych.

13 Systemy wieloprocesorowe (UMA)

13.1 Rodzaje

- Systemy z pamięcią wspólną
- Systemy z pamięcią rozproszoną

13.2 Systemy z pamięcią wspólną

- Systemy z jednorodnym dostępem do pamięci (UMA – *Uniform Memory Access*)
- Systemy z niejednorodnym dostępem do pamięci (NUMA – Non - *Uniform Memory Access*)

13.2.1 Klasyfikacja

- Systemy ze wspólną magistralą
- Systemy wielomagistralowe
- Systemy z przełącznicą krzyżową
- Systemy z wielostopniową siecią połączeń
- Systemy z pamięcią wieloportową
- Systemy z sieciami typu punkt - punkt

13.3 Skalowalność

System skalowalny - System, w którym dodanie pewnej liczby procesorów prowadzi do proporcjonalnego przyrostu mocy obliczeniowej.

13.4 Systemy ze wspólną magistralą

- Prostota konstrukcji – niska złożoność układowa całości
- Niski koszt
- Łatwość rozbudowy – dołączenia kolejnego procesora, ale tylko w ograniczonym zakresie
- Ograniczona złożoność magistrali (jej szybkość jest barierą)
- Niska skalowalność

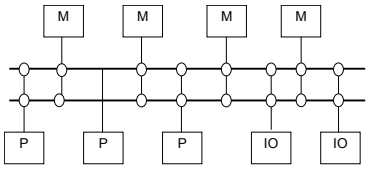
13.5 Systemy ze wspólną magistralą

Problem zapewnienia spójności pamięci podręcznych (*snooping*).

13.6 Protokół MESI

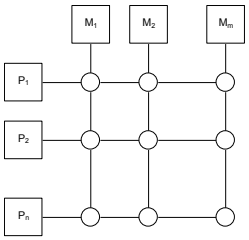
- I - invalid
- S - shared
- E - exclusive
- M - modified

13.7 Systemy wielomagistralowe



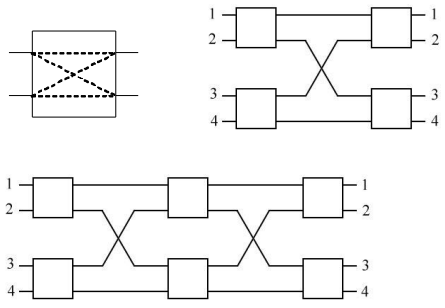
- Wielokrotnie zwiększona przepustowość
- Konieczność stosowania układu arbitra do sterowania dostępem do magistral
- Rozwiązania kosztowne

13.8 Systemy z przełącznicą krzyżową



- Zadania każdego przełącznika
  - Rozwiązywanie konfliktów dostępu do tego samego modułu pamięci
  - Zapewnienie obsługi równoległych transmisji, krzyżujących się w przełączniku
- Duża przepustowość
- Duża złożoność układowa $O(n^2)$
- Wysoki koszt
- Problem: realizacja techniczna przełącznicy krzyżowej dla dużych n – wykorzystanie wielostopniowych sieci połączeń

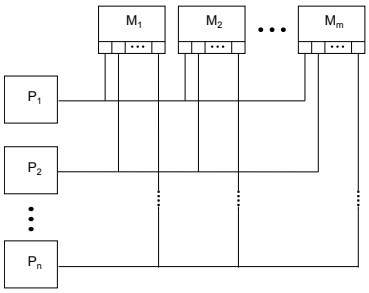
13.9 Systemy z wielostopniową siecią połączeń



Przykłady:

- Nieblokująca sieć Closa
- Sieć wielostopniowa Benesa
- Sieć wielostopniowa typu Omega

13.10 Systemy z pamięcią wieloportową



- Każdy procesor ma niezależny dostęp do modułów pamięci – poprawa wydajności
- Układ sterowania modułu pamięci rozstrzyga konflikty dostępu – większa złożoność
- Możliwość skonfigurowania części pamięci jako prywatnej dla jednego lub kilku procesorów
- Stosowana technika zapisu do pamięci cache – *write through* – poprzez własną magistralę i port w module
- Ograniczona liczba portów w module

13.11 Systemy z sieciami typu punkt-punkt

13.11.1 HyperTransport (HT)

- Technologia wprowadzona w 2001 przez HyperTransportConsortium(AMD, Apple, Cisco, Nvidia, Sun i in.)
- Przeznaczona do łączenia procesorów, pamięci i układów we/wy -technologia HT zastąpiła wspólną magistralę
- Dla łączenia wielu procesorów stosowana razem z techniką NUMA
- Topologia punkt -punkt
- Sieć dwukierunkowa, szeregowo/równoległa, o wysokiej przepustowości, małych opóźnieniach,
- Łącza o szerokości 2, 4, 8, 16, or 32 bity. Teoretyczna przepustowość: 25.6 GB/s (3.2GHz x 2 transfers per clock cycle x 32 bits per link) dla jednego kierunku lub 51.2 GB//s łącznie dla obu kierunków transmisji
- Transmisja pakietów składających się z 32-bitowych słów

13.11.2 Intel QuickPath Interconnect (QPI)

- Następca Front-SideBus (FSB) -magistrali łączącej procesor z kontrolerem pamięci
- Tworzy bardzo szybkie połączenia między procesorami i pamięcią oraz procesorami i hubami we/wy
- Tworzy mechanizm „scalablesharedmemory" (NUMA) –zamiast wspólnej pamięci dostępnej przez FSB, każdy Procesor ma własną dedykowaną pamięcdostępną przez IntegratedMemory Controleroraz możliwość dostępu do dedykowanej pamięci innych procesorów poprzez QPI
- Podstawową zaletą QPI jest realizacja połączeń punkt-punkt (zamiast dostępu przez wspólną magistralę)

13.12 Podsumowanie

- Symetryczna architektura – jednakowy dostęp procesorów do pamięci operacyjnej oraz we/wy
- Utrzymanie spójności pamięci podręcznych (cache):
  - *snooping* - metoda starsza i mało skalowalna (głównie w systemach ze wspólną magistralą)
  - katalog - metoda lepiej skalowalna, stosowana razem z sieciami typu punkt - punkt
- Łatwe programowanie (realizacja algorytmów równoległych)
- Niska skalowalność:
  - Mechanizm *snoopingu*, zapewniający spójność pamięci podręcznych węzłów systemów UMA nie jest skalowalny dla bardzo dużej liczby węzłów.
  - W systemach z dużą liczbą węzłów, posiadających lokalną pamięć, dla zapewnienia spójności pamięci podręcznych jest stosowane rozwiązanie oparte na katalogu.

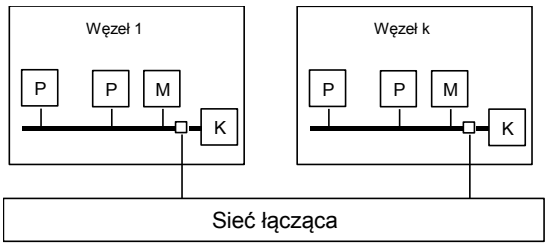
14 Systemy NUMA

Systemy wieloprocesorowe z niejednorodnym dostępem do pamięci.
NUMA (*Non-Uniform Memory Access*).

14.1 Rodzaje

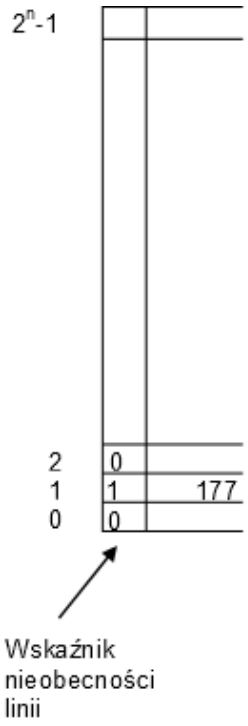
- NC-NUMA (*Non-cached NUMA*)
  - Odwołania do nielokalnej PaO przekierowywane do odległych węzłów
  - Odwołania do nielokalnej PaO wolniejsze ok. 10 razy
- CC-NUMA (*Cache Coherent NUMA*)
  - Wykorzystuje węzły i katalogi

14.2 Węzeł



14.3 Katalog

14.3.1 Najprostsza postać katalogu



14.3.2 Rozmiar katalogu

- dla PaO węzła = 1 GB i linii = 128 B katalog musiałby mieć 2^23 pozycji
- dla PaO węzła = 8 GB i linii = 128 B katalog musiałby mieć 2^26 pozycji
- dlatego katalog praktycznie jest zazwyczaj realizowany jako pamięć asocjacyjna, o znacznie mniejszych rozmiarach

14.3.3 Różne warianty organizacji katalogu

Zawartość pozycji katalogu:

1. numer węzła aktualnie posiadającego daną linię
2. k numerów węzłów aktualnie posiadających daną linię
3. n bitów (1 bit na węzeł) wskazujących posiadanie linii przez węzeł
4. element listy pól z numerami węzłów aktualnie posiadających daną linię

14.4 System DASH

14.4.1 Co to jest?

- Pierwszy system CC-NUMA wykorzystujący katalog
- 16 węzłów połączonych kratą
- Węzeł: 4 procesory MIPS R3000 + 16 MB RAM + katalog
- Linia PAP = 16 B

- Katalog = 1 M wierszy 18-bitowych
  - Wiersz katalogu= 16 bitów obecności linii w węzłach + stan linii
  - **Stan linii**: uncached, shared, modified

14.4.2 Interpretacja stanu linii

- **uncached** – linia pamięci jest tylko w pamięci lokalnej (domowej)
- **shared** – linia PaP została przesłana do odczytu do kilku węzłów (ich pamięci lokalnych)
- **modified** – linia PaP jest w pamięci domowej nieaktualna (została zmodyfikowana w innym węźle)

14.4.3 Operacja odczytu

- Stan żądanej linii = *uncached* lub *shared* → linia jest przesyłana do węzła żądającego; stan linii := *shared*.
- Stan żądanej linii = *modified* → sterownik katalogu domowego żądanej linii przekazuje żądanie do węzła x posiadającego linię. Sterownik katalogu węzła x przesyła linię do węzła żądającego oraz węzła domowego tej linii; stan linii := *shared*.

14.4.4 Operacja zapisu

- Przed zapisem węzeł żądający linii musi być jedynym jej posiadaczem.
- Węzeł żądający posiada linię
  - stan linii = *modified* → zapis jest wykonywany
  - stan linii = *shared* → węzeł przesyła do domowego katalogu tej linii żądanie unieważnienia innych kopii linii; stan linii := *modified*
- Węzeł żądający nie posiada linii → wysyła żądanie dostarczenia linii do zapisu
  - stan linii = *uncached* → linia jest przesyłana do węzła żądającego; stan linii := *modified*
  - stan linii = *shared* → wszystkie kopie linii są unieważniane, potem jak dla *uncached*
  - stan linii = *modified* → przekierowanie żądania do węzła x posiadającego linię. Węzeł x unieważnia ją u siebie i przesyła żądającemu.

14.4.5 Katalog czy snooping

Mechanizm spójności oparty o katalog jest bardziej skalowalny od mechanizmu „snooping", ponieważ wysyła się w nim bezpośrednią prośbę i komunikaty unieważniające do tych węzłów, które mają kopie linii, podczas gdy mechanizm „snooping" rozgłasza (*broadcast*) wszystkie prośby i unieważnienia do wszystkich węzłów.

14.5 Podsumowanie

- PaO fizycznie rozproszona, ale logicznie wspólna
- Niejednorodny dostęp do pamięci - PaO lokalna, PaO zdalna
- Utrzymanie spójności pamięci podręcznych (cache) - katalog
- Hierarchiczna organizacja: procesor – węzeł (system UMA) – system NUMA
- Zalety modelu wspólnej pamięci dla programowania
- Dobra efektywność dla aplikacji o dominujących odczytach z nielokalnej pamięci
- Gorsza efektywność dla aplikacji o dominujących zapisach do nielokalnej pamięci
- Skalowalność: 1024 – 2560 rdzeni

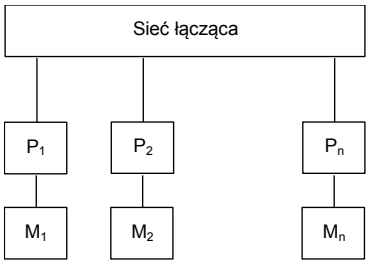
15 Systemy SMP - podsumowanie

- Symetryczna architektura – jednakowy dostęp procesorów do pamięci operacyjnej oraz we/wy (na poziomie fizycznych przesyłów – tylko w systemach wieloprocesorowe z pamięcią wspólną fizycznie - UMA)
- Utrzymanie spójności pamięci podręcznych (cache):
  - systemy UMA - snooping lub katalog
  - systemy NUMA - katalog
- Łatwe programowanie (realizacja algorytmów równoległych)
- Niska (UMA) i średnia (NUMA) skalowalność

16 Systemy MMP

Systemy wieloprocesorowe z pamięcią rozproszoną.
MPP – *Massively Parallel Processors*.

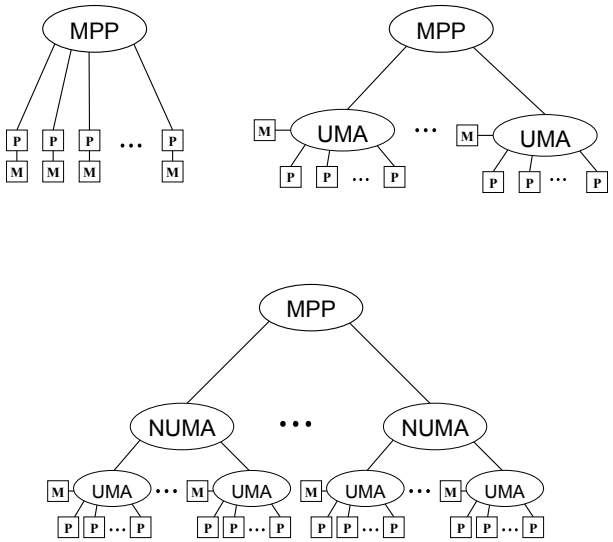
16.1 Uproszczona organizacja



16.2 Hierarchiczna organizacja

16.2.1 Rodzaje węzłów

- Procesor + PaO
- System wieloprocesorowy z pamięcią wspólną UMA
- System wieloprocesorowy NUMA (z niejednorodnym dostępem do pamięci)



16.3 Topologia

Sieci łączące węzły MPP.

- Hiperześcian
- Krata 2D, 3D
- Torus 2D, 3D
- Przełącznica krzyżowa (hierarchiczne przełącznice krzyżowe
- Sieci wielostopniowe (Omega, Butterfly, grube drzewo, Dragonfly i inne)
- Sieci specjalizowane (*proprietary / custom network*)

16.4 Obsługa przesyłu komunikatów

Obsługa przesyłu komunikatów w węzłach systemu wieloprocesorowego.

- Programowa obsługa przesyłu przez procesory węzłów pośredniczących (systemy I generacji)
- Sprzętowa obsługa przesyłu przez routery węzłów pośredniczących, bez angażowania procesorów (systemy II generacji)

16.5 Narzędzia programowe

Narzędzia programowe wspierające budowę programów z przesyłem komunikatów:

- PVM (Parallel Virtual Machine)
- MPI (Message Passing Interface)
- Inne (Cray SHMEM, PGAS)

16.6 Podsumowanie

- Hierarchiczna architektura
- Węzeł: procesor, system UMA, (system NUMA)
- Bardzo duża skalowalność
- Wolniejsza (na ogół) komunikacja – przesył komunikatów
- Dedykowane, bardzo szybkie, sieci łączące

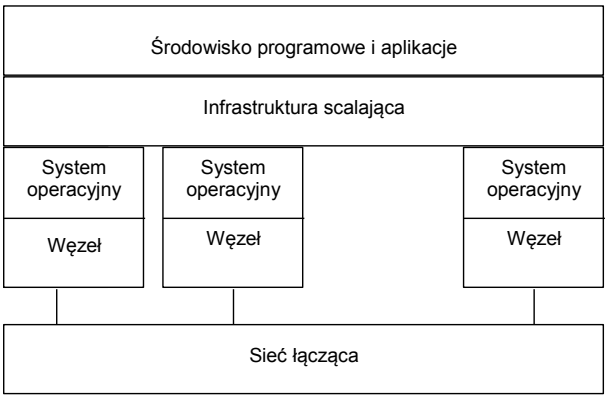
17 Klastry

Klaster (komputerowy) (ang. *cluster*).

17.1 Definicja

- Klaster to zestaw pełnych komputerów (węzłów) połączonych razem, pracujących jako jeden system.
- Wikipedia:
  Klaster komputerowy -grupa połączonych jednostek komputerowych, które współpracują ze sobą w celu udostępnienia zintegrowanego środowiska pracy
- A computer cluster consists of a set of loosely connected computers that work together so that in many respects they can be viewed as a single system.

17.2 Ogólna struktura systemów typu klaster



17.3 Ogólna charakterystyka klastrów

17.3.1 Węzły

- Serwery SMP
- Pełne komputery: PC, stacje robocze

17.3.2 System operacyjny

- Linux
- Unix
- Windows

17.3.3 Infrastruktura scalająca

- MPI (*Message Passing Interface*)
- PVM (*Parallel Virtual Machine*)
- SSI (*Single System Image*)

17.3.4 Komunikacja między węzłami

- Przesył komunikatów

17.3.5 Sieci łączące

- Sieci specjalizowane – starsze rozwiązania
- Sieci LAN (*Local Area Network*)
- Sieci specjalizowane -nowsze rozwiązania

17.3.6 Cele budowy klastrów

- Wysoka wydajność (klastry wydajnościowe, klastry obliczeniowe) (*High-performace clusters*)
- Wysoka niezawodność (klastry niezawodnościowe) (*High-availability clusters*)
- Równoważenie obciążenia (*Load balancing clusters*)

17.3.7 Inne

- Zależność moc obliczeniowa –niezawodność
- Korzystny wskaźnik wydajność -cena

17.4 Sieci łączące klastrów

17.4.1 Sieci specjalizowane - starsze rozwiązania

- HiPPI (*High Performance Parallel Interface*) – pierwszy standard sieci "near-gigabit" (0.8 Gbit/s) - kabel 50-par (tylko superkomputery)
- Memory Channel

17.4.2 Sieci LAN

- Ethernet
- Fast Ethernet
- Gigabit Ethernet

17.4.3 Sieci specjalizowane - nowsze rozwiązania

Systemowe SAN.

- Myrinet
- Quadrics (QsNet)
- SCI (Scalable Coherent Interface)
- InfiniBand

17.5 Fibre Channel

- Technologia sieciowa o dużej przepustowości (16 Gb/s) stosowana zwykle do łączenia komputera z pamięcią zewnętrzną
- Standard magistrali szeregowej definiujący wielowarstwową architekturę
- Powstał w 1988 jako uproszczona wersja HIPPI
- Łącza światłowodowe i miedziane
- Głównym stosowanym protokołem jest SCSI, ponadto ATM, TCP/IP

17.6 Sieci łączące -różnice

- Parametry – przepustowość, czas opóźnienia
- Topologia
  - Ethernet – magistrala, gwiazda, struktury hierarchiczne
  - Sieci specjalizowane – sieć przełączników (*switched fabric*) – popularna topologia „grubego drzewa"

17.7 Klastry o wysokiej niezawodności

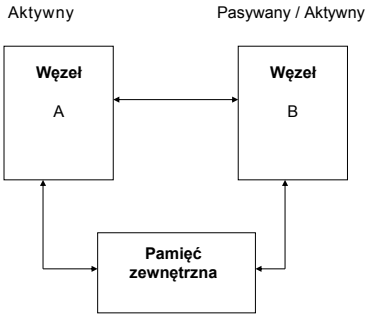
17.7.1 Czynniki tworzące wysoką niezawodność klastrów

1. Redundancja węzłów (mocy obliczeniowej)
2. Dostęp do wspólnych zasobów (pamięci zewnętrznych)
3. Mirroring dysków
4. Mechanizmy kontrolujące funkcjonowanie węzłów
5. Redundancja sieci łączących (dla 3 rodzajów sieci)
6. Redundancja zasilania

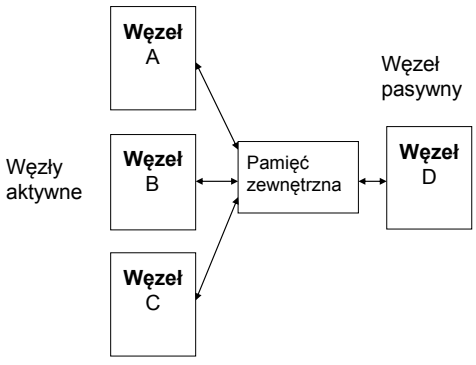
17.7.2 Redundancja węzłów / mocy obliczeniowej

Tryby pracy węzłów:

- Model klastra „aktywny - pasywny”
- Model klastra „aktywny - aktywny”



- Modele mieszane

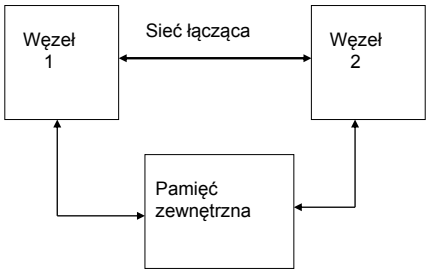


17.7.3 Warianty modelu mieszanego

- *N + 1* – jeden węzeł dodatkowy, o uniwersalnych możliwościach zastąpienia każdego z pozostałych.
- *N + M* – zwiększenie liczby dodatkowych węzłów do M w celu zwiększenia redundancji w przypadku dużej różnorodności usług świadczonych przez węzły.
- *N – to – N* – kombinacja modeli „aktywny -aktywny” oraz „N + M” –redystrybucja zadań węzła uszkodzonego na kilka innych węzłów aktywnych

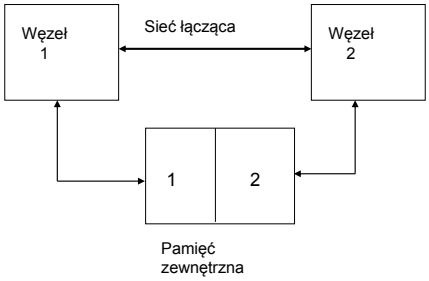
17.8 Warianty dostępu do wspólnych zasobów

17.8.1 Zasada „współdziel wszystko”



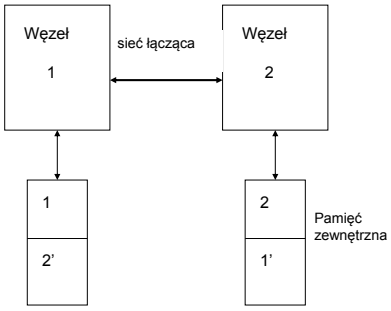
Wszystkie węzły mają dostęp do wspólnej pamięci zewnętrznej (kontrola dostępu przez mechanizmy blokad).

17.8.2 Zasada „nie współdziel nic”



Węzły nie współdzielą tego samego obszaru dysku –każdy ma dostęp do własnej części; po awarii czynny węzeł otrzymuje prawo dostępu do całego dysku.

17.8.3 Mirroring



Każdy węzeł zapisuje dane na własny dysk i automatycznie (pod kontrolą odpowiedniego oprogramowania) jest tworzona kopia tego zapisu na dyskach innych węzłów.

17.9 Podsumowanie

- Węzły – typowe serwery SMP „z półki” + pełna instancja Systemu Operacyjnego
- Sieci łączące – standardy: Gigabit Ethernet, Infiniband
- Komunikacja między węzłami (procesami) – przesył komunikatów
- Bardzo wysoka skalowalność
- Cele budowy: wysoka wydajność lub/i wysoka niezawodność, równoważenie obciążenia
- Korzystny wskaźnik: cena/wydajność

Zadania egzaminacyjne

1 Sparc

Uwagi:

- W języku asemblera SPARC komentarze są oznaczane przez znak wykrzyknika (!), a nie średnika (;). W listingach są średniki ze względu na wbudowany listingu asemblera w latexie.

1.1 2008, I termin, Jerzy Respondek

1.1.1 Treść

Napisz funkcję w asemblerze procesora SPARC obliczającą sumę liczb naturalnych od 1 do danej n jako argument funkcji. Założyć, że $n >= 1$.
Przykład: f(5) = 1 + 2 + 3 + 4 + 5 = 15

1.1.2 Propozycja rozwiązania 1

```
.global funkcja
.proc 4
funkcja:
    save %sp, -96, %sp        ; trzeba tutaj to robić ???
    mov %i0, %l0              ; a
    mov 1, %l1                ; liczba naturalna
    mov 0, %l2                ; wynik
pętla:
    add %l1, %l2, %l2         ; liczba + suma = suma
    add %l1, 1, %l1           ; liczba++
    subbcc %l0, 1, %l0        ; a--
    bl koneic
    nop
    ba pętla
    nop
koniec:
    mov %l2, %i0              ; wynik
    ret
    restore
```

1.1.3 Propozycja rozwiązania 2

```
.global sumator
.proc 4
sumator:
    save %sp, -96, %sp        ! przesunięcie okna
    mov %i0, %l1              ! a w l1
    mov %l1, %l0              ! suma = a
   petla:
    subcc %l1, 1, %l1         ! dekrementacja licznika
    bneg koniec
    add %l0, %l1, %l0         ! suma += licznik
    ba petla
koniec:
    mov %l0, %i0              ! zwrócenie sumy
    ret
    restore                   ! przywrócenie stanu okna
```

1.2 2010, I termin, Jerzy Respondek

1.2.1 Treść

Napisz w asemblerze procesora SPARC funkcję obliczającą sumę kwadratów wszystkich liczb całkowitych z przedziału a do b. Założyć $a < b$, np.
f(2, 5) = 2 * 2 + 3 * 3 + 4 * 4 + 5 * 5
Nagłówek funkcji ma mieć postać:

```
int f(int a, int b)
```

1.2.2 Propozycja rozwiązania

1.3 2012, I termin, Jerzy Respondek

1.3.1 Treść

Napisz w asemblerze procesora SPARC funkcję realizującą dokładnie tę samą operację co jej odpowiednik w języku C:

```
int f(int *tab, int n)
{
    int i, suma = 0;
    for(i = 0; i < n; i++)
    {
        suma -= (2 * i + 1) * tab[i];
        suma *= suma;
    }
    return suma;
}
```

1.3.2 Propozycja rozwiązania 1

```
.global func
.proc 4

funkcja:
    save %sp, -96, %sp
    mov %i0, %l0            ; wskaźnik tablicy, tak podano argument
    ld [%i0], %l1           ; wartość tablicy spod wskaźnika odczytujemy
        poprzez LD
    mov %i1, %l2            ; rozmiar
    mov 1, %l3              ; i
    mov 0, %l4              ; temp
    mov 0, %l5              ; suma
pętla:
    subcc %l2, 1, %l2       ; n--
    bl koniec               ; if n < 0 koniec
    nop

    smul %l3, 2, %l4        ; temp = 2*i
    add %l4, 1, %l4         ; temp = temp +1 = 2*i+1
    smul %l1, %l4, %l4      ; temp = temp * tab[i] = (2*i+1)*tab[i]
    subcc %l5, %l4, %l5     ; suma = suma - temp = suma - (2*i+1)*tab[i]

    smul %l5, %l5, %l5      ; suma = suma * suma
    add %l0, 4, %l0         ; *tab++ przesuwamy sie o 4 na kolejny element
        bo tyle ma int
    ld [%l0], %l1           ;pobieramy nowy element
    ba pętla
    nop

koniec:
    mov %l5, %i0            ; zwracamy wynik w i0 bo po restore zamienia si
        ę input na output
    ret                     ; ret bo było save
    restore
```

1.3.3 Propozycja rozwiązania 2

```
.global fun
.proc 4

;    a(n) = a(n - 1) ^ k + n * k; a(0) = 1
fun:
    save %sp, -96, %sp
    ; %i0 == n
    ; %i1 == k

    subcc %i0, 1, %o0    ; %o0 == n - 1
    bneg return1
    nop

    ; trzeba obliczyc a(n - 1)
    mov %i1, %o1
    call fun
    nop

    ; %o0 == a(n - 1)
    mov %i1, %l1          ; %l1 == k
    mov 1, %l2            ; %l2 == 1 (tu bedzie wynik potegowania)
power:
    umul %l2, %o0, %l2
    subcc %l1, 1, %l1     ; dekrementuj licznik petli
    bg power              ; skok, gdy licznik > 0
    nop

    ; %l2 == a(n - 1) ^ k
    umul %i0, %i1, %i0
    ; %i0 == n * k
    add %i0, %l2, %i0
    ; %i0 == a(n - 1) ^ k + n * k == a(n)
    ba return
    nop

return1:
    mov 1, %i0
return:
    ret
    restore
```

1.4 2013, I termin, Jerzy Respondek

1.4.1 Treść

Napisz w asemblerze procesora SPARC funkcję zwracającą *a(n)* wyliczoną z poniższego wzoru rekurencyjnego, a pobierającą dwa argumenty: n oraz k, obydwa typu *unsigned int*.

$$a(n) = a(n-1)^k + n \cdot k, \quad a(0) = 1, \quad n = 1, 2, 3, ...$$

1.4.2 Rozwiązanie

Podobno otrzymano za to 5, choć rozwiązanie NIE JEST w pełni poprawne.

```
.global fun
.proc 4

fun:
    save %sp,-96,%sp

    mov %i0, %l0            ; l0 - n
    mov %i1, %l1            ; l1 - k
    mov 0, %l2              ; power
    mov 1, %l3              ; a(n) = 1

    subcc %i0, 1, %i0
    bl theEnd               ; if n = 0 then jump to theEnd
    nop

    mov %l0, %l2            ; power = n
    smul %l2, %l1, %l2      ; power = power * k
    add %l2, %l1, %l2       ; power = power + k

    call fun                ; call recursion
    mov %i0, %l3            ; get score of recursion

expo:
    smul %l3, %l3, %l3
    subcc %l2, 1, %l2
    bl theEnd
    nop
    ba expo
    nop
theEnd:
    mov %l3, %i0            ; return score
    ret
    restore

.end
```

2 PVM

2.1 Wstęp z laborek

2.1.1 Treść

Napisać program znajdujący minimum i maksimum z macierzy.
Hello.c - program główny, rodzic; Hello_other.c - program podrzędny, potomek.

2.1.2 Rozwiązanie

Program przekazuje kolejne wiersze macierzy do programów potomnych, które znajdują lokalne minimum i maksimum. Program zbiera wszystkie minima i maksima do tablicy o rozmiarze wysokości macierzy. Pod koniec sam ręcznie wylicza min i max z tych dwóch tablic.
Należy pamiętać, że programy potomne muszą fizycznie znajdować się na dyskach innych komputerów w sieci PVM.
Program działający, oceniony na 5.

```
/* - Autorzy:
   -- Forczu Forczmański
   -- Wuda Wudecki
*/
#include <stdio.h>
#include <stdlib.h>
#include <math.h>
#include "pvm3.h"
#define WYSOKOSC 5       // liczba wierszy
#define SZEROKOSC 5      // liczba kolumn
/// Program rodzica
main()
{
    // dane potrzebne do obliczeń
    int matrix[WYSOKOSC][SZEROKOSC];
    int min_result[WYSOKOSC], max_result[WYSOKOSC];
    int minimum, maksimum;
    // wypełnienie macierzy danymi
    int i, j;
    for ( i = 0; i < WYSOKOSC; ++i )
        for ( j = 0; j < SZEROKOSC; ++j)
            matrix[i][j] = rand() % 30;
    // wypisanie macierzy na konsoli
    for ( i = 0; i < WYSOKOSC; ++i )
    {
        for ( j = 0; j < SZEROKOSC; ++j)
            printf("%d ", matrix[i][j]);
        printf("\n\n");
    }
    // pobranie informacji
    int ilhost, ilarch;
    struct pvmhostinfo * info;
    pvm_config(&ilhost, &ilarch, &info);
    printf("Liczba hostow: %d\n", ilhost);

    int id1 = 0;
    int tid;
```

```
// Dla każdego hosta - inicjujemy go
for ( i = 0; i < ilhost; i++ )
{
    pvm_spawn( "/home/pvm/pvm3/sekcja11/bin/LINUX/hello_other", 0,
        PvmTaskHost, info[i].hi_name, 1, &tid);
    if ( tid < 0 )
    {
        ilhost--;
        continue;
    }
    printf("tid: %d\n", tid);
    pvm_initsend(PvmDataDefault);
    // wysyłamy:
    // id wiersza
    pvm_pkint(&id1, 1, 1);
    // elementy wiersza
    pvm_pkint(&matrix[id1][0], SZEROKOSC, 1);
    pvm_send(tid, 100);
    id1++;
}
//// Wykonywanie programu aż do przedostatniej pętli
int bufid, child_tid, child_id1, tmp;
while ( id1 < WYSOKOSC )
{
    bufid = pvm_recv(-1, 200);
    pvm_bufinfo(bufid, &tmp, &tmp, &child_tid);
    printf("recv: %d\n", child_tid);
    // pobranie id wiersza
    pvm_upkint(&child_id1, 1, 1);
    // pobranie nowych min / max
    pvm_upkint(&min_result[child_id1], 1, 1);
    pvm_upkint(&max_result[child_id1], 1, 1);
    // wysłanie nowych danych
    pvm_initsend(PvmDataDefault);
    // id kolejnego wiersza
    pvm_pkint(&id1, 1, 1);
    // nowy wiersz
    pvm_pkint(&matrix[id1][0], SZEROKOSC, 1);
    pvm_send(child_tid, 100);
    id1++;
}
//// Odebranie ostatnich danych
for (i = 0; i < id1 - ilhost + 1; i++ )
{
    bufid = pvm_recv(-1, 200);
    pvm_bufinfo(bufid, &tmp, &tmp, &child_tid);
    printf("recv: %d\n", child_tid);
    // pobranie id wiersza
    pvm_upkint(&child_id1, 1, 1);
    // pobranie nowych min / max
    pvm_upkint(&min_result[child_id1], 1, 1);
    pvm_upkint(&max_result[child_id1], 1, 1);
}
```

```
    // uzysaknie minimum z wiersza
    minimum = min_result[0];
    maksimum = max_result[0];
    for (j = 1; j < WYSOKOSC; j++)
    {
        if ( max_result[j] > maksimum )
            maksimum = max_result[j];
        if ( min_result[j] < minimum )
            minimum = min_result[j];
    }
    printf("Uzyskane wartosci:\nMIN: %d, MAX: %d\n", minimum, maksimum);
    pvm_exit();
    return 0;
}
```

Program potomka

```
#include <stdio.h>
#include <math.h>
#include "pvm3.h"
#define WYSOKOSC 5      // liczba wierszy
#define SZEROKOSC 5     // liczba kolumn
/// Program potomka
int main()
{
    int masterid, id1, j, curr_row[SZEROKOSC], curr_min, curr_max;
    // pobierz id rodzica
    masterid = pvm_parent();
    if (masterid == 0)
        exit(1);
    while(1)
    {
        pvm_recv(masterid, 100);
        // pobranie wartości:
        // id wiersza
        pvm_upkint(&id1, 1, 1);
        pvm_upkint(&curr_row[0], SZEROKOSC, 1);
        // uzysaknie minimum z wiersza
        curr_min = curr_max = curr_row[0];
        for (j = 1; j < SZEROKOSC; j++)
        {
            if ( curr_row[j] > curr_max )
                curr_max = curr_row[j];
            if ( curr_row[j] < curr_min )
                curr_min = curr_row[j];
        }
        // wysłanie nowych danych
        pvm_initsend(PvmDataDefault);
        pvm_pkint(&id1, 1, 1);
        pvm_pkint(&curr_min, 1, 1);
        pvm_pkint(&curr_max, 1, 1);
        pvm_send(masterid, 200);
    }
    pvm_exit();
    return 0;
}
```

3 Java Spaces

3.1 Wstęp z laborek

3.1.1 Treść

Napisać program zawierający jednego Nadzorcę oraz wielu Pracowników. Nadzorca przekazuje do JavaSpace 2 równe tablice zawierające obiekty typu Integer, a następnie otrzymuje wynikową tablicę zawierającą sumy odpowiadających sobie komórek. Operację dodawania mają realizować Pracownicy.

3.1.2 Rozwiązanie

Zadanie obliczania sumy tabel dzielimy na dwie części: *Task* oraz *Result*. *Taski* są generowane przez *Nadzorcę* i przekazywane *Pracownikom*, ci zaś wykonują zadanie i tworzą obiekty klasy *Result*, a następnie przekazuję je *Nadzorcy*. *Nadzorca* je odbiera, kompletuje i ew. coś z nimi robi.

Nadzorca przydziela tyle zadań, ile potrzebuje, z kolei *Pracownicy* działają w nieskończoność. Aby zakończyć ich pracę, *Nadzorca* musi wysłać zadania z tzw. zatrutą pigułką (ang. *Poisoned Pill*), czyli obiekt zadania z nietypowym parametrem, który sygnalizuje zakończenie pracy. Może to być np. *Boolean* o wartości *false*, *Integer* o wartości -1, itp. Składowymi klas implementujących interfejs Entry nie mogą być typu prostego (int, double itp.), muszą być opakowane (Integer, Double itp.). Najbezpieczniej dawać je wszędzie.

```
/**
* @author Son Mati
* @waifu Itsuka Kotori
*/
public class Task implements Entry {
    public Integer cellID;  // ID komórki tabeli
    public Integer valueA;  // wartość z tabeli A
    public Integer valueB;  // wartość z tabeli B
    public Boolean isPill;  // czy zadanie jest zatrutą pigułką

    // Domyślny konstruktor, musi się znajdować
    public Task() {
        this.cellID = this.valueA = this.valueB = null;
        this.isPill = false;
    }

    public Task(Integer entryID, Integer valueA, Integer valueB, Boolean
        isPill) {
        this.cellID = entryID;
        this.valueA = valueA;
        this.valueB = valueB;
        this.isPill = isPill;
    }
}
```

```java
/**
* @author Son Mati
* @waifu Itsuka Kotori
*/
public class Result implements Entry {
    public Integer cellID, value;
    public Result() {
        this.cellID = this.value = null;
    }
    public Result(final Integer EntryID, final Integer Value) {
        this.cellID = EntryID;
        this.value = Value;
    }
}
```

```java
public class Client {
    protected Integer defaultLease = 100000;
    protected JavaSpace space;
    protected Lookup lookup;
    public Client() {
        lookup = new Lookup(JavaSpace.class);
    }
}
```

```java
/**
* @author Son Mati
* @waifu Itsuka Kotori
*/
public class Worker extends Client {
    public Worker() {
    }
    public void startWorking() {
        while(true) {
            try {
                this.space = (JavaSpace)lookup.getService();
                Task task = new Task();
                task = (Task) space.take(task, null, defaultLease);
                if (task.isPill == true)
                {
                    space.write(task, null, defaultLease);
                    System.out.println("Koniec pracy workera.");
                    return;
                }
                Integer res = task.valueA + task.valueB;
                Result result = new Result(task.cellID, res);
                space.write(result, null, defaultLease);
            }
            catch (Exception ex) {}
        }
    }
    public static void main(String[] args) {
        Worker w = new Worker();     // utworzenie obiektu
        w.startWorking();            // realizacja zadan
    }
}
```

```
/**
* @author Son Mati
* @waifu Itsuka Kotori
*/
public class Supervisor extends Client {
    static final Integer INT_NUMBER = 125;
    public Integer[] TableA = new Integer[INT_NUMBER];
    public Integer[] TableB = new Integer[INT_NUMBER];
    public Integer[] TableC = new Integer[INT_NUMBER];
    // konstruktor
    public Supervisor() {
    }
    // wygenerowanie zawartości tablic
    public void generateData() {
        Random rand = new Random();
        for (int i = 0; i < INT_NUMBER; ++i) {
            TableA[i] = rand.nextInt(INT_NUMBER);
            TableB[i] = rand.nextInt(INT_NUMBER);
            TableC[i] = 0;
        }
    }
    // rozpoczecie pracy
    public void startProducing() {
        try {
            this.space = (JavaSpace)lookup.getService();
            // utworzenie zadania
            for (Integer i = 0; i < INT_NUMBER; ++i) {
                Task task = new Task(i, this.TableA[i], this.TableB[i],
                    false);
                space.write(task, null, defaultLease);
            }
            // pobranie wyniku zadania
            System.out.println("Tablica C:");
            for(Integer i = 0 ; i < INT_NUMBER; ++i) {
                Result result = new Result();
                result = (Result) space.take(result, null, defaultLease);
                TableC[result.cellID] = result.value;
            }
            // utworzenie zatrutej pigulki na sam koniec
            Task poisonPill = new Task(null, null, null, true);
            space.write(poisonPill, null, defaultLease);
        }
        catch (Exception ex) {
        }
    }

    public static void main(String[] args) {
        // utworzenie obiektu
        Supervisor sv = new Supervisor();
        // utworzenie zadan
        sv.generateData();
        sv.startProducing();
    }
}
```

3.2 Zadanie 1

3.2.1 Treść

Napisać program odbierający z przestrzeni JavaSpace kolejno 100 obiektów klasy Zadanie posiadające w atrybucie typ (typu całkowitego) wartość 15 i dla każdego obiektu Zadanie wygenerować i umieścić w przestrzeni JavaSpace obiekt klasy Silnia posiadający jako atrybut... (dalej nie pamiętam dobrze) wartość będącą silnią wartości uzyskanej z liczba(typu całkowitego) z klasy Zadanie.

3.3 2010, I termin, Adam Duszeńko

3.3.1 Treść

Napisać kod programu głównego zarządzającego równoległym wykonywaniem zadania w maszynie JavaSpace polegającym na wyznaczeniu zbioru klatek video zawierających ruch. Wykrywanie ruchu ma odbywać się w procesorach wykonawczych na zasadzie porównania różnicowego, czyli wymaga poddania analizie dwóch kolejnych klatek. W tym celu program główny posługując się *byte[] GetImage()* (przyjąć, że jest zdefiniowana i zaimplementowana) ma pobierać kolejne klatki obrazu i umieszczać je w przestrzeni JavaSpace, wraz z jej kolejnym numerem (numerowania ma odbywać się na poziomie programu głównego). Program główny kończy wysyłania zadań gdy funkcja *GetImage* zwróci wartość *NULL*. Jako wynik swojego działania programy wykonawcze zwracają obiekt odpowiedzi zawierający numer pierwszego obrazu z analizowanej pary oraz wartość logiczną czy para była identyczna czy też zawierała wykryty ruch. Na zakończenie działania program główny po zebraniu wszystkich odpowiedzi powinien wypisać numery obrazów dla których wykryto ruch oraz zakończyć procesy wykonawcze rozsyłając "zatrutą pigułkę". Zaproponować strukturę obiektu zadania i odpowiedzi.

3.3.2 Propozycja rozwiązania 1

Nie jest do końca prawidłowa, ponieważ kod nie jest spójny i nie wiadomo czy analizuje pary klatek.

```
public class Image implements Entry {
    //należy pamiętać o tym aby każde pole było publiczne!
    public byte[] frame;
    public Integer id;
    //wymagane konstruktory
    public Image() {}
    public Image(Integer id, byte[] frame) {
        this.id = new Integer(id);
        this.frame = frame;
    }
}
```

```
//Dane przesyłane jako odpowiedź
public class Result implements Entry {
    public Integer id;
    public Boolean move;
    public Result() {}
    public Result(Integer id, Boolean move) {
        this.id = new Integer(id);
        this.move = new Boolean(move);
    }
}
```

```
public class Program {
    public int defaultLease = 100000;
    public int id = 1;

    public void producer() {
        byte [] img1, img2;
        img1 = getImage();
        try {
            Lookup lookup = new Lookup(JavaSpace.class);
            JavaSpace space = (JavaSpace) lookup.getService();
            img2 = getImage();
            while(true) {
                img = getImage();    // dostarczone w zadaniu
                if (img == null || img2 == null) break; // null = koniec
                Package data = new Data(id, img1, id + 1, img2);
                space.write(data, null, defaultLease);  // paczka do space
                img1 = img2;
                id++;
            }
        // bo breaku przełączamy się w tryb odbierania
        for (int i = 1; i < id; i++) {
            Result result = (Result) space.takeIfExsists(new Result(), null
                , defaultLease);
            if (result.move)
                System.out.println("Ruch obrazków: " + result.id1 + " " +
                    result.id2);
        }
        space.write(new Image(), null, defaultLease);
        } catch (Exception e) {}
    }

    public void consumer() {
        try {
            Lookup lookup = new Lookup(JavaSpace.class);
            JavaSpace space = (JavaSpace) lookup.getService();
            int i = 0;
            while(true) {
                Image img1 = new Image();    img1.id = i++;
                Image img2 = new Image();    img2.id = i;
                img1 = (Image) space.take(img1, null, defaultLese);
                img2 = (Image) space.read(img2, null, defaultLese);
                //czy wysłano "zatrutą pigułkę"
                if (img2.frame == null && img2.id == null) break;
                // czy wykonano ruch na obrazkach
                if (img1.frame.equals(img2.frame)) {
                    // tego chyba nie trzeba nawet wysyłać w tym zadaniu
                    result = new Result(img2.id, false);
                } else {
                    result = new Result(img2.id, true);
                }
                // wysyłanie wyniku do space
                space.write(result, null, defaultLease);
            }
        } catch (Exception e) {}
    }
}
```

3.4 2011, I termin, Adam Duszeńko

3.4.1 Treść

Napisać program umieszczający w przestrzeni JavaSpace **10** obiektów zadań zawierających **dwa** pola typu całkowitego oraz **dwa** pola typu łańcuch znakowy (zawartość nieistotna, różna od NULL), podać deklarację klasy zadań. Następnie odebrać z przestrzeni kolejno **10** obiektów klasy *Odpowiedź* o atrybutach *id* typu *Integer* oraz *wynik* typu *Integer* posiadające w atrybucie id wartość **15**, a następnie wszystkie z atrybutem $id = \mathbf{110}$. Przyjąć, że klasa *Odpowiedź* jest już zdefiniowana zgodnie z powyższym opisem.

3.5 2012, I termin, Adam Duszeńko

3.5.1 Treść

Napisać program umieszczający w przestrzeni JavaSpace **1000** obiektów zadań zawierających **trzy** pola typu całkowitego oraz **dwa** pola typu łańcuch znakowy (zawartość nieistotna, różna od NULL), podać deklarację klasy zadań. Następnie odebrać z przestrzeni kolejno **1000** obiektów klasy *Odpowiedź* o atrybutach *id* typu *Integer* oraz *wynik* typu *Integer* posiadające w atrybucie id wartość **35**, a następnie wszystkie z atrybutem $id = \mathbf{10}$. Przyjąć, że klasa *Odpowiedź* jest już zdefiniowana zgodnie z powyższym opisem.

3.6 2013, I termin

3.6.1 Treść

Napisać program umieszczający w przestrzeni JavaSpace **200** obiektów zadań zawierających **dwa** pola typu całkowitego oraz **dwa** pola typu łańcuch znakowy (zawartość nieistotna, różna od NULL), podać deklarację klasy zadań. Następnie odebrać z przestrzeni kolejno **100** obiektów klasy *Odpowiedź* o atrybutach *id* typu *Integer* oraz *wynik* typu *Integer* posiadające w atrybucie id wartość **35**, a następnie wszystkie z atrybutem $id = \mathbf{10}$. Przyjąć, że klasa *Odpowiedź* jest już zdefiniowana zgodnie z powyższym opisem.

3.6.2 Propozycja rozwiązania 1

```
public class MessageSend implements Entry {
    public String s1, s2;
    public Integer i1, i2;
    public MessageSend() {
        s1 = s2 = i1 = i2 = null;
    }
    public MessageSend(String s1, String s2, Integer i1, Integer i2) {
        this(s1, s2, i1, i2)
    }
}

public class Producent {
    Lookup lookup;
    public Producent() {
        lookup = new Lookup(JavaSpace.class);
    }
    public void produce() {
        try {
            JavaSpace space = (JavaSpace) finder.getService();
            for(int i = 0; i < 200; ++i) {
                space.write(new MessageSend("a", "a", i, i), null, 100000);
            }
            Odpowiedź data;
            for(int i = 0; i < 100; ++i) {
                data = new Odpowiedź();
                data.id = 35;
                data.wartość = null;
                space.take(data, null, 100000);
            }
            while(true) {
                data = new Odpowiedź();
                data.id = 10;
                data.wartość = null;
                data = (Odpowiedź) space.takeIfExists(data, null, 100000);
                if (data == null) break;
            }
        catch(Exception e) { }
        }
    }
    public static void main(String[] args) {
        Producent tmp = new Producent();
        tmp.Producer();
    }
}
```

3.6.3 Propozycja rozwiązania 2

```
package pl.ak.javaspaces;
import net.jini.core.entry.Entry;
import net.jini.core.transaction.TransactionException;
import net.jini.space.JavaSpace;

public class JavaSpaceObject implements Entry {
    public String s1, s2;
    public Integer i1, i2;
    public JavaSpaceObject() {
        this(null, null, null, null);
    }
    public JavaSpaceObject(String s1, String s2, Integer i1, Integer i2) {
        this(s1, s2, i1, i2)
    }
    public String toString() {
        return data;
    }
}

public class JavaSpaces {
    public static void main(String[] args) {
        try {
            Lookup finder = new Lookup(JavaSpace.class);
            JavaSpace space = (JavaSpace) finder.getService();
            for(int i = 0; i < 200; ++i) {
                space.write(new JavaSpaceObject("a","a",i,i), null, 100000)
                    ;
            }
            Odpowiedź data;
            for (int i = 0; i < 100; ++i) {
                data = new Odpowiedź();
                data.id = 35;
                data.wartość = null;
                space.take(data, null, 100000);
            }
            while(true) {
                data = new Odpowiedź();
                data.id = 10;
                data.wartość = null;
                data = (Odpowiedź) space.takeIfExists(data, null, 100000);
                if (data == null)
                    break;
            }
            catch(Exception e) {
                System.out.println(e.getMessage());
            }
        }
    }
}
```

3.7 2014, I termin, Adam Duszeńko

3.7.1 Treść

Napisać kod programu głównego wykonawczego do przetwarzania z wykorzystaniem maszyny JavaSpace przetwarzającego obiekty zadań zawierające dwie wartości całkowite, oraz numer obiektu i flagę logiczną początkowo zawierającą wartość *FALSE*. W momencie pobrania obiektu zadania program wykonawczy ma podmienić w przestrzeni JavaSpace pobrany obiekt na ten sam, ale z flagą ustawioną na wartość *TRUE*. Przetwarzanie obiektu realizowane jest w funkcji *int check(int, int)* do której należy przekazać wartości z obiektu zadania. PO skończeniu przetwarzania zadania, przed zwróceniem wyniku, należy usunąć z przestrzeni JavaSpace obiekt przetwarzanego zadania. Wynik funkcji *check* należy umieścić w obiekcie wynikowym którego strukturę proszę zaproponować. Obsłużyć koniec działania programu przez skonsumowanie "zatrutej pigułki".

3.7.2 Propozycja rozwiązania 1

4 CUDA

5 MOSIX