



Procesorul MIPS pipeline

– versiune pe 16 biți –

Raport de activitate

Procesorul MIPS pipeline – versiune pe 16 biți

Student: Lazea Dragoș-Bogdan
CTI-Română, Seria A, Grupa 30223
An academic 2020-2021


a. Modificări particulare pentru instrucțiunile alese suplimentar

Instrucțiunile alese suplimentar nu au suferit modificări particulare la transformarea procesorului MIPS varianta ciclu unic în varianta pipeline, descrierea acestora rămânând identică cu cea din cadrul raportului în care a fost prezentată implementarea procesorului MIPS ciclu unic – versiune pe 16 biți.

b. Tabel cu descrierea regiștrilor de pipeline

REG_IF_ID(31 – 0)	REG_ID_EX(85 – 0)	REG_EX_MEM(58 – 0)	REG_MEM_WB(36 – 0)
Instruction(31 – 16)	RegDst(0)	MemtoReg(0)	MemtoReg(0)
PC + 1(15 – 0)	ALUSrc(1)	RegWrite(1)	RegWrite(1)
	Branch(2)	MemWrite(2)	ReadData(17 – 2)
	Bgez(3)	Branch(3)	ALURes(33 – 18)
	Bltz(4)	Bgez(4)	WriteAddress(36 – 34)
	Slr(5)	Bltz(5)	
	ALUOp(8 – 6)	BranchAddress(21 – 6)	
	MemWrite(9)	Zero(22)	
	MemtoReg(10)	Sign(23)	
	RegWrite(11)	ALURes(39 – 24)	
	sa(12)	RD2(55 – 40)	
	PC + 1(28 – 13)	WriteAddress(58 – 56)	
	RD1(44 – 29)		
	RD2(60 – 45)		
	ExtImm(76 – 61)		
	Func(79 – 77)		
	rt(82 – 80)		
	rd(85 – 83)		

Procesorul MIPS pipeline – versiune pe 16 biți

Student: Lazea Dragoș-Bogdan
 CTI-Română, Seria A, Grupa 30223
 An academic 2020-2021



d. Rezolvarea hazardurilor folosind diagrama pipeline

Programul original:

Instr. Nr.	Program
0	add \$1, \$0, \$0
1	addi \$4, \$0, 10
2	add \$2 , \$0, \$0
3	lw \$5, 0(\$2)
4	beq \$1, \$4, 7
5	lw \$3 , 0(\$2)
6	sub \$6 , \$5, \$3
7	bgez \$6 , 1
8	add \$5, \$0, \$3
9	addi \$2, \$2, 2
10	addi \$1, \$1, 1
11	j 4
12	sw \$5, 20(\$0)

Identificarea hazardurilor:

- ☐ Între **instrucțiunile 2 și 3** se identifică un **hazard de date** de tipul **Read After Write (RAW)** după **registrul \$2**, acesta putând fi soluționat prin introducerea a două NoOp-uri între cele două instrucțiuni.
- ☐ Între **instrucțiunile 5 și 6** se identifică, de asemenea, un **hazard de date** după **registrul \$3**, acesta fiind rezolvat în același mod cu cel precedent.
- ☐ Între **instrucțiunile 6 și 7** apare un ultim **hazard de date** de tip **RAW** după **registrul \$6**, soluționat în același mod.
- ☐ Poate fi identificat câte un **hazard de control** în cazul **instrucțiunilor 4, 7 și 11**. În ceea ce privește instrucțiunile 4 și 7, instrucțiuni de **salt condiționat**, hazardul este soluționat prin introducerea a trei operații de tip NoOp după instrucțiunea în cadrul căreia a fost regăsit hazardul, pentru instrucțiunea de **salt necondiționat** 7 fiind suficientă inserarea unei singure operații NoOp pentru a soluționa hazardul de control.
- ☐ **Hazardul structural** a fost soluționat prin modificarea blocului de registre RF astfel încât scrierea să aibă loc în mijlocul perioadei de ceas (pe frontul descrescător al semnalului de ceas).

Procesorul MIPS pipeline – versiune pe 16 biți

Student: Lazea Dragoș-Bogdan
 CTI-Română, Seria A, Grupa 30223
 An academic 2020-2021



Diagrama de pipeline pentru soluționarea hazardurilor, împreună cu programul rezultat după inserarea de NoOp

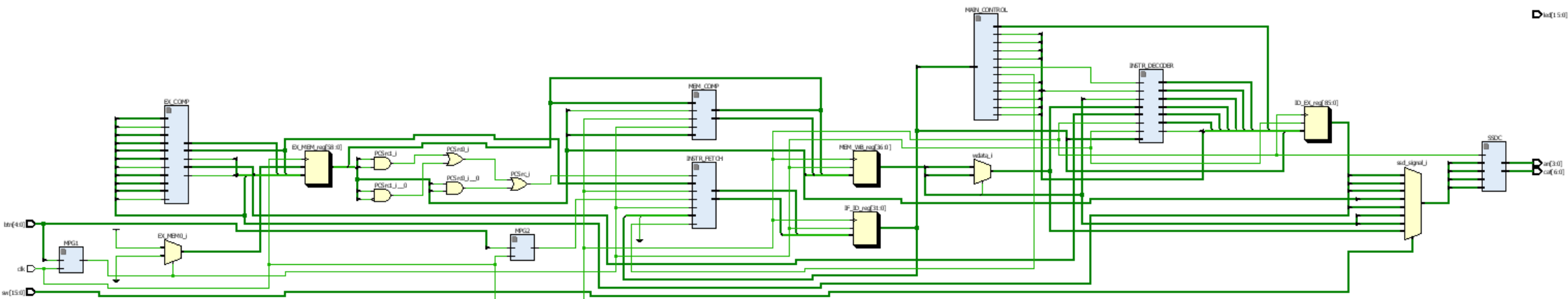
	Instrucțiune\Clk	CC1	CC2	CC3	CC4	CC5	CC6	CC7	CC7	CC8	CC9	CC10	CC11	CC12	CC13	CC14	CC15	CC16	CC17	CC18	CC19	CC20	CC21	CC22	CC23	CC24	CC25	CC26	CC27	CC28	CC29
0	add \$1, \$0, \$0	IF	ID	EX	MEM	WB																									
1	addi \$4, \$0, 10		IF	ID	EX	MEM	WB																								
2	add \$2 , \$0, \$0			IF	ID	EX	MEM	WB(\$2)																							
3	NoOp				IF	ID	EX	MEM	WB																						
4	NoOp					IF	ID	EX	MEM	WB																					
5	lw \$5, 0(\$2)						IF	ID(\$2)	EX	MEM	WB																				
6	beq \$1, \$4, 17							IF	ID	EX	MEM	WB																			
7	NoOp								IF	ID	EX	MEM	WB																		
8	NoOp									IF	ID	EX	MEM	WB																	
9	NoOp										IF	ID	EX	MEM	WB																
10	lw \$3 , 0(\$2)										IF	ID	EX	MEM	WB(\$3)																
11	NoOp											IF	ID	EX	MEM	WB															
12	NoOp												IF	ID	EX	MEM	WB														
13	sub \$6 , \$5, \$3													IF	ID(\$3)	EX	MEM	WB(\$6)													
14	NoOp														IF	ID	EX	MEM	WB												
15	NoOp															IF	ID	EX	MEM	WB											
16	bgez \$6 , 4																IF	ID(\$6)	EX	MEM	WB										
17	NoOp																	IF	ID	EX	MEM	WB									
18	NoOp																		IF	ID	EX	MEM	WB								
19	NoOp																			IF	ID	EX	MEM	WB							
20	add \$5, \$0, \$3																				IF	ID	EX	MEM	WB						
21	addi \$2, \$2, 2																					IF	ID	EX	MEM	WB					
22	addi \$1, \$1, 1																						IF	ID	EX	MEM	WB				
23	j 6																							IF	ID	EX	MEM	WB			
24	NoOp																								IF	ID	EX	MEM	WB		
25	sw \$5, 20(\$0)																										IF	ID	EX	MEM	WB

Procesorul MIPS pipeline – versiune pe 16 biți

Student: Lazea Dragoș-Bogdan
 CTI-Română, Seria A, Grupa 30223
 An academic 2020-2021



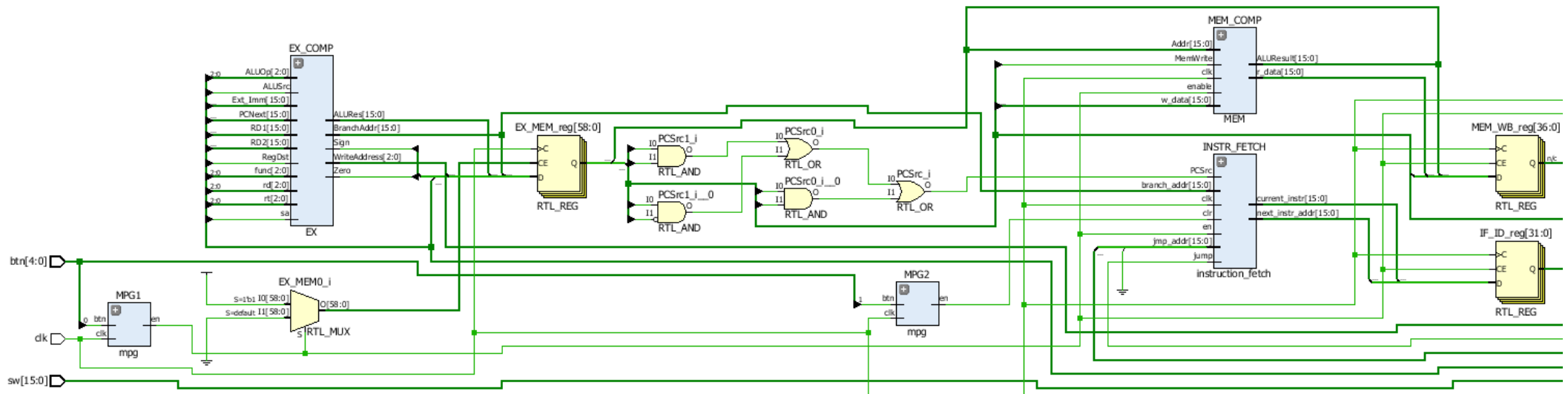
e. RTL schematic pentru entitatea top-level



Pentru o mai bună vizualizare a schemei proiectului, se vor atașa mai jos capturi de ecran mai detaliate ale unor secțiuni ale schemei redate mai sus.

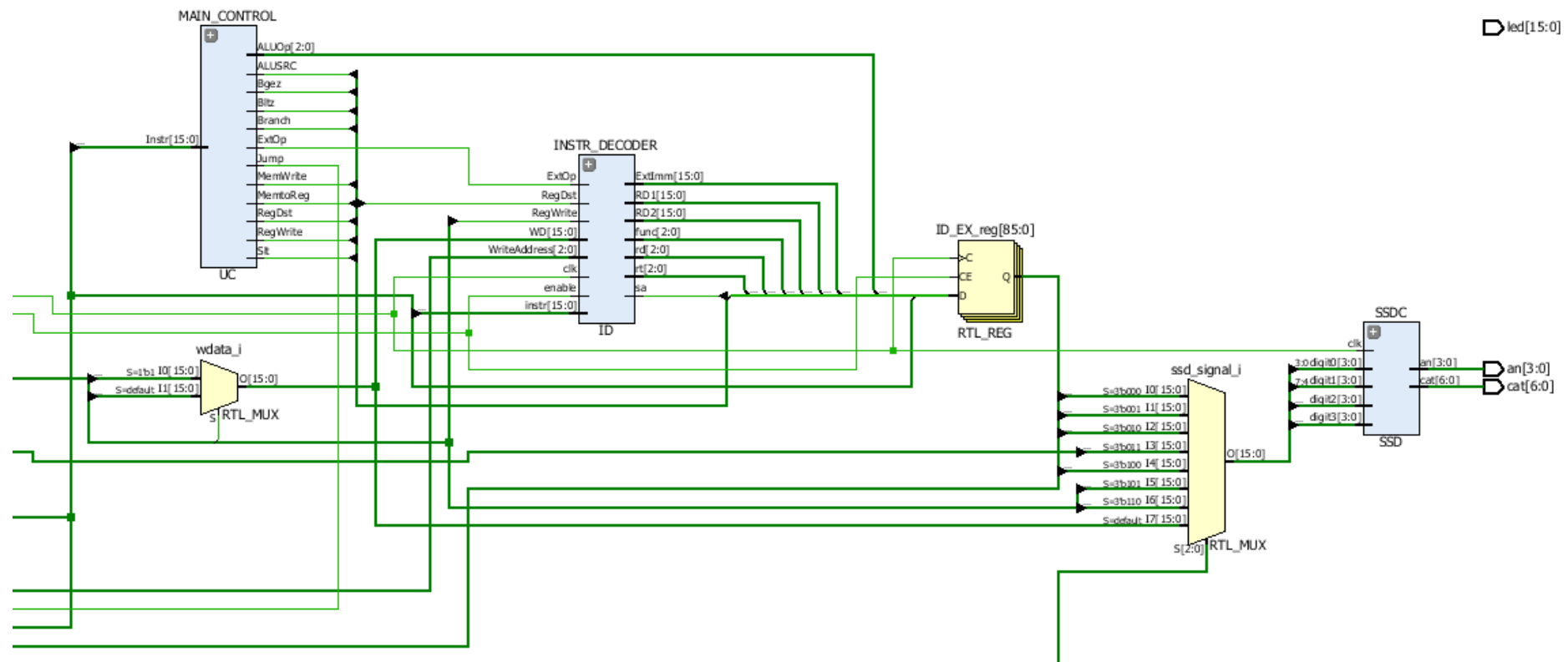
Procesorul MIPS pipeline – versiune pe 16 biți

Student: Lazea Dragoș-Bogdan
 CTI-Română, Seria A, Grupa 30223
 An academic 2020-2021



Procesorul MIPS pipeline – versiune pe 16 biți

Student: Lazea Dragoș-Bogdan
 CTI-Română, Seria A, Grupa 30223
 An academic 2020-2021



Procesorul MIPS pipeline – versiune pe 16 biți

Student: Lazea Dragoș-Bogdan
CTI-Română, Seria A, Grupa 30223
An academic 2020-2021