|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **研发硬件设计规范**  (主责部门：研发部) | | | | | | | | | | |
|  | | 编制 | | 戚原野 | 日期 | | 2023-01-28 | |  | |
|  | | 审核 | |  | 日期 | |  | |  | |
|  | | 审核 | |  | 日期 | |  | |  | |
|  | | 审批 | |  | 日期 | |  | |  | |
|  | | | | | | | | | | |
| **修订记录** | | | | | | | | | | |
| **日 期** | **修订状态** | | **修改内容** | | | **修改人** | | **审核人** | | **审批人** |
| 2020-2-15 | V1.0 | | 创建 | | | 研发部 | |  | |  |
| 2023-1-28 | V1.1 | | 修改 | | | 戚原野 | |  | |  |
|  |  | |  | | |  | |  | |  |
|  |  | |  | | |  | |  | |  |
|  |  | |  | | |  | |  | |  |
|  |  | |  | | |  | |  | |  |
|  |  | |  | | |  | |  | |  |
|  |  | |  | | |  | |  | |  |

目录

[1 目的 3](#_Toc126348715)

[2 适用范围 3](#_Toc126348716)

[3 职责 3](#_Toc126348717)

[4 硬件设计要求 3](#_Toc126348718)

[4.1 源档命名统一方式 4](#_Toc126348719)

[4.2 需求分析 5](#_Toc126348720)

[4.3 原理图设计 5](#_Toc126348721)

[4.4 原理图设计评审 6](#_Toc126348722)

[4.5 PCB设计 7](#_Toc126348723)

[4.6 PCB设计评审 7](#_Toc126348724)

[4.7 生产文件输出 8](#_Toc126348725)

[4.8 设计文件归档校验 9](#_Toc126348726)

[4.9 硬件调试 9](#_Toc126348727)

[4.10 采购阶段配合 9](#_Toc126348728)

[4.11 生产阶段 9](#_Toc126348729)

[4.12 设计或生产调试 10](#_Toc126348730)

[4.13 原理图与PCB设计常规准则 10](#_Toc126348731)

[4.13.1 方案阶段选型遵循原则 10](#_Toc126348732)

[4.13.2 原理图设计阶段必须遵循的原则 10](#_Toc126348733)

[4.13.3 PCB 设计阶段遵循原则 11](#_Toc126348734)

[4.13.4 封装库建立规范 20](#_Toc126348735)

# 目的

为了约束硬件设计、调试、以及生产环节规范以及风险把控；提高设计效率，减少/避免后续生产调试过程中的不必要的出错、延误等问题，特制订本规范。

# 适用范围

适用于所有硬件研发人员。

# 职责

研发部负责本规范的编写和维护更新，所有硬件研发人员按照本规范的要求进行硬件设计的统一管理。

**硬件设计工作内容：**

* 解析设计需求，制定项目设计方案；
* 反馈设计需求中存在的问题或不确定问题；
* 评估硬件新方案，平台；
* 跟进客户硬件调试问题；
* 配合软件调试；
* 编写硬件调试并记录对应设计版本调试存在的问题；
* 配合采购处理供应商问客、联络单问题确认；
* 配合生产测试、维修、调试；

# 硬件设计要求

* 源档命名方式
* 项目需求分析
* 原理图设计
* 原理图设计评审
* PCB设计
* PCB设计评审
* 生产文件输出
* 设计文件归档校验
* 硬件调试
* 原理图与PCB设计规范

## 源档命名统一方式

1. 由项目实际设计执行后，先确定设计文件名称，由市场部产品组确认后，立项导入设计；
2. 例C000P01-HT3516A-CORE-A01、C002P02-ZZGY-DVR-B01；

板卡丝印与文件名对应一致

需要体现CPU平台、设备类型或者标志性接口、版本和日期(仅BOM)；

A．按照公司命名规则执行,依照<研发文件归档规范>执行

例：

设计文件归档命名、格式 ： C000P01-HT3516A-CORE-A01  
PCB板卡丝印为两类：  
A. C000P01-HT3516A-CORE-A01

B. 依照客户指定丝印定义（物料编码时需要明确板卡编号与丝印，存在内部名与客户指定丝印不一致的情况）

1. 工程师设计前确认设计执行的项目编号和版本日期,内容在立项会上由市场部产品组明确和导入；
2. 所有新设计文件统一版本和版本日期，审核过外发生产的所有文件与备份服务器的设计源资料初始设计统一；
3. 板卡设计更改必须统一更新版本号和日期；

物料号立项建档时确认：物料描述包含项目编号、板卡型号、板卡丝印和描述（存在客户指定的的丝印）

1. BOM依照<BOM模板>整理；

BOM形式分为两种：PCBA和标准品，两种BOM为独立的两级类型

D-BOM：PCBA设计生产BOM；

E-BOM：标准品/整机集成BOM；

**PCBA：**电路板生产

标识以D-现用BOM号格式命名；

如：D- C000P01-HT3516A-CORE-A01-20170101；

版本号以A01为初始版本做更新；

在硬件型号基础上追加BOM日期的方式进行升级；

**标准品**：包含配件、机壳、外包装等，整套出货形式

标识以E-标准品型号;

如：E- HT-HD-H-C5-A01-20190101，

版本号以A01为初始版本做更新；

在标准品型号基础上追加BOM日期的方式进行升级；

## 需求分析

* 硬件工程师依据市场部产品组导入的<项目启动会表>、<设计需求文档>、<型式试验大纲>等文档形成<研发过程表单CheckList>
* 硬件工程师在<研发过程表单CheckList>中做好项目启动记录，明确设计时间节点，转化技术需求中的功能接口要求和性能指标要求

<研发过程表单CheckList>模板路径：

## 原理图设计

1. 核对客户/单板功能需求以及接口形式后确定设计；

* 在原理图首页布置完整设计框图；
* 框图需体现出设计框架与资源分配，以便核对整板设计拓扑；
* 需要有电源设计拓扑和预估功耗分配示意；
* 硬件设计电路图需要对必要的电源设计，走线要求做明确描述；
* 电路图中需要对设计要求做简明的转换注释（实现某功能的方法、要求以及相关软件控制实现的操作方法或者逻辑）；

1. 统一同规格器件的型号与封装，完善使用器件的完整型号与封装；

* 优化完善常规物料最新、完整型号；
* 查找确定替换物料；
* 优先使用公司ERP系统物料，新物料需要申请物料号

1. 模块化设计单功能模块化：

* 定型成熟应用的通用类功能芯片以及验证过的稳定电路，作为复用设计优选方案
* 工程师之前的交叉设计复用或者模块设计沿用，需要对接是否存在问题；
* 设计COPY至当前设计必须检验核对设计完整性是否存在问题；

1. 器件选型与使用

* 尽量以前设计沿用为主；
* 新选型需要确认采购渠道与供货/价格平衡对比后使用；

1. 设计考虑调试环节：

* 项目/产品设计需要对应准备软硬件调试所需的线缆和特殊接口的对接测试工具；
* 软件方面对硬件调试环节所需的基本配合；

1. 设计阶段预研：

* 预研或待测试的功能尽量以稳定方式集成到设计中，如需提前验证/同步验证的工作，仔细做好评估和核对确认；
* 特殊应用需要考虑前期单模块功能板/转接板等形式的验证工作；

1. 必要的验证尽量独立于项目设计做验证：

* 特殊大功能IC；
* 相对难解决的复杂/不稳定功能；

1. 硬件设计不完全独立于软件功能：

* 需要评估项目过程中同步确认软件接口功能对应的硬件实现方式；
* 与软件沟通确定特殊功能的实现方式以及逻辑；

1. 硬件设计的改动与升级：

* 需要在设计Block页做对应的功能变更项说明；
* 影响到软件功能/接口实现方式的变更，需特别备注，且在调试中给予软件变更LIST）；
* 项目设计过程中引起的功能变更或者需要软件有连带变更的工作需要首先确认清晰之后再集成至设计，并做好变更记录；

1. 设计核对：

* 原理图设计工作完成至导入至PCB环节，同步进行功能以及接口的再次确认，以避免因功能遗漏或者解读偏差引起的大的设计变更。

## 原理图设计评审

原理图评审主要在两方面进行：功能实现和可靠性

* 审核整体电路是否能实现设计目标的功能和目标成本；
* 审核整体电路是否符合设计目标的使用条件：如温湿度、EMC环境、振动冲击、使用环境、接口要求；
* 审核整体电路是否满足所执行标准的相关指标和要求；
* 审核所有器件和部件的供货、价格、装配使用的难易程度、可靠性等因素是否满足要求；
* 审核整体电路结构的合理性；
* 审核整体电路的可操作性，初步评估开发周期是否满足需要；
* 审核电路是否采用一些可靠、成熟、现成的电路或部件；
* 初步审核各个功能单元的合理性和正确性，特别是高速电路的信号完整性。
* 审核电路是否满足重要参数的要求；
* 对于某些不确定的设计要求，审核电路是否预留了足够的变更空间以方便试制；
* 对于有EMC、高可靠性、高湿度、高低温、振动强、接口隔离、低功耗等特殊要求的审核电路是否有做相关的设计处理；
* 对于新手设计的原理图，应尽可能详细审核，包括功能电路单元的器件参数、总线地址分配、重要器件的选择等，并对图上关键网络如：电源、高速时钟及总线和并对PCB图的布局、电源、数字地与模拟地LAYOUT设计提出指导意见。
* 提出评审结果，对于不合理的提出修改要求或建议，并进行第二次审核；
* 对于评审需送外的，由设计者整理对方的审核意见，以内部审核作参考。
* 原理图评审最终生成评审报告，上传至SVN目录：https://haitutech.picp.vip/svn/haitutech/项目管理/客户名称/项目名称/设备名称/02\_设计评审

## PCB设计

1. 先做结构定位、板型、定位的初步布置：

* 公司产品依照设计规划做布局；
* 客户定制依照客户图纸/沟通确认的布局方式；

1. 确定板卡设计层数，设计生产工艺需求：

* 优先考虑设计性能实现；
* 研发工作量评估；
* 综合评估设计后的生产工艺、生产周期、以及成本控制；
* 紧急定制项目或者对成本敏感度不高的项目，优先考虑研发总体效率；

1. 模块功能集中、布局优化紧凑；
2. 布局均匀对称，整齐；

充分考虑贴片与焊接中的干涉；

1. LAYOUT对接：

Layout设计要求需有对内或者对外的layout要求说明，同步体现在原理图对应的信号线页面；

此点主要是为了明确对layout人员的layout约束工作；

## PCB设计评审

* 评审流程

PCB设计完成后，由PCB设计者或项目负责人提出PCB设计质量评审。由参与或相关工作人员参加，评审之前设计人员先进性自检，并形成评审报告。

* 在评审之前，按照PCB设计规范自行检查，自行可检查以下项目：
* 检查高频、高速、时钟及其他脆弱信号线，是否回路面积最小、是否远离干扰源、是否有多余的过孔和绕线、是否有垮地层的分割区；
* 检查晶振、变压器、光藕、电源模块下面是否有信号线穿过，应尽量避免在其下穿线，特别是晶振下面应尽量覆地铜；
* 检查定位孔、定位件是否与结构图一致，SMT定位光标是否加上并符合工艺要求。
* 检查元器件的序号是否按从左至右的原则归宿无误的摆放。并且无丝印覆盖焊盘、过孔，并检查物料号（logo、丝印）是标识否符合要求。
* 检查布线完成情况，是否百分之百完成，是否有线头，是否有孤立的线或覆铜。
* 检查电源、地的分割正确性。单点接地、多点接地是否按要求。
* 光绘文件输出设置检查，如果需拼板或单板是否考虑可加工性和可调试性。工艺边是否按要求加。并用CAM350软件检查光绘文件。
* PCB评审
* 检查PCB板的布板和布线状态，是否有利于EMC、EMI。
* 检查网络是否按最新的原理图所对应的网表；
* 检查布线是否百分百完成；
* 更新DRC 并检查有无错误报告；
* 导出还有器件实体信息的DXF文件和外形及定位孔、定位件，由结构工程师或客户确认与结构有无干涉；
* 焊盘是否正确，是否符合要求（设计者需提供相应的器件规格书）；
* 器件封装的丝印是否清晰明了，是否区分第1脚标识；
* 禁布区是否无器件；
* 器件限高是否符合要求；
* 是否按工艺要求保持器件的距离；
* 敏感器件是否与其它器件隔离；
* 去藕电容是否紧靠IC，晶振是否紧靠IC；
* 线宽线距是否符合要求；
* 信号线到板边距离是否符合要求；
* 焊盘和大面积铜皮是否热焊盘连接；
* 插件孔的走线是否加泪滴处理；
* 是否无多余线段和覆铜；
* 过孔孔径是否符合电气及工艺要求；
* 是否没有在焊盘上打过孔，是否没有空网络的过孔、重孔、叠孔；
* 是否有logo标识；
* GERBER 数据是否准确；
* 拼板：mark点是否合理，板面强度是否足够，是否利于焊接和三防喷涂，是否利于测试。
* 原理图评审最终生成评审报告，上传至SVN目录：https://haitutech.picp.vip/svn/haitutech/项目管理/客户名称/项目名称/设备名称/02\_设计评审

## 生产文件输出

1. BOM按照ERP提取物料信息（ERP系统配合）；
2. 新用料输出若无编码信息，需要先生成最新物料编码，完善至BOM清单；
3. BOM需要完善厂家、规格、型号等信息；
4. 设计存档与服务器版本的BOM按照BOM模板格式整理上传SVN存档，参照<研发文件归档规范>要求；

## 设计文件归档校验

1. 服务器版本备份：

* 所有的设计与改板根据不同版本日期做归档处理，文件名统一日期和版本号；
* 生产文件对应变更只有升级BOM的对应版本的不同日期的更新；

1. 对外客户开放的文件：

* 按照立项会/销售要求提交交付资料

1. 归档人员对所有归档资料进行审查，确认文件按<研发文件归档规范>进行存档整理。

## 硬件调试

1. 根据设计框图与功能接口，确认设计框图和设计是否匹配；
2. 确认板载电源供电、系统等正常运行；
3. 做好调试接口所需的必要工装或者转接线；
4. 软硬件联合调试：

辅助软件工程师做好硬件环境搭建和平台测试接口的相关接口调试硬件准备；

移交确认测试接口和功能逻辑（原理图和特殊逻辑说明）；

1. 调试记录：

硬件调试问题需要及时准确完整记录，同步存档至文件管理器对应版本的调试文件夹目录下；

## 采购阶段配合

1. 配合物料采购确认：

* 常规BOM物料错误纠正；
* 特殊物料采购渠道确定等；

1. 生产问客：

* PCB制板工程问客以及供应商返回的生产文件核对（需上传至服务器）；
* 贴片供应商核料/产线问题解决；

1. 记录存档：
2. 由于设计原因产生的问客问题（BOM出错也属同问题）；

## 生产阶段

1. 工程师配合生产供应商/物料供应商问客反馈；
2. 解决产线生产问题；

## 设计或生产调试

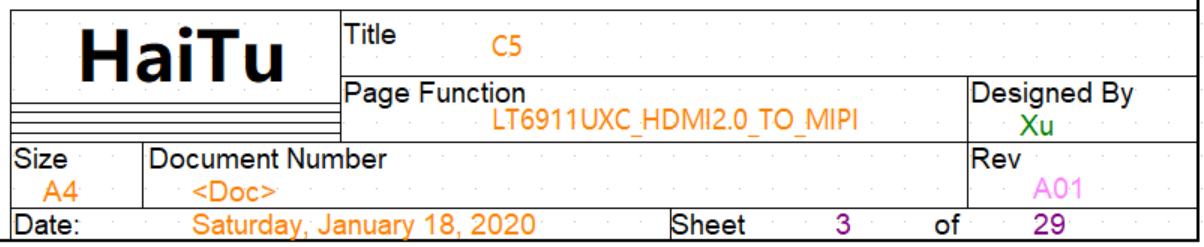
1. 试生产/样板阶段的调试验证；
2. 配合测试/软件调试的工装/线缆配套辅助工作；
3. 提供对外客户的调试接口硬件连接方法或其它的配套接口定义等；

## 原理图与PCB设计常规准则

### 方案阶段选型遵循原则

1. 详细理解设计任务书的需求，从中整理出电路功能模块和性能指标要求； 一般包括：精度、功能、功率、成本、强度等因素。
2. 针对CPU 或DSP选型芯片，选择比较接近成功的参考设计，并有生产商或合作方验证过的开发板;
3. 其他芯片及电路选型：性价比高，容易开发，参考设计多，软件资源丰富，成功案例多;
4. 尽量使用库存常用，少用冷偏；容易购买；周期短的器件；
5. 尽量选择在可预见的时间内不会停产的器件;
6. 尽量选择pin to pin兼容种类比较多的元器件;
7. 尽量使用元器件上所有的功能和管脚，提倡资源节约；

### 原理图设计阶段必须遵循的原则

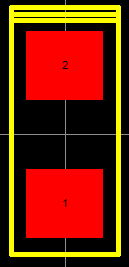
1. 原理图设计格式要求：采用同一的图框，图框采用A4，A3两种（图框见附录1）；原理图清晰、准确、规范、易读及模块化。一般要求:原理图分框图和细化图, 框图是描述该设计pcb的整体框架,细化图是指细化整体框架的每一模块.模块可由1张或几张图完成。每张原理图都需有公司的模板，并标明对应图纸的功能，文件名，设计者，日期，版本号；
2.  Figure 1
3. 符合产品设计执行的标准和技术要求（协议），包括国（际）标、铁标、企标，与客户的和合同，技术要求（协议）以及设计任务书。
4. 稳定性和可靠性设计：降额设计，环境条件，安规，EMC，防腐蚀设计，热设计，工艺设计。
5. 采用简单、成熟、可靠的模块化的单元电路；
6. 3.2.3.2充分考虑电磁兼容性，外部接口保护电路；
7. 数字电源和模拟电源分割；单点接地，机壳接大地;
8. 根据芯片使用手册，是否在输入或输出作外部处理，是上拉、下拉、还是悬空。
9. 功率开关器件保护如：继电器、MOS管的开关保护；
10. 可调器件，切换开关等对应的功能需标识清楚；
11. 每一部件（如IC）电源的去藕电容需置于对应脚的就近处。
12. CPU 为整机的控制中心，接口线最多，故其周围需留多一些空间进行布线及相关标注，而不致于过分拥挤。对于高速电路设计中考虑信号的完整性问题，特别对时钟及其它高速信号的阻抗匹配，防止信号波形出现异形。
13. 元器件参数务求准确标识，特别留意功率电阻一定需标明功率值，高耐压的虑波电容需标明耐压值。
14. 采用低功耗设计；电源充分考虑降额问题；
15. 散热问题：在功耗较大增加散热器或与外壳接触；
16. 元件标号按照：第一张标号范围1~100，第二张范围200~299，依次类推；
17. 若图中需测试点应在需测试的器件管脚或线标注，以TP1、TP2…方式进行。
18. 原理图设计完成后，设计人员应该按照上述要求首先进行自审，然后再提交他人审核，其他审核人员同样按照以上要求对原理图进行严格审查。发现问题要进行讨论分析。并以文件形式“设计评审”记录。

### PCB 设计阶段遵循原则

1. 根据原理图评审的文件，申请PCB物料号，根据原理图评审文件制定PCB设计计划，计划包括PCB布局、布线、信号完整性、光绘等关键检查点的时间要求。设计计划应由负责人签字认可。
2. 根据原理图创建的网络表，必须保证其正确性和完整性，然后根据器件手册确定封装。

封装的实际大小比器件实际要大，见下图：

0603 封装的电阻电容示例

二极管

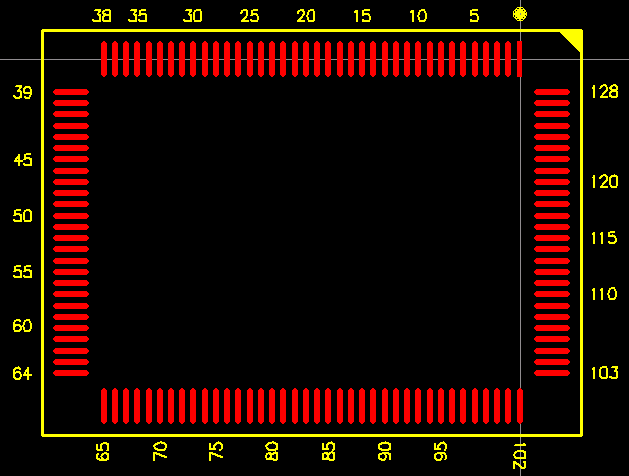
钽电容

电容（无极性）

电阻

封装焊盘的大小比器件焊盘大0.5mm，电阻用方形，电容用两端圆弧区分，

集成电路封装外形见下图：芯片的第1脚焊盘为“方形”，其余引脚为“圆形”，同时有丝印标记。芯片引脚数大于100的按下述图示引脚数编号。



BGA 封装也按此类型，横坐标为数字，纵坐标为字母。丝印清晰。并且在封装在对角位置上放置参考点，如果密度很高的板上，在长和宽小于100mm的区域中可以放置对角两个公用的产考点。在封装引脚间距大于等于0.6mm可以不加参考点。

1. PCB 布局
2. 根据结构图设置PCB的外形尺寸，放置安装孔、重要接插件位置（设置成不可移动），并且标注其尺寸。如生产等其他要求，设置禁止布线、布局区域，如定位孔等非安装孔周围1.27mm内不能贴装器件，螺钉等安装孔周围3.5mm（对于M2.5）、4mm（对于M3）内不得贴装元器件；
3. 光学定位点(MARK点)：满足SMT生产处理需要，必须在PCB的顶层和底层添加光学定位点。定位点大小不低于直径1mm，并有有金属保护圈，并且在其中心半径2mm内不准放置器件和覆铜或布线。定位点形状为圆形，必需加阻焊。同一层对角至少放置2个，若底层有SMT，必需在底层也放置。定位点距离板边或机械定位孔德距离不低于5mm。
4. 元器件的外侧距板边的距离为5mm；若距离小于，需加工艺边，工艺边宽度5mm。
5. 发热量大的器件如：功率管、放大管等热量大器件，尽量放置在板边缘，考虑热量流向原则；
6. 对可调电位器、开关等器件应放置便于调节操作的地方；
7. IC、阻容、极性类封装器件，同类尽保持单边对齐，有极性的器件在同一板上极性尽量保持一致，便于生产和检验；
8. 元器件的排列要便于生产加工、调试和维修。也就是小封装器件周围不能放置大元件，若一定要放必须有足够的空间；考虑元器件在二维、三维空间上有无冲突；BGA与相邻元件距离（丝印框）不低于5mm，其它器件如IC距离不低于1mm，贴装器件的外侧边与相邻插件距离不低于2mm；充分考虑插头、插座等机械设计是否矛盾；去藕电容要尽量靠近IC的电源管脚，并使之与电源和地之间形成的回路最短；关于表贴和插件混合过波峰焊的布局要求（略）。
9. 布局遵照“先大后小，先难后易”的原则，重要的核心器件和单元电路优先；
10. 布局应参考原理图信号流向规律放置器件，便于信号流通。并尽量满足：该信号总的连线尽可能短，大电流（高电压）、小电流、低电压信号完全分开，数字信号和模拟信号分开。高频信号和低频信号分开，高频元器件的间隔要充分。与外界接口的高频信号尽量靠近连接器。输入、输出元件尽量远离。
11. 以每个功能电路的核心元件为中心，围绕它来进行布局。器件应均匀、均衡、整齐、紧凑地排列在pcb板上，不能出现头重脚轻或一头沉的现象。在高速电路中，尽量考虑元器件之间的分布参数。加匹配电阻考虑信号的源端和终端，对于多负载终端匹配应在远端匹配。
12. 丝印要求：

* 所有元器件都有对应的丝印标号，清晰、明朗，且互不冲突，与BOM清单中的标识必须一致。

丝印字符宽度按板的实际大小定，一盘1.5~2mm高度，线宽0.2~0.254mm。

* 丝印字符遵循从左至右、从下往上的原则。
* 器件焊盘和需要搪锡的锡道上禁止丝印，器件位号不应被安装后器件所遮挡。有极性器件丝印方向易于辨认，有方向的插件其方向在丝印上也表示清楚。
* pcb板物料、版本、日期及公司的LOGO标志等信息丝印位置应明朗。

板外形较小的型号、日期不能缺。

* 对于PCB有安规、警示符，用2倍于一般丝印的宽的线，并印上警示用语。

PCB的其它安规如：UL、环保标志、厂家标志可有生产商来处理。

1. PCB 叠层

对于多层PCB，尽量使用地层和电源层将信号层隔开，避免两信号层直接相邻，相邻信号层应采用正交方向走线。各层排列参考如下：

4层  排列如下： 信号层1—地层—电源层—信号层2

6层 排列如下： 信号层1—地层1—信号层2—地层2—电源层—信号层3

8层 排列如下： 信号层1—地层1—信号层2—地层2—电源层—信号层3—

地层3—信号层4

对于层间厚度要求后续再完善。

1. 对于拼板要求

PCB 尺寸小于50x50mm原则上应进行拼板

拼板方向原则：平行SMT传送方向；拼板不影响其每块板的调试。拼板若需要在传送方向两侧加工艺边。并在PCB制板工艺中以cad图或文字描述清楚。

1. 布线设计规范
2. 布线设计原则

* 走线应避免锐角、直角。采用45°走线。
* 相邻层信号线位正交方向。
* 高频信号尽可能短。
* 输入输出信号尽量避免相邻平行走线，最好是在线间覆铜，以防串扰。
* 数字地、模拟地要分开，高频电路宜采用多点接地，反之采用单点接地，考虑地线（平面）的完整闭合。
* 对于时钟和高频信根据其特性阻抗考虑线宽，做到阻抗匹配。
* 整块线路板布线、打孔均匀，避免出现明显的疏密不均的情况。当印制板的信号有大片空白区域时，应加辅助线使板面金属线分布基本平衡。
* 信号层数的确定可参考以下数据：

Pin 脚密度在1.0mm 以上，信号层和板层为双面板；

Pin 脚密度在0.6~1.0mm，信号层为2层，板层4层；

Pin 脚密度在0.4~0.6mm，信号层4层或3层，板层6层或8层

Pin脚密度定义：板面积/板管脚总数；另外布线层数确定还要考虑可靠性、工作信号频率，成本等因素。

* 布线的线宽和线距

当信号的电流较大时，考虑布线宽度所能承受的电流，下述表格作参考，但在实际使用中应环境温度等其他因数，铜箔宽度的载流量在表中的数值至少降额50%以上去考虑。

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 铜厚35um | △t=10℃ | 铜厚50um | △t=10℃ | 铜厚70um | △t=10℃ |
| 宽度mm | 电流 A | 宽度mm | 电流 A | 宽度mm | 电流 A |
| 0.15 | 0.20 | 0.15 | 0.50 | 0.15 | 0.70 |
| 0.20 | 0.55 | 0.20 | 0.70 | 0.20 | 0.90 |
| 0.30 | 0.80 | 0.30 | 1.10 | 0.30 | 1.30 |
| 0.40 | 1.10 | 0.40 | 1.35 | 0.40 | 1.70 |
| 0.50 | 1.35 | 0.50 | 1.70 | 0.50 | 2.00 |
| 0.60 | 1.60 | 0.60 | 1.90 | 0.60 | 2.30 |
| 0.80 | 2.00 | 0.80 | 2.40 | 0.80 | 2.80 |
| 1.00 | 2.30 | 1.00 | 2.60 | 1.00 | 3.20 |
| 1.20 | 2.70 | 1.20 | 3.00 | 1.20 | 3.60 |
| 1.50 | 3.20 | 1.50 | 3.50 | 1.50 | 4.20 |
| 2.00 | 4.00 | 2.00 | 4.30 | 2.00 | 5.10 |
| 2.50 | 4.50 | 2.50 | 5.10 | 2.50 | 6.00 |

* 电路工作电压的线距的设置考虑其介电强度。通常150V~300V电源最少空气间隙及爬电距离。

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 一次侧 | | | | 二次侧 | | | |
| 线与保护地间距 mm | 工作电压V | 空气间隙mm | 爬电距离mm | 线与保护地间距 mm | 工作电压V | 空气间隙mm | 爬电距离mm |
| 4.00 | 50 | 1.00 | 1.20 | 2.00 | 71 | 0.70 | 1.20 |
|  | 150 | 1.4 | 1.6 |  | 125 | 0.70 | 1.5 |
|  | 200 |  | 2.0 |  | 150 | 0.70 | 1.6 |
|  | 250 |  | 2.5 |  | 200 | 0.70 | 2 |
|  | 300 | 1.7 | 3.2 |  | 250 | 0.70 | 2.5 |

在可靠性要求高时，倾向于使用较宽的布线和较大的间距，同时为高速信号（包括时钟）网络之间因较长平行布线引起相互干扰，加大平行布线地间距，遵循3W原则。

* 孔的设置

SMT焊盘边缘与过孔边缘最小距离10mil，如果过孔为埋窗工艺，则距离最小为6mil。盲孔通常不推存使用。

通常SMT器件的焊盘不允许有过孔、焊接孔，但作为DPAK封装散热需要除外。

下述为常用过孔尺寸：通常孔径与板厚的比例关系为小于等于1：6

|  |  |
| --- | --- |
| 内径mil | 外径mil |
| 12 | 25 |
| 10 | 22 |
| 10 | 20 |
| 8 | 16 |
| 6 | 14 |

过孔内径与线宽比例原则上按1：1关系。对于过孔低于12mil，要求加泪滴。

* 关于热设计要求大面积覆铜箔用隔热带与焊盘相连：焊盘与铜箔采用“米”或“+”字形连接；焊盘两端走线宽度均匀。
* 为保证PCB加工时不出现露铜等的缺陷，要求走线、铜箔(包括内层)距离板边至少大于1.25mm；对铣槽边大于0.5mm，在用于高低压隔离用途大于0.5mm。
* 测试点：

测试点均匀分布，测试点焊盘可用圆形焊盘表示，大小不低于直径1mm。

测试点与焊接面上元件的间距不低于2.54mm，在网络线上引出距离应越短越好。

对电源板和地应各留10个或以上的测试点，均匀分布在PCB板上，以测量整板等电位。

测试点不能放置在bottom层，一般不能把SMT焊盘作为测试点。

1. 具体布线原则

* 电源和地：

在接入IC电源前先对电源去藕，为防止相互干扰，对每个负载的电源独立去藕，并做到先滤波再进入负载。

对于双面或单层板来说，电源和地尽量粗而短，构成的环路尽量小。

环路最小规则：指信号线与其构成的环面积尽可能小。

多层板中避免出现电源层重叠。

* 时钟线：尽量少打过孔，避免和其它信号线并行走线，同时避开电源部分，防止干扰。当板上有多个不同频率的时钟时，也不可并行走线。时钟线避免靠近输出接口，防止耦合至端口发射出去，导致EMI。

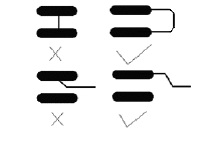
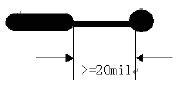
时钟发生芯片其下方不可走线。

尽量为时钟线、高频信号等敏感信号提供专门的布线层，保证其最小的回路面积,或为其单独加地线回路.

* 差分走线

差分走线为成对出现，尽量少打过孔，若需打孔时，必须同时打孔，以匹配阻抗。差分线的线距最好是2倍的线宽。

* 总线：尽量并排走线，以满足等长要求。
* 两焊点间距很小时，焊点间不可直接相连，从焊盘引出的过孔尽量远离焊盘远些。

* 覆铜

多层板内层要用负片，外层覆铜覆铜完全添实。

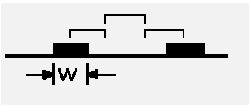
重叠电源与地线层规则：不同电源层在空间上避免重叠，主要是减少不同电源之间的干扰，特别是一些电压差很大的电源之间。难以避免考虑中间隔地层。

* 分割

在需要对电源层和底层进行分割时，其分割宽度要考虑不同电源之间的电位差，电位差大于12V，分割宽度为50mil以上，反之，可选在40mil~50mil之间。

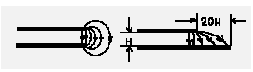
* 3W 的规则：

为了减少线间串扰，应保证线间距足够大，当线中心距不少于3倍线宽时，则可保持70%的电场不相互干扰，称3W规则，如果要98%的电场不相互干扰，可使用10W的线距。



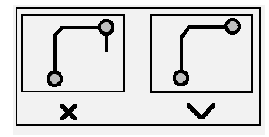
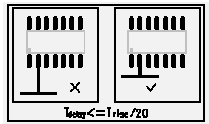
* 20H规则：

由于板工作，存在电流变化，即存在电源层和地层之间的电场存在变化，在板的边缘会向外辐射电磁波，称边沿效应。解决办法是将电源层内缩，使得电场只在地层范围内传导，以一个H（电源和地介质厚度）为单位，若内缩20H则可以将70%的的电场限制在地层边沿内；内缩100H则可将98%的电场限制在内。



1. 布线

* 关键信号如：高速信号、时钟信号、总线等信号优先布线。
* 布线从板连接关系最复杂的器件，连线最密集的区域开始。
* 由于自动布线的局限性，尽量采用手工布线。
* 走线方向：相邻层的走线成正交结构，避免将不同的信号线在相邻层走同一方向，以减少层间窜扰。当由于板结构限制（如背板等）难以避免出现该情况，特别是信号高速信号时，考虑用地平面隔离布线层，用地信号隔离各信号线。
* 走线禁止开环，不允出现一端浮空。避免产生 “天线效应”（下述左图）。控制走线分支长度（下述右图）。

* 阻抗匹配

同一网络的布线宽度应保持一致，线宽的变化会造成线路特性阻抗的不均匀，在高速电路中会产生反射。在设计中尽量避免这种情况，在某些情况下，如：BGA等其它类似引线，无法做到线宽一致时，应尽量减少中间不一致的有效长度。

在高速电路中，由于信号在网络线上传输存在延时，如果这个延时时间大于（具体来说比芯片的上升沿或下降沿）的1/4时，可能会造成整个系统的不稳定。因此为保证信号的输入和输出与传输线的阻抗匹配。选择匹配与网络的连接方 和布线的拓扑

* 走线闭环检查。防止信号线在不同间形成自环，特别是在多层板设计中很容易发生此现象，因自环将引起辐射。

### 封装库建立规范

焊盘的命名方法

|  |  |  |  |
| --- | --- | --- | --- |
| 焊盘类型 | 简称 | 标准图示 | 命 名 |
| 光学识别点 | MARK | Snap3 | 命名方法：MARK + 图形直径（mil） |
| 命名举例：MARK40。 |
| 表面贴装圆焊盘 | Circle | Snap5 | 命名方法：C + 焊盘直径（mil） |
| 命名举例：C25  C50  C60 |
| 表面贴装椭圆焊盘 | Oblong | Snap6 | 命名方法：B +长(X) ×宽(Y)（mil） |
| 命名举例：B60X24  B100X25 |
| 表面贴装方形焊盘 | Square |  | 命名方法：S + 焊盘宽度（mil） |
| 命名举例：S50  S100 |
| 表面贴装矩形焊盘 | Rectangle | Snap4 | 命名方法：R +长(X) ×宽(Y)（mil） |
| 命名举例：R80X60  R100X60 |
| 通孔圆焊盘 | THC | Snap7 | 命名方法：THC+焊盘外径(mm) +孔径D(mm) |
| 命名举例：THC1.6D1.0,  THC2.0D2.0(金属化通孔)。 |
| 通孔椭圆焊盘 | THB | Snap11 | 命名方法：THB +长（X）×宽（Y）+孔径D （mm） |
| 命名举例：THB2.0X1.6D0.8  THB2.54X2.0D1.0 |
| 通孔方焊盘 | THS | Snap8 | 命名方法：THS +焊盘外径(mm) +孔径D(mm) |
| 命名举例：THS1.6D1.0。 |
| 通孔长方焊盘 | THR | Snap9 | 命名方法：THR +长（X）×宽（Y）+孔径D （mm） |
| 命名举例：THR2.54X1.27D0.8。 |
| 异形孔 | BTHB |  | 命名方法：BTHB + 长（X1） ×宽（Y1）+孔径D+长（X2） ×宽（Y2）（mm） |
| 命名举例：BTHB1.5X2.54D1.0X1.5。 |
| BTHR |  | 命名方法：BTHR + 长（X1） ×宽（Y1）+孔径D+长（X2） ×宽（Y2）（mm） |
| 命名举例：BTHR1.5X2.54D1.0X1.5。 |
| 安装孔(非金属化) | MH |  | 命名方法：MH +焊盘直径D（mm） |
| 命名举例：MH3.2  MH2.7 |

通孔类单焊盘命名分解注释 X TH X

焊盘形状

通孔

无：圆形孔

有：其他形状孔

特别说明：焊盘命名时，采用单位（公制或英制），可灵活选择。但如果提供的资料中，有建议单位，按照建议单位设计。

2. 表贴元器件的建库

2.1 SMD电阻、电容、钽电容封装

表1.钽电容通用封装的尺寸对应表

|  |  |
| --- | --- |
| 通用封装 | 公制尺寸 |
| CA45-A | 3216 |
| CA45-B | 3528 |
| CA45-C | 6032 |
| CA45-E | 7343 |

需要注意：当需要使用0402封装时，须询问客户采用何种焊接方式。一般情况下：机贴时封装稍小，手工焊接稍大些。

电阻封装库采用闭合丝印框，电容封装库采用半闭合丝印框。

2.2  BGA封装

BGA元件的封装外形如图1所示：

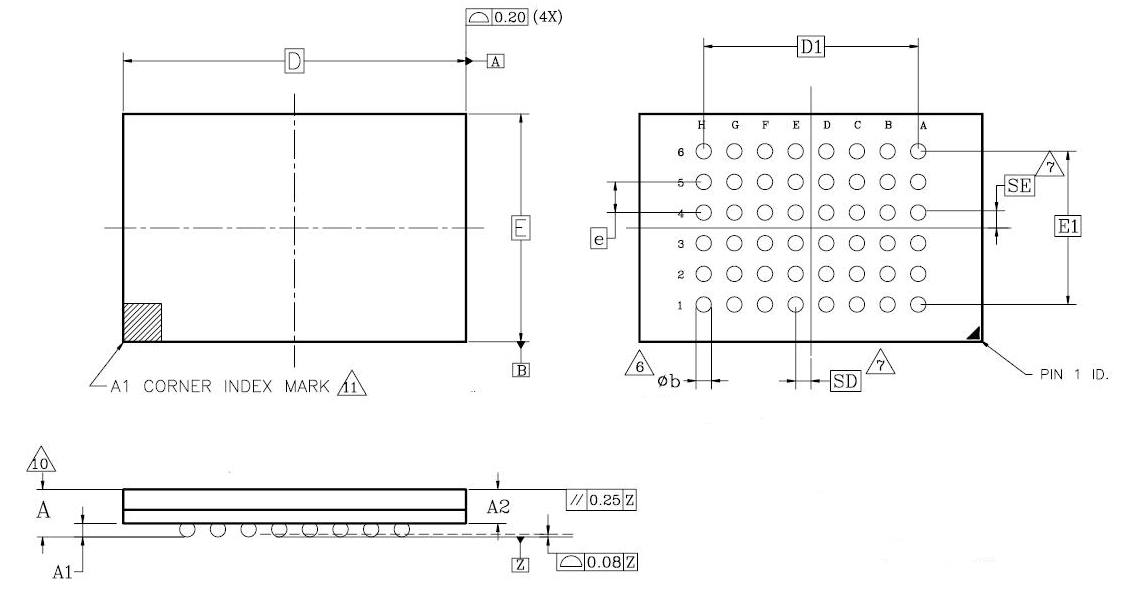


图1：BGA元件封装外形

在建立BGA封装库时，焊盘的尺寸设置一般由节距e的大小来决定，具体如下：

对于常规间距的BGA：

a) 1.27mm节距BGA封装，表贴盘通常设置为0.635mm；

b) 1.0mm节距BGA封装，表贴盘通常设置为0.5mm；

c) 0.8mm节距BGA封装，表贴盘通常设置为0.35mm。

对于非常规节距的BGA元件，焊盘尺寸选择须与原理图设计师协商。

另外，对于特殊的柱状型的CGA元件，封装外形如图2所示。 相比球状的BGA，焊盘尺寸须适当地放大点，如：1.27mm节距CGA封装，表贴盘可相应设置为0.8mm。

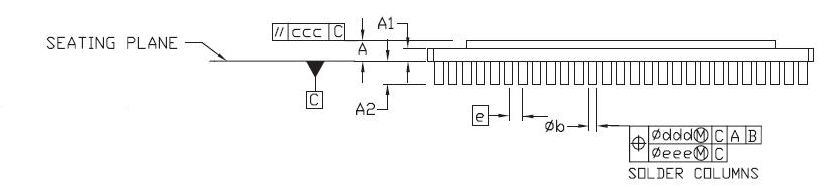


图2：CGA元件封装外形

BGA封装库的丝印框尺寸应与元件实体尺寸相符，但须保证丝印与焊盘间距不小于6mil。

2.3 SOP、QFP封装

在建立SOP、QFP封装库时，焊盘尺寸大小主要由元件的实际器件脚和引脚间距决定，

具体如下：

2.3.1长度的建造原则

器件在放置之后，器件脚位于焊盘的中心位置，器件脚与焊盘的外侧和内侧同时要留出0.5mm的空间，即焊盘长度=器件引脚长度（图3中 L）+1mm。

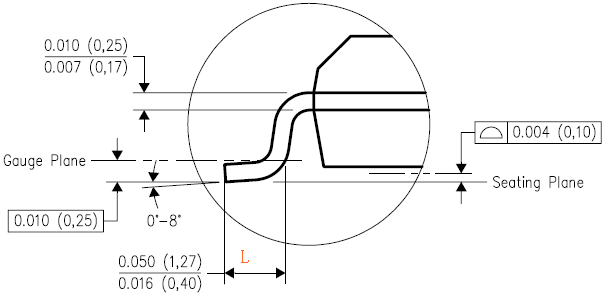


图3：SOP元件外形封装的引脚图

其中，对于只给出器件引脚长度L的范围，无Nominal值时，可按如下方式选取：

a) 0.4mm～1.27mm范围时选取1.0mm；

b) 0.45mm～0.75mm范围时选取0.8mm；

c) 0.5mm～0.7mm范围时选取0.8mm；

d) 0．6mm～0.8mm范围时选取0.8mm。

2.3.2焊盘宽度的选定

焊盘宽度值的设定最小值应不小于实际器件脚宽度的最大值。建库时，焊盘宽度设置可参照管脚中心距来选取，具体对应关系如下：

管脚中心距/焊盘宽度：0.4mm/8mil 0.5mm/12mil 0.635mm/16mil

0.65mm/16mil 0.8mm/22mil 1.27mm/28mil

2.3.3 SOP封装库的丝印框的长度应与元件实体长相符，宽度可小于实体宽；QFP封装库的丝印框尺寸可小于实体尺寸。但均须保证丝印与焊盘间距不小于6mil。

2.4 QFN封装

QFN元件的封装外形如图4所示。

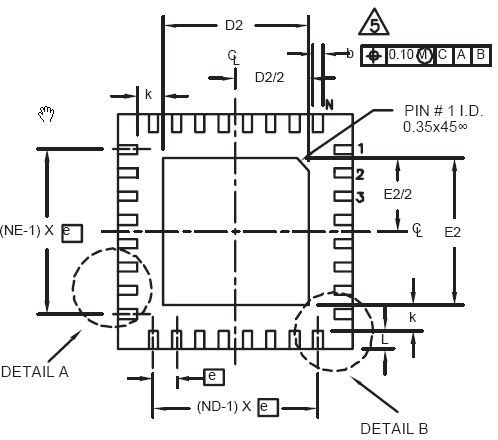
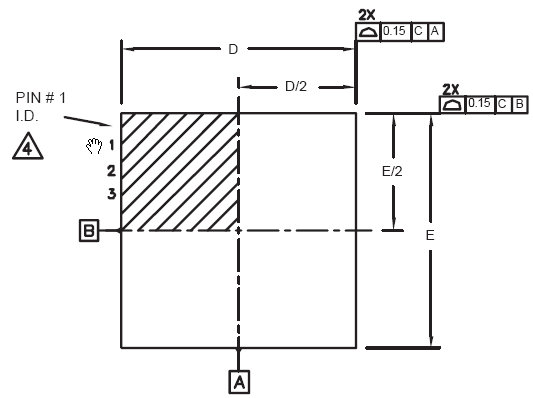


图4：QFN元件的封装外形

在建立QFN封装库时，焊盘尺寸大小主要由元件的实际器件脚决定，具体如下：

（1）焊盘长度=器件脚长（图4中L）X 2

（2）焊盘宽度=器件脚宽（图4中b）的最大值，并保证焊盘实体间距不小于6mil

QFN封装库的丝印框尺寸可稍大于元件实体尺寸，并保证丝印与焊盘间距不小于6mil。

3. 接插器件封装建库

对于插装器件封装建库，主要是通孔焊盘的设计，即孔径与焊盘外径的设置。

3.1 孔径的设置

插装元器件孔径的设计主要依据引线大小、引线成形情况而定。具体可按如下原则设置孔径：

对于使用圆形引线的插装元件：孔径比引线直径一般大0.2 mm～0.6 mm。

对于使用方形引线的插装元件：孔径比引线直径的1.414倍一般大0.2 mm～0.6 mm。

其中，大范围应视板厚选取，一般厚板选大值，薄板选小值，具体如下：

对于板厚在1.6mm（63 mil）～2 mm（79 mil）的板，孔径比引线直径一般大0.2（8 mil）mm ～ 0.4 mm（16 mil）即可。

对引线直径≥0.8mm(32mil)，板厚在2mm以上的安装孔，间隙适当大点，可以取0.4mm~0.6mm。

另外在考虑工艺要求的基础上尽量选用标准的孔径尺寸。标准孔径尺寸：0.25 mm（10 mil），0.4 mm（16 mil），0.5 mm（20 mil），0.6 mm（24 mil），0.7 mm（28 mil），0.8 mm（32 mil），0.9 mm（36 mil），1.0 mm（40 mil），1.3 mm（51 mil），1.6 mm（63 mil），2.0 mm（79 mil）。

注：0.25mm～0.6mm的孔径尺寸一般用作导通孔。

3.2 焊盘外径设置

插装元件焊盘外径设计主要依据布线密度以及安装孔径和金属化状态而定。

对于非金属化固定孔：焊盘外径等于孔径大小；

对于孔径≤1mm的金属化孔，焊盘外径一般为元件孔径加0.45 mm（18 mil）～0.6 mm（24 mil），具体依布线密度而定。但要满足焊盘环宽≥0.15mm（6mil），且焊盘实体间距≥ 6mil的要求；

其他情况下，焊盘外径按孔径的1.5～2倍设计，但要满足焊盘盘环宽≥0.15mmv （6mil），且焊盘实体间距≥ 6mil的要求