

P1 – 14 de Outubro de 2025

ACH2055 – OAC II (Valdinei Freire da Silva)

Nome: _____ NUSP: _____

Questão 1 [3.0] Considere a seguinte instrução: *MemSwap imm1(\$rs), imm2(\$rt)*, na qual ocorre a troca dos conteúdos na memória nos endereços $\$rs + imm1$ e $\$rt + imm2$.

Considere que os hardwares mais custosos são: banco de registradores ($1\eta s$ para leitura ou escrita), memória ($2\eta s$), ULA ($2\eta s$).

- a) Escreva um micro-código que garanta o menor tempo de ciclo.
- b) Escreva um micro-código que garanta a menor quantidade de estágios.

Questão 2 [2.0] Considere uma arquitetura implementada em uma organização monociclo e que programas descritos nessa arquitetura fazem bastante uso da seguinte sequência de código:

```
lw $rt, imm($r2)
add $rd, $rt, $r1
```

Dessa forma, estuda-se a introdução da instrução *addm \$rd, \$r1, imm(\$r2)* com o seguinte significado: $\$rd \leftarrow \$r1 + memory(imm + \$r2)$. Mas, ao inserir esta instrução na arquitetura, o tempo de ciclo aumenta de $6\eta s$ para $8\eta s$ na organização monociclo.

a) Considere um programa que utiliza a nova instrução 25 vezes, enquanto utiliza 75 vezes qualquer outra instrução. Calcule os tempos de execução considerando a instrução *addm* e sem considerar a nova instrução (troque cada *addm* pelo código descrito anteriormente).

b) Qual a porcentagem mínima de instruções *addm* para que valha a pena a implementação da nova instrução mesmo com a adição de $2\eta s$ no tempo de ciclo? [Não lembro exatamente o enunciado, mas esse era o sentido da pergunta]

Questão 3 [0.5] Considerando o código abaixo e os 5 estágios do pipeline vistos em aula (IF, ID, EX, MEM e WB), responda as perguntas a seguir:

```
lw $r1, 10($r2)
lw $r0, 5($r2)
add $r4, $r2, $r5
add $r3, $r6, $r7
```

- a) Qual operação está sendo realizada na ULA no ciclo 6?
- b) Em qual ciclo será lida a memória no endereço $5 + \$r2$?

Questão 4 [2.0] Considerando o código abaixo, mostre a pipeline de cada ciclo considerando a resolução de conflitos utilizando adiantamento e parada. Mostre claramente quando ocorre o adiantamento e a parada.

ciclos	1	2	3	4	5	6	7	8	9	10	11
<i>lw</i> \$1, 10(\$0)											
<i>lw</i> \$2, 20(\$1)											
<i>add</i> \$3, \$1, \$2											
<i>add</i> \$4, \$3, \$2											

Questão 5 [2.5] Suponha uma cache de 4 linhas, blocos de 2 palavras. Considere-se três organizações diferentes: cache 1, mapeamento direto; cache 2, mapeamento associativo de duas vias; cache 3, mapeamento totalmente associativo. Nos mapeamentos associativos, considere LRU como critério de substituição.

a) Anote abaixo as ocorrências de (H)it e (M)iss para cada memória.

endereços	00	01	02	08	00	16	00	01	02	08	00	16
cache 1												
cache 2												
cache 3												

b) Desenhe o formato final da memória em cada caso. Isto é, indique quais palavras(endereços) estão armazenados na memória cache.

endereços	00	01	02	03	04	05	06	07
cache 1								
cache 2								
cache 3								