# Кратко представляет проект (цель, задачи)

Основной абстрактной целью проекта было добавление аппаратного расширителя набора команд к проекту процессора SCR1, ну и изучение этого пути.

В качестве аппаратного расширителя выбран модуль, производящий операцию извлечения квадратного корня из целого числа. Для того, чтоб работа содержала некую научность и исследование были поставлены задачи, которые описаны в техническом задании.

В начале поиск, анализ и рассмотрение алгоритмов извлечения квадратного корня с примерами для выявления двух оптимальных (то есть тех, которые пригодны для программной реализации, а не для ручных расчётов. Также критериями определения была сложность реализации и прогнозная производительность).

Следующими задачами стояла разработка аппаратных модулей по первому выбранному алгоритму на HLS и второму непосредственно на Verilog и сравнение их производительности для выбора того модуля, который планируется добавлять в проект SCR1.

Следующим этапом было проведение Unit-тестов для проверки работоспособности и адекватности поведения модуля при различных значениях.

Последними задачами являлись добавление модуля в ядро SCR1, оценка производительности и проведение тестов работоспособности команды.

# С какими архитектурными сложностями лично столкнулся в работе и почему было сделано такое решение (выбор методов и средств на любом из этапов)

Одной из первых архитектурных сложностей являлся выбор реализации модуля между HLS и непосредственной реализацией на Verilog’е.

Поэтому было выбрано 2 варианта алгоритма. Один из них был итерационным, а также включал операции, которые не поддерживаются в Verilog’е. Например, деление. Также алгоритм содержит операции с числами с плавающей запятой, что требует дополнительной реализации fpu. Для понижения трудозатрат данный алгоритм был реализован с помощью HLS.

Второй выбранный алгоритм не обладает ранее перечисленными недостатками, поэтому он был реализован непосредственно на Verilog’е.

После выполнения синтеза на HLS было получено устройство, которое требует слишком много аппаратных ресурсов из-за подключения большого количества дополнительных модулей. Все это добавляет сложность для внедрения устройства в ядро SCR1. Также модуль был во много раз медленнее, чем модуль, реализованный на Verilog’e, который и был выбран для дальнейшей работы.

На этапе UNIT-тестирования возникла проблема с невозможностью перебора всех чисел связанная с тем, что необходим огромный промежуток времени, большая мощность машины, на которой производится тестирование, а также табличный процессор Excel, в котором производится сравнение результатов вычислений модуля и встроенной функции извлечения квадратного корня, не позволяет включить в таблицу все целочисленные значения. Поэтому целесообразным было провести тестирование на ограниченном количестве определенных значений:

* на максимально допустимом, минимально допустимом значениях и близких к ним;
* а также на 100 случайных числах, которые определялись функцией random во время симуляции.

Следующая проблема появилась на этапе логического синтеза ядра SCR1 с добавленным модулем, целью которого является определение наличия TIMING VIOLATIONS, то есть **временных нарушений**. После его проведения было выявлено, что логический путь исполнения комбинаторной логики добавленного модуля является непостижимым. Об этом свидетельствует отрицательное значение показателя WNS (worst negative slack). Одним из решений данной проблемы является понижение частоты синхросигнала, но при этом произойдет падение производительности всего ядра SCR1, то есть операции, которые выполнялись раньше на частоте по умолчанию без проблем, будут выполняться дольше.

Второй подход к решению данной проблемы – это разбить логический путь комбинаторной логики на четыре этапа, который в конце концов помог решить проблему. После выполнения логического синтеза был получен положительный WNS.

# Кратко выводы по работе (удалось ли достигнуть цель, какие результаты)

Подводя итоги, можно сказать, что цели были достигнуты. Хоть и возникали ранее перечисленные проблемы, к каждой из них было найдено решение. Соответственно, проект был реализован полностью.

# Польза проекта (науч. новизна, проф. пригодность и пр.)

Научная новизна заключается хотя бы в том, что нет готовой методологии для выполнения добавления аппаратного расширителя набора команд ядра SCR1, то есть работа является неким мануалом, в котором описан весь путь реализации данной задачи, а также рассмотрены проблемы, которые могут возникать на этом пути, и подходы к их решению.

Также новизна заключается в том, что до этого ядро SCR1 не умело вычислять квадратный корень из числа, это нужно было реализовывать вручную в программе на ассемблере.

В ходе многочисленных тестирований было выявлено, что ядро SCR1 с включенным в него разработанным модулем является работоспособным, а также работает на частоте по умолчанию для ядра без аппаратного расширителя.