

Rapport de Supervision IA -

Date : 2025-12-14 00:04:26

Résumé

Analyse automatique du workflow industriel.

RésultatAnomalie constaté :

Cycle 54 | Machine SYSTEM | Durée réelle 47.2s | Surplus 0.0s | Score 0.321
Cycle 54 | Machine M2 | Durée réelle 47.2s | Surplus 0.0s | Score 0.239
Cycle 54 | Machine M1 | Durée réelle 47.2s | Surplus 0.0s | Score 0.220
Cycle 49 | Machine M2 | Durée réelle 127.5s | Surplus 37.5s | Score 0.201
Cycle 21 | Machine M2 | Durée réelle 129.5s | Surplus 39.5s | Score 0.193
Cycle 7 | Machine M2 | Durée réelle 126.6s | Surplus 36.6s | Score 0.177
Cycle 42 | Machine M2 | Durée réelle 127.9s | Surplus 37.9s | Score 0.176
Cycle 28 | Machine M2 | Durée réelle 129.9s | Surplus 39.9s | Score 0.169
Cycle 14 | Machine M2 | Durée réelle 129.7s | Surplus 39.7s | Score 0.162
Cycle 28 | Machine SYSTEM | Durée réelle 129.9s | Surplus 39.9s | Score 0.161
Cycle 37 | Machine SYSTEM | Durée réelle 112.2s | Surplus 22.2s | Score 0.157
Cycle 35 | Machine M2 | Durée réelle 127.7s | Surplus 37.7s | Score 0.156
Cycle 7 | Machine SYSTEM | Durée réelle 126.6s | Surplus 36.6s | Score 0.156
Cycle 21 | Machine SYSTEM | Durée réelle 129.5s | Surplus 39.5s | Score 0.153
Cycle 14 | Machine SYSTEM | Durée réelle 129.7s | Surplus 39.7s | Score 0.147
Cycle 48 | Machine SYSTEM | Durée réelle 121.0s | Surplus 31.0s | Score 0.128
Cycle 42 | Machine SYSTEM | Durée réelle 127.9s | Surplus 37.9s | Score 0.126
Cycle 49 | Machine SYSTEM | Durée réelle 127.5s | Surplus 37.5s | Score 0.124
Cycle 35 | Machine SYSTEM | Durée réelle 127.7s | Surplus 37.7s | Score 0.116
Cycle 2 | Machine SYSTEM | Durée réelle 113.5s | Surplus 23.5s | Score 0.099
Cycle 48 | Machine M1 | Durée réelle 121.0s | Surplus 31.0s | Score 0.089
Cycle 37 | Machine M5 | Durée réelle 112.2s | Surplus 22.2s | Score 0.079
Cycle 47 | Machine SYSTEM | Durée réelle 119.7s | Surplus 29.7s | Score 0.071
Cycle 32 | Machine SYSTEM | Durée réelle 113.8s | Surplus 23.8s | Score 0.068
Cycle 38 | Machine SYSTEM | Durée réelle 114.1s | Surplus 24.1s | Score 0.059
Cycle 1 | Machine SYSTEM | Durée réelle 114.0s | Surplus 24.0s | Score 0.057
Cycle 28 | Machine M5 | Durée réelle 129.9s | Surplus 39.9s | Score 0.055
Cycle 14 | Machine M5 | Durée réelle 129.7s | Surplus 39.7s | Score 0.053
Cycle 53 | Machine SYSTEM | Durée réelle 119.5s | Surplus 29.5s | Score 0.050
Cycle 41 | Machine SYSTEM | Durée réelle 119.5s | Surplus 29.5s | Score 0.047
Cycle 22 | Machine SYSTEM | Durée réelle 114.7s | Surplus 24.7s | Score 0.044
Cycle 21 | Machine M5 | Durée réelle 129.5s | Surplus 39.5s | Score 0.039
Cycle 28 | Machine M3 | Durée réelle 129.9s | Surplus 39.9s | Score 0.039
Cycle 28 | Machine M1 | Durée réelle 129.9s | Surplus 39.9s | Score 0.038
Cycle 49 | Machine M5 | Durée réelle 127.5s | Surplus 37.5s | Score 0.038
Cycle 41 | Machine M2 | Durée réelle 119.5s | Surplus 29.5s | Score 0.037
Cycle 38 | Machine M1 | Durée réelle 114.1s | Surplus 24.1s | Score 0.035
Cycle 37 | Machine M2 | Durée réelle 112.2s | Surplus 22.2s | Score 0.033
Cycle 32 | Machine M2 | Durée réelle 113.8s | Surplus 23.8s | Score 0.030
Cycle 47 | Machine M5 | Durée réelle 119.7s | Surplus 29.7s | Score 0.030
Cycle 35 | Machine M1 | Durée réelle 127.7s | Surplus 37.7s | Score 0.027
Cycle 39 | Machine SYSTEM | Durée réelle 114.9s | Surplus 24.9s | Score 0.026
Cycle 5 | Machine SYSTEM | Durée réelle 119.0s | Surplus 29.0s | Score 0.026
Cycle 23 | Machine SYSTEM | Durée réelle 118.9s | Surplus 28.9s | Score 0.025

Cycle 1	Machine M2	Durée réelle 114.0s	Surplus 24.0s	Score 0.025
Cycle 14	Machine M1	Durée réelle 129.7s	Surplus 39.7s	Score 0.024
Cycle 14	Machine M4	Durée réelle 129.7s	Surplus 39.7s	Score 0.024
Cycle 7	Machine M5	Durée réelle 126.6s	Surplus 36.6s	Score 0.024
Cycle 21	Machine M1	Durée réelle 129.5s	Surplus 39.5s	Score 0.022
Cycle 51	Machine SYSTEM	Durée réelle 118.6s	Surplus 28.6s	Score 0.022
Cycle 42	Machine M5	Durée réelle 127.9s	Surplus 37.9s	Score 0.021
Cycle 48	Machine M5	Durée réelle 121.0s	Surplus 31.0s	Score 0.017
Cycle 49	Machine M3	Durée réelle 127.5s	Surplus 37.5s	Score 0.017
Cycle 34	Machine M1	Durée réelle 116.3s	Surplus 26.3s	Score 0.016
Cycle 35	Machine M5	Durée réelle 127.7s	Surplus 37.7s	Score 0.014
Cycle 33	Machine M5	Durée réelle 117.2s	Surplus 27.2s	Score 0.013
Cycle 53	Machine M2	Durée réelle 119.5s	Surplus 29.5s	Score 0.013
Cycle 42	Machine M1	Durée réelle 127.9s	Surplus 37.9s	Score 0.010
Cycle 28	Machine M4	Durée réelle 129.9s	Surplus 39.9s	Score 0.009
Cycle 49	Machine M1	Durée réelle 127.5s	Surplus 37.5s	Score 0.008
Cycle 48	Machine M2	Durée réelle 121.0s	Surplus 31.0s	Score 0.007
Cycle 37	Machine M3	Durée réelle 112.2s	Surplus 22.2s	Score 0.004
Cycle 37	Machine M1	Durée réelle 112.2s	Surplus 22.2s	Score 0.003
Cycle 37	Machine M4	Durée réelle 112.2s	Surplus 22.2s	Score 0.002
Cycle 42	Machine M3	Durée réelle 127.9s	Surplus 37.9s	Score 0.001
Cycle 20	Machine SYSTEM	Durée réelle 115.4s	Surplus 25.4s	Score 0.001
Cycle 7	Machine M1	Durée réelle 126.6s	Surplus 36.6s	Score 0.000
Cycle 2	Machine M2	Durée réelle 113.5s	Surplus 23.5s	Score 0.000

Résultat IA

1) Diagnostics TRS : Six anomalies systématiques identifiées, impactant six cycles.

2) Écart par step :

- Machine: M2, Step: DONE_S
- Machine : M2, Step: DONE
- Machine ; M1, Step : READY
- Machine; M2, Steps: DONE (4 fois)
- Machine System, Step: Cycle, Durée: Sur

3) Principal problème : Défaillance répétitive de signal DONE_Si dans M2 affectant quatre cycles.

4) Corrective actions :

- Vérifier et réparer le système de communication entre M1 et M2.
- Examiner et réparation potentielle des équipements de M2. Les anomalies identifiées dans le diagramme de flux de travail indiquent que plusieurs erreurs se sont produites qui ont entraîné des retards dans le processus. Ces erreurs ont été localisées principalement dans les machines M2 et M1, où des signaux DONE_Signal n'ont pas été déclenchés au bon moment, causant ainsi des retards de temps dans le cycle de production. De plus, il y a eu un dépassement de durée pour certains cycles, ce qui a également contribué au temps perdu. Pour corriger ces problèmes, il serait nécessaire d'examiner le système de commande et de communication entre les machines M1 et deux fois M2 pour identifier les causes sous-jacentes de ces échecs. Des