

编码器和译码器

PB18020616 李明达

实验目的

- 熟悉中规模集成电路编码器、译码器的工作原理和逻辑功能
- 掌握编码器、译码器的级联方法，了解编码器、译码器的应用

实验原理

- **编码：**用代码表示特定对象的过程（特定对象可以包括字母、数字、符号等）。
- **编码器：**实现编码的逻辑电路。
- **二进制编码的原则：**用 n 位二进制代码可以表示 2^n 个信号，对 N 个信号编码时，应由 $2^n \geq N$ 来确定编码位数 n 。
- 提问：101 键盘编码需要几位二进制代码？

1. 二进制编码器：用 n 位二进制代码对 2^n 个信号进行编码的电路。

3位二进制编码器（8-3编码器）

输入								输出		
I_0	I_1	I_2	I_3	I_4	I_5	I_6	I_7	Y_2	Y_1	Y_0
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

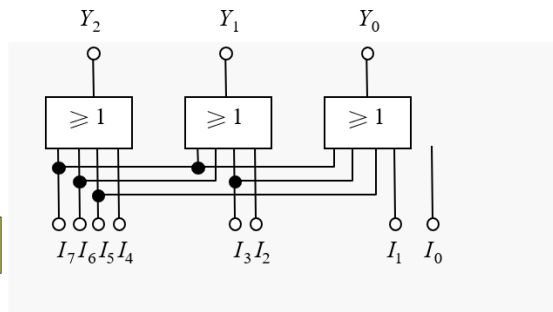
$$Y_2 = I_4 + I_5 + I_6 + I_7 = \overline{I_4} I_5 I_6 I_7$$

$$Y_1 = I_2 + I_3 + I_6 + I_7 = \overline{I_2} I_3 I_6 I_7$$

$$Y_0 = I_1 + I_3 + I_5 + I_7 = \overline{I_1} I_3 I_5 I_7$$

输入 8 个互斥的信号
输出 3 位二进制代码

利用了输入互斥的约束



8 个输入信号互斥。

当 $I_1 \sim I_7$ 输入为 0 时，输出就是 I_0 的编码。

输入信号为高电平有效（有效：表示有编码请求）

输出代码编为原码（对应自然二进制数）

2. 二—十进制编码器

将 0~9 十个十进制数转换为二进制代码的电路。

下图为 8421BCD 编码器的真值表。

输入8个互斥的信号，输出4位二进制代码

输 入										输 出			
I ₀	I ₁	I ₂	I ₃	I ₄	I ₅	I ₆	I ₇	I ₈	I ₉	Y ₃	Y ₂	Y ₁	Y ₀
1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	0	0	0	1	0	0
0	0	0	0	0	1	0	0	0	0	0	1	0	1
0	0	0	0	0	0	1	0	0	0	0	1	1	0
0	0	0	0	0	0	0	1	0	0	0	1	1	1
0	0	0	0	0	0	0	0	1	0	1	0	0	0
0	0	0	0	0	0	0	0	0	1	1	0	0	1

$$Y_3 = I_8 + I_9$$

$$= \overline{\overline{I_8} \overline{I_9}}$$

$$Y_2 = I_4 + I_5 + I_6 + I_7$$

$$= \overline{\overline{I_4} \overline{I_5} \overline{I_6} \overline{I_7}}$$

利用了输入互斥的约束

$$Y_1 = I_2 + I_3 + I_6 + I_7$$

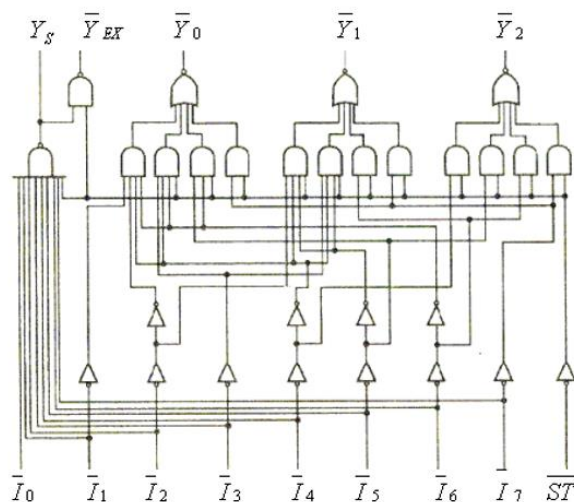
$$= \overline{\overline{I_2} \overline{I_3} \overline{I_6} \overline{I_7}}$$

$$Y_0 = I_1 + I_3 + I_5 + I_7 + I_9$$

$$= \overline{\overline{I_1} \overline{I_3} \overline{I_5} \overline{I_7} \overline{I_9}}$$

3. 优先编码器

允许同时输入几个编码信号，而电路只对其中优先级别最高的信号进行编码。下图为 8-3 优先编码器 74LS148 的逻辑图。



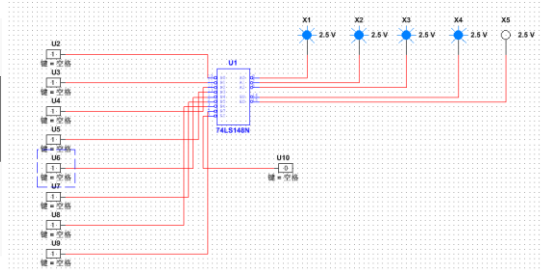
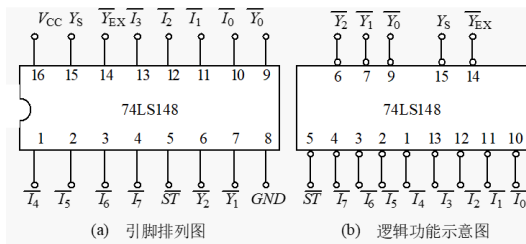
优先级编码器 74LS148 功能表

\overline{ST}	$\overline{I_0}$	$\overline{I_1}$	$\overline{I_2}$	$\overline{I_3}$	$\overline{I_4}$	$\overline{I_5}$	$\overline{I_6}$	$\overline{I_7}$	$\overline{Y_2}$	$\overline{Y_1}$	$\overline{Y_0}$	$\overline{Y_{EX}}$	Y_S
1	×	×	×	×	×	×	×	×	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	×	×	×	×	×	×	×	0	0	0	0	0	1
0	×	×	×	×	×	×	0	1	0	0	1	0	1
0	×	×	×	×	×	0	1	1	0	1	0	0	1
0	×	×	×	×	0	1	1	1	0	1	1	0	1
0	×	×	×	0	1	1	1	1	1	0	0	0	1
0	×	×	0	1	1	1	1	1	1	0	1	0	1
0	×	0	1	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1

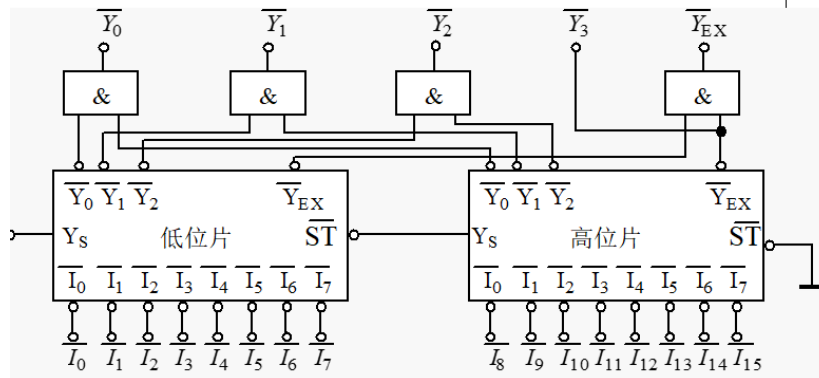
从功能表看出，输入输出的有效信号都是0。在输入中，下标越大，优先级越高。输出为反码输出。

控制输入端（选通输入端） $\overline{ST}=0$ 时，编码器工作。 $\overline{ST}=1$ 时，输出均为1，不进行编码。 Y_S 为选通输出端。当控制输入端 $\overline{ST}=0$ ，但无有效信号输入时， $Y_S=0$ 。 Y_{EX} 为扩展输出端。当 $\overline{ST}=0$ ，且有信号输入时， $\overline{Y_{EX}}$ 才为0，否则为1。

集成3位二进制优先编码器74LS148



集成3位二进制优先编码器74LS148的级联



16线-4线优先编码器

优先级别从 $\overline{I_{15}}$ ~ $\overline{I_0}$ 递降

注：从16线-4线优先编码器的功能表和8线-3线优先编码器的功能表的对照去理解。

2. 译码器

译码是编码的逆过程。

译码：将表示特定意义信息的二进制代码翻译出来。

译码器：实现译码功能的逻辑电路；

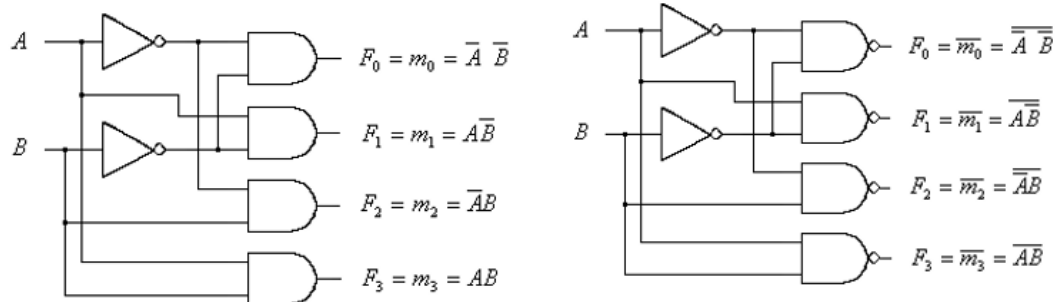
二进制译码原则：用 n 位二进制代码可以表示 2^n 个信号，所以对 n 位代码译码时，应

由 $2^n \geq N$ 来确定译码信号位数 N 。

3. 二进制译码器

将输入二进制代码译成相应输出信号的电路。

电路结构



译码器有输出高电平有效和输出低电平有效两种类型。输出高电平有效时，每个输出对应输入的一个最小项；输出低电平有效时，每个输出对应输入的一个最小项的非。设二进制译码器的输入端为 n 个，则输出端为 2^n 个，且对应于输入代码的每一种状态， 2^n 个输出中只有一个为 1（或为 0），其余全为 0（或为 1）。

二进制译码器可以译出输入变量的全部状态，故又称为变量译码器。

3 位二进制译码器

1 真值表

2

A_2	A_1	A_0	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

3 输入：3位二进制代码 输出：8个互斥的信号

4

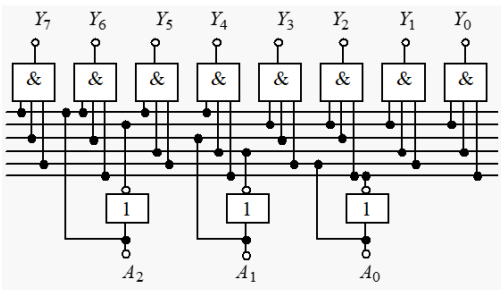
3 线-8 线译码器



逻辑表达式

$$\begin{cases} Y_0 = \overline{A_2} \overline{A_1} \overline{A_0} \\ Y_1 = \overline{A_2} \overline{A_1} A_0 \\ Y_2 = \overline{A_2} A_1 \overline{A_0} \\ Y_3 = \overline{A_2} A_1 A_0 \\ Y_4 = A_2 \overline{A_1} \overline{A_0} \\ Y_5 = A_2 \overline{A_1} A_0 \\ Y_6 = A_2 A_1 \overline{A_0} \\ Y_7 = A_2 A_1 A_0 \end{cases}$$

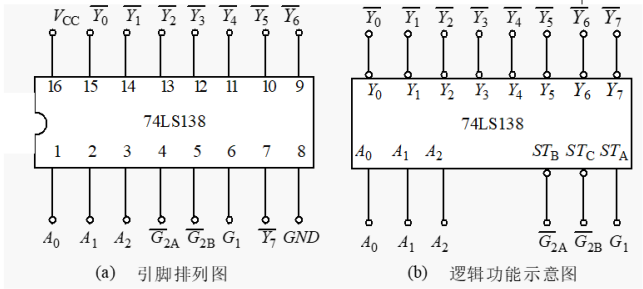
逻辑图



5

电路特点：与门组成的阵列

集成二进制译码器 74LS138



A_2 、 A_1 、 A_0 为二进制译码输入端， $\overline{Y_7} \sim \overline{Y_0}$ 为译码输出端（低电平有效）， G_1 、 $\overline{G_{2A}}$ 、 $\overline{G_{2B}}$ 为选通控制端。当 $G_1 = 1$ 、 $\overline{G_{2A}} + \overline{G_{2B}} = 0$ 时，译码器处于工作状态；当 $G_1 = 0$ 、 $\overline{G_{2A}} + \overline{G_{2B}} = 1$ 时，译码器处于禁止状态。

$$\overline{G_2} = \overline{G_{2A}} + \overline{G_{2B}}$$

真值表

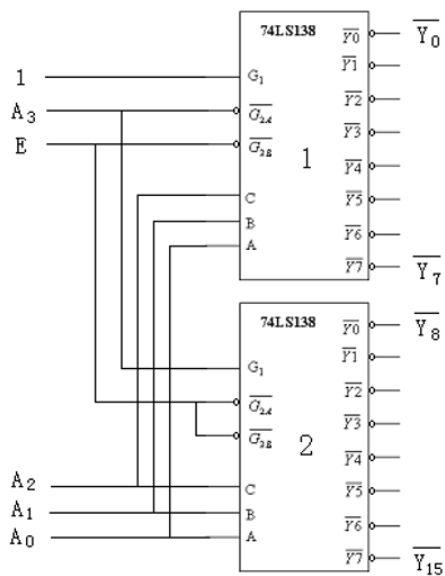
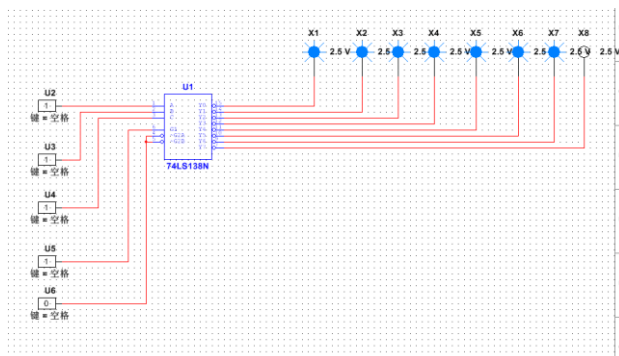


输入		输出										
使能	选择											
G_1	$\overline{G_2}$	A_2	A_1	A_0	$\overline{Y_7}$	$\overline{Y_6}$	$\overline{Y_5}$	$\overline{Y_4}$	$\overline{Y_3}$	$\overline{Y_2}$	$\overline{Y_1}$	$\overline{Y_0}$
×	1	×	×	×	1	1	1	1	1	1	1	1
0	×	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	0	1	1	1	1	1	1	1	0	1
1	0	0	1	0	1	1	1	1	1	0	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	0	1	1	1	1
1	0	1	0	1	1	1	0	1	1	1	1	1
1	0	1	1	0	1	1	0	1	1	1	1	1
1	0	1	1	1	1	0	1	1	1	1	1	1
1	0	1	1	1	0	1	1	1	1	1	1	1

输入：自然二进制码

74LS138演示

输出：低电平有效



功能扩展：2片 74LS138 组成 4-16 线译码器

当 $E=1$ 时，两个译码器均不工作，输出都为高电平。

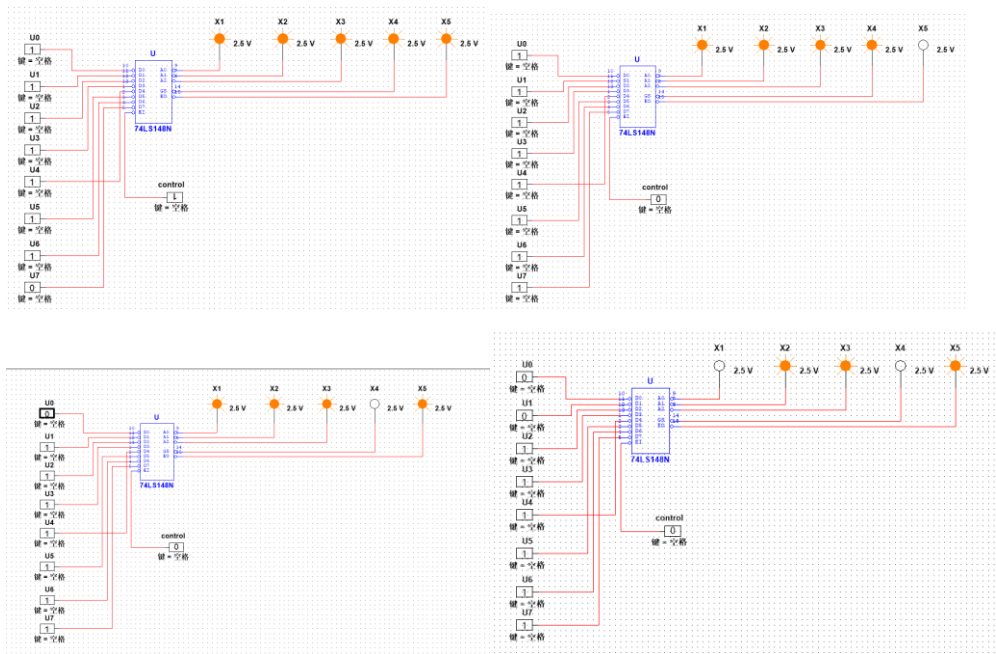
当 $E=0$ 时，译码器工作。

- 当 $A_3=0$ 时，1 号片工作，输出由输入二进制代码 $A_2A_1A_0$ 决定。
- 当 $A_3=1$ 时，1 号片不工作，输出全为高电平 1。2 号片工作，输出由输入二进制代码 $A_2A_1A_0$ 决定。

实验内容

一、验证 74LS148（优先编码器）的逻辑功能并记录真值表。

电路图以及典型情况如下，其余在“实验图片”一节中

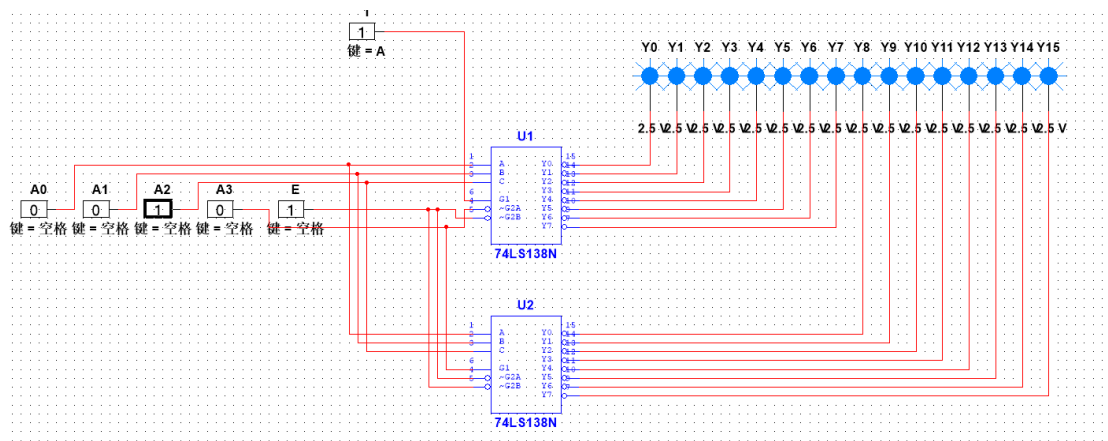


真值表如下

EI	D0	D1	D2	D3	D4	D5	D6	D7	A0	A1	A2	GS	E0
1	×	×	×	×	×	×	×	×	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	×	×	×	×	×	×	×	0	0	0	0	0	1
0	×	×	×	×	×	×	0	1	0	0	1	0	1
0	×	×	×	×	×	0	1	1	0	1	0	0	1
0	×	×	×	0	1	1	1	1	1	0	0	0	1
0	×	×	0	1	1	1	1	1	1	0	1	0	1
0	×	0	1	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1

二、用两块 74LS138（3—8 线译码器）级联实现 4—16 线译码器，画出连线图并验证其逻辑功能（记录真值表）。

实验电路图以及个别情况如下，其余在“实验图片”一节中

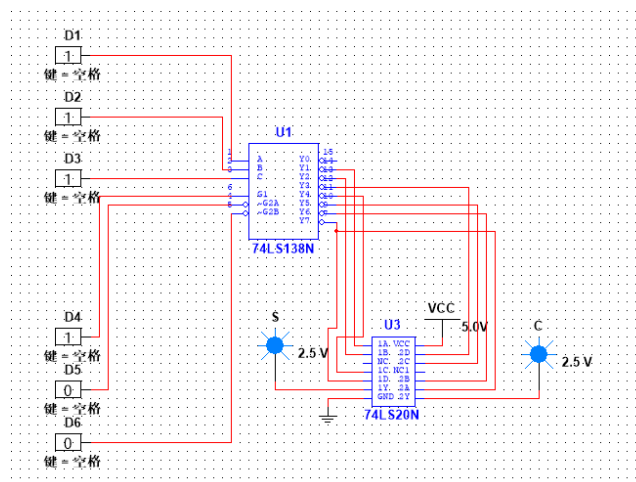
[illegible]

三、用一片 74LS138 和一片 74LS20 双与非门设计下面的多输出函数：

$$S = \sum m(1,2,4,7)$$

$$C = \sum m(3,5,6,7)$$

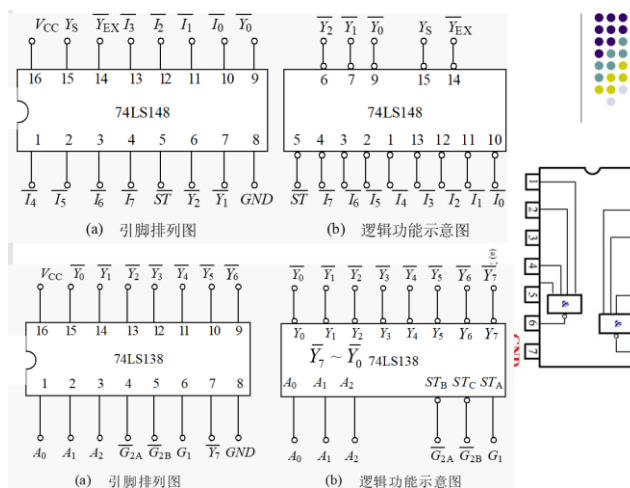
画出连线图并列出真值表。



D1	D2	D3	S	C
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

实验器材

Multism 中的一些元件，实际如下：



实验思考题（本次无）

实验图片

