

计数器及其应用——数字钟

李明达 PB18020616

一. 实验目的

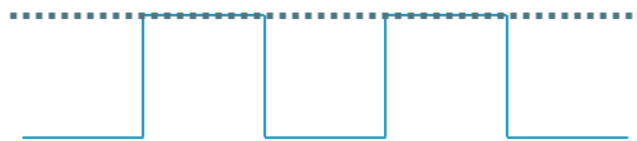
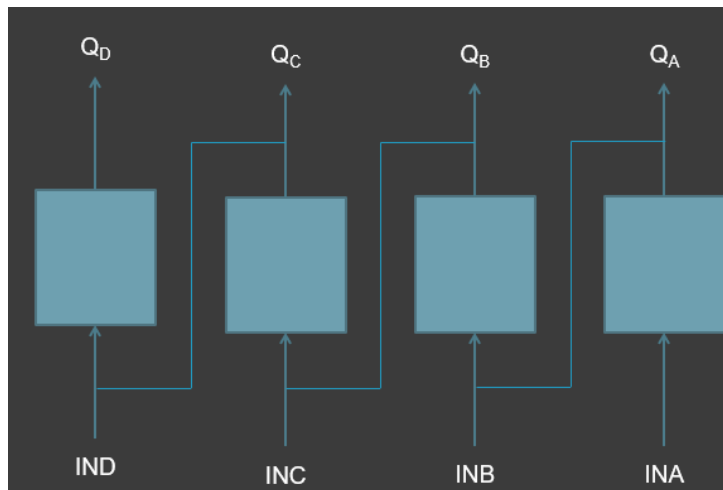
- 掌握中规模集成电路的功能及使用方法
- 学习用“反馈归零法” 构成 N 进制计数器的方法
- 学会中规模集成电路的分析方法、设计方法和测试方法

二. 实验器材

集成芯片：74LS90；数字电路实验箱；连接线若干

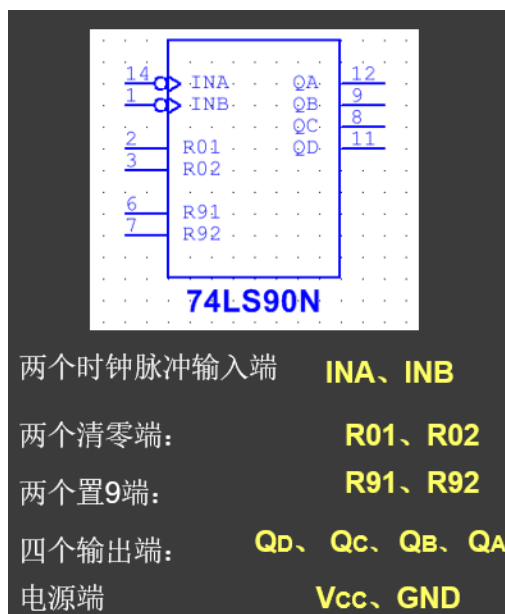
三. 实验原理

1. 计数器按触发信号的来源不同，可分为同步计数器和异步计数器
2. 同步计数器是指计数器内所有的触发器共同使用同一个输入的时钟脉冲信号，在同一个时间内翻转，计数速度快
3. 异步计数器是指计数器内各触发器的输入时钟信号的来源不同，各电路的翻转时刻也不一样，因此计数速度较慢。



4. 芯片 74LS90 的相关参数

芯片 74LS90 的引脚图

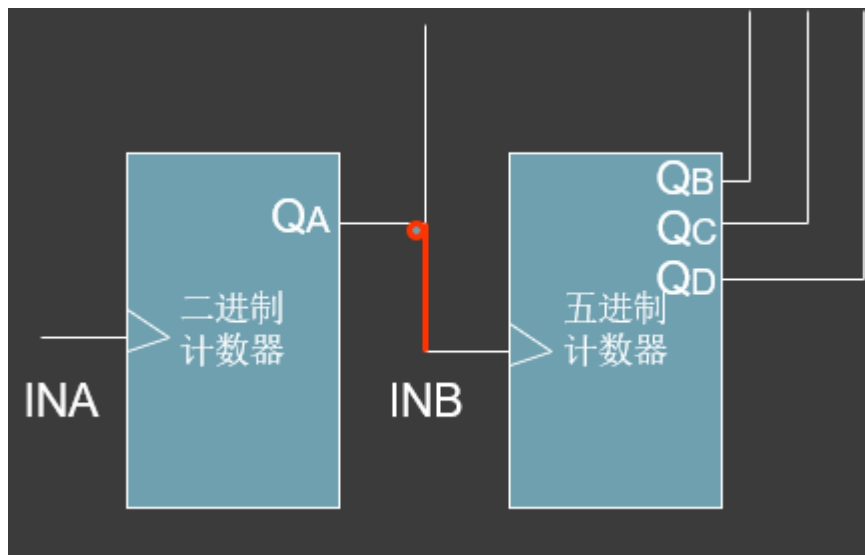


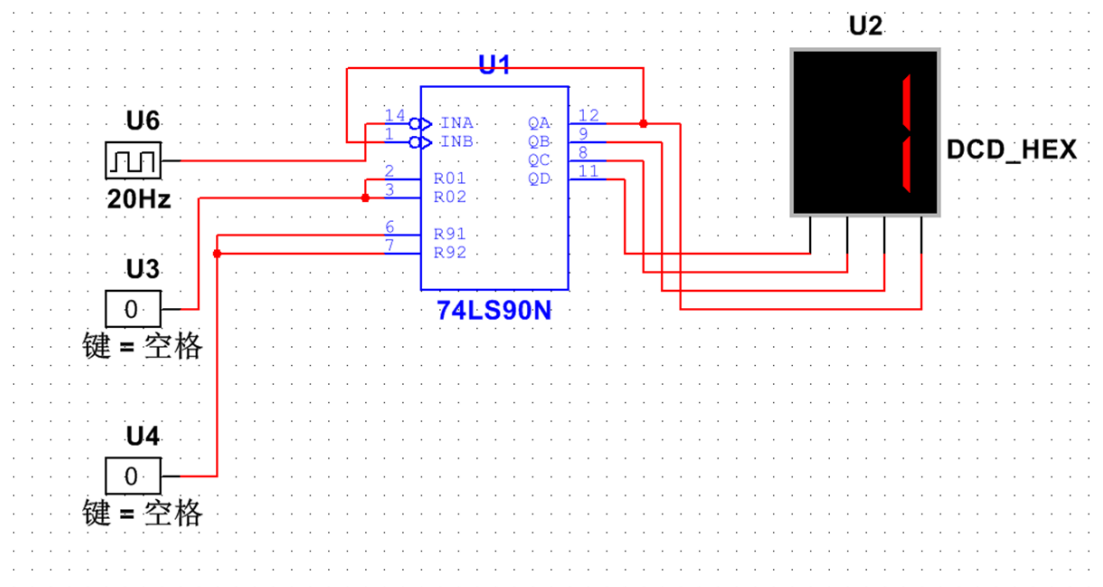
功能表

R01	R02	R91	R92	Q4 Q3 Q2 Q1
1	1	0	×	0 0 0 0
1	1	×	0	0 0 0 0
×	×	1	1	1 0 0 1
×	0	×	0	计数状态
0	×	0	×	
0	×	×	0	
×	0	0	×	

74LS90 内部计数器示意图

以下是 2-5-10 进制计数器的示意图：





5. N 进制计数器的设计方法

反馈归零法（适用于有清零端的计数器）：将某个中间状态 $N1$ 反馈到清零端，利用清零功能，使计数器返回到零。（条件： $M > N$ ）

（以下讨论假设计数器是递增计数器，递减计数器情况类似）为了实现模 M 为任意大小（但小于 $2N$ ）的计数器，一个很简单的思路就是设计一个组合逻辑能将 $M + 1$ 状态的电路输出作为输入的情况下输出高电平，否则输出低电平，然后用其接入高电平有效的置 0 端，这样一旦电路进入不应该出现的 $M + 1$ 状态，就马上能够被置 0。当然这依赖于芯片设计是否是异步清零的，即不需要等到下一个跳变时钟到来，只要一旦有效清零输入就将电路状态置零。否则应当做相应的修改。实验中使用的 74LS90 是异步置零的。

具体而言，实现 8 进制计数器为例，首先我们将 74LS90 的 INA 端与 QA 相连接，使得其具有最大模 10 的计数功能；然后，8 进制意味着一旦电路状态进入 $(1000)_2$ 的状态就应当被置零。显然这就意味着输出 QD 与置零端相连。

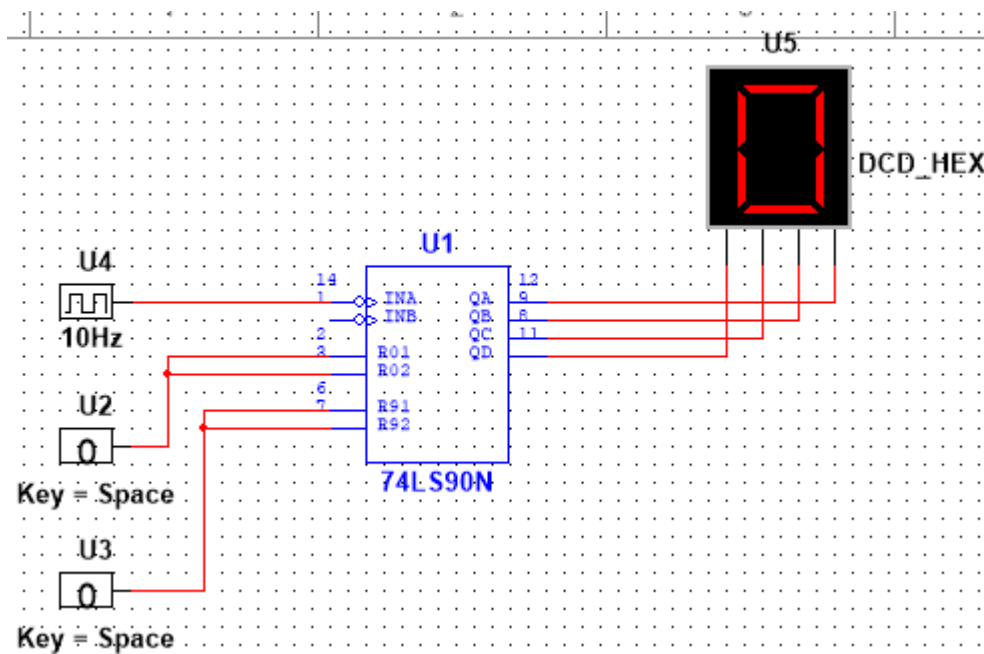
四. 实验内容

1. 分别验证 74LS90 实现 2、 5、 10 进制计数器， 分别记录计数状态转换图

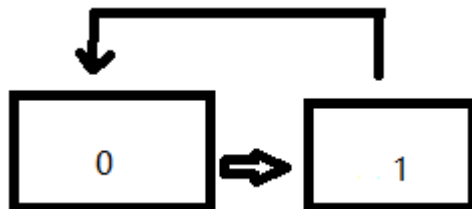
- 2 进制计数器

由于 74LS90 是 2-5-10 进制计数器， 故对于二进制计数器， 实现时仅需使用 74LS90 中独立的二进制计数器部分即可。

电路图如下所示：正常工作时， 置 0 端和置 9 端均为低电平信号。



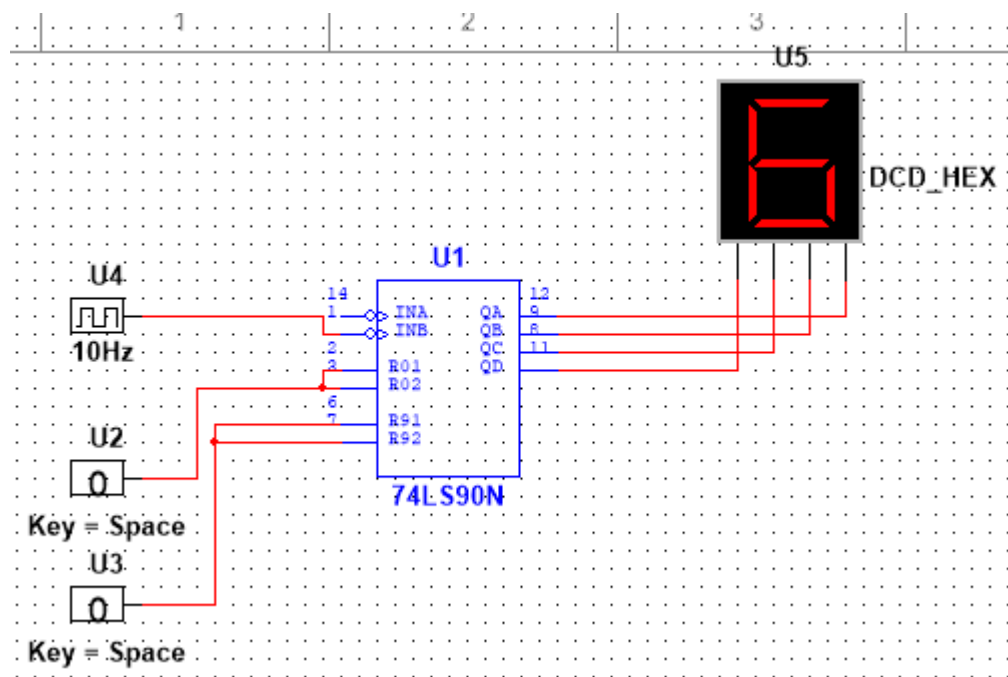
状态转化图如下：



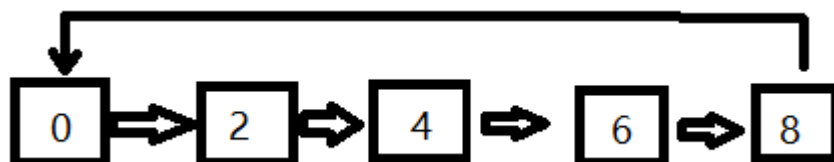
- 5 进制计数器

同样地， 由于 74LS90 是 2-5-10 进制计数器， 故对于五进制计数器， 实现时仅

需使用 74LS90 中独立的五进制计数器部分即可。即把输入信号接到 5 进制端即可。

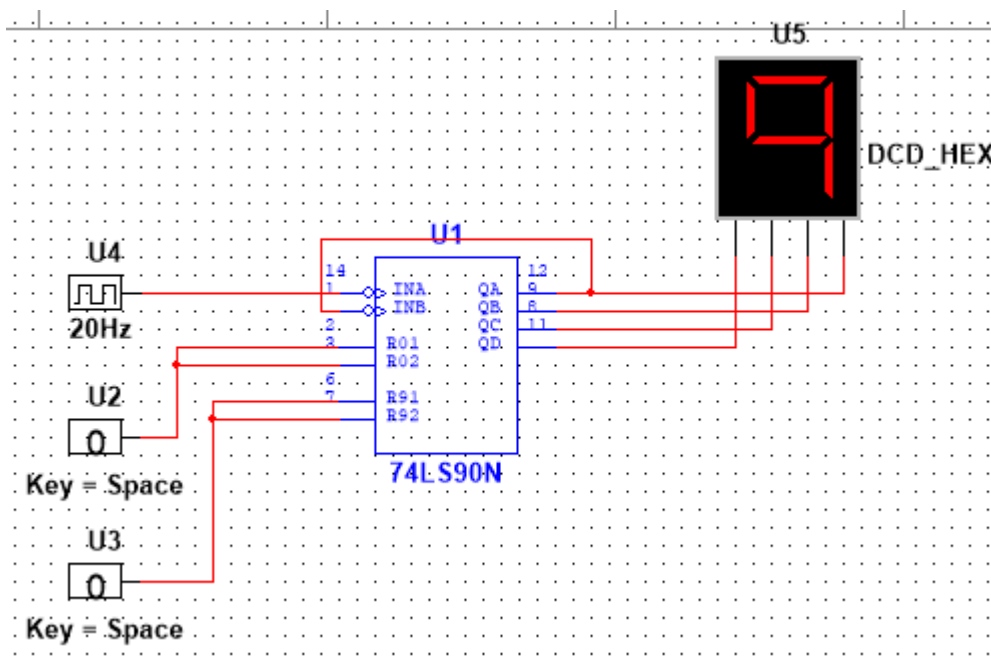


状态转化图如下所示：其实 0、2、4、6、8 的转化和 0、1、2、3、4 的转化本质上等效。

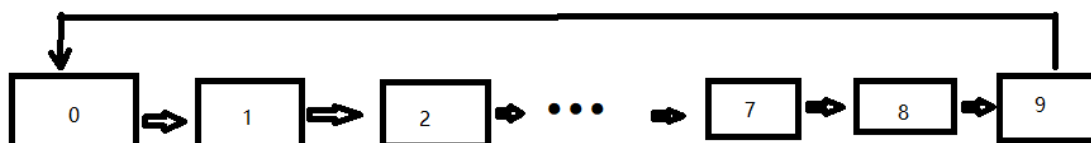


- 10 进制计数器：

十进制计数器只需要将二进制计数器的输出作为五进制计数器时钟端即可实现。电路图如下所示：正常工作时，置 0 端和置 9 端均为低电平信号。



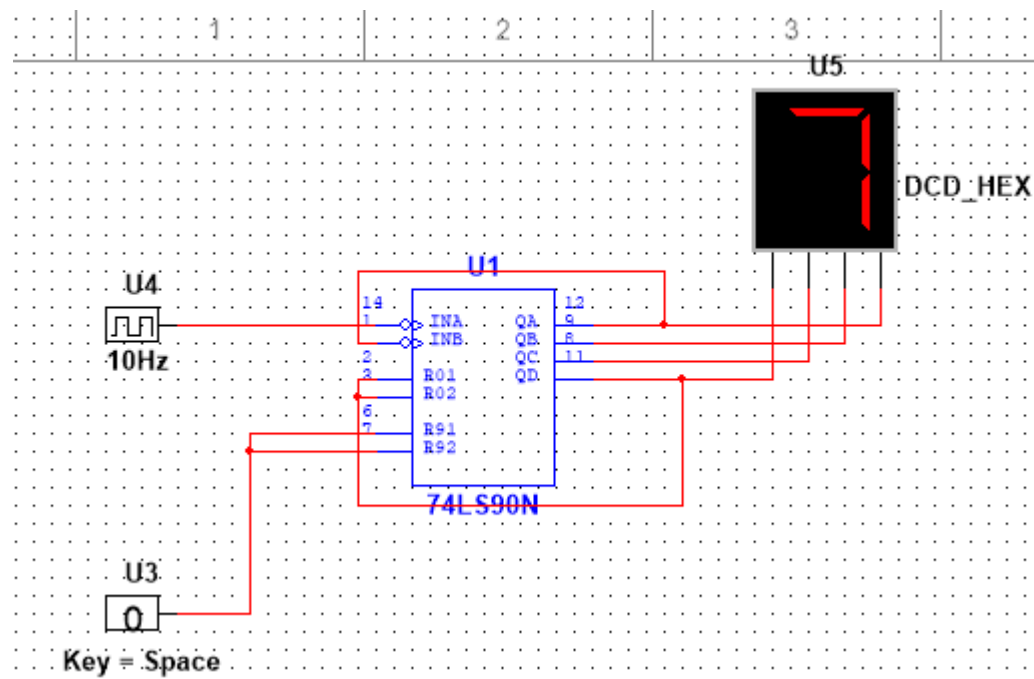
状态转化图如图所示：



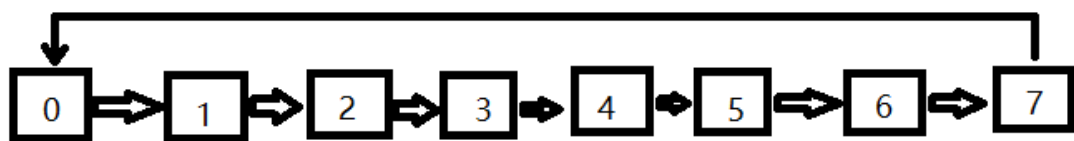
2. 用一块 74LS90 实现 8 进制的计数器，画出电路逻辑简图并记录计数状态转换图

将 74LS90 的 INA 端与 QA 相连接，使得其具有最大模 10 的计数功能后，将输出 QD 与置零端相连；

实现 8 进制计数器要使用反馈归零法，电路仿真图如下所示：

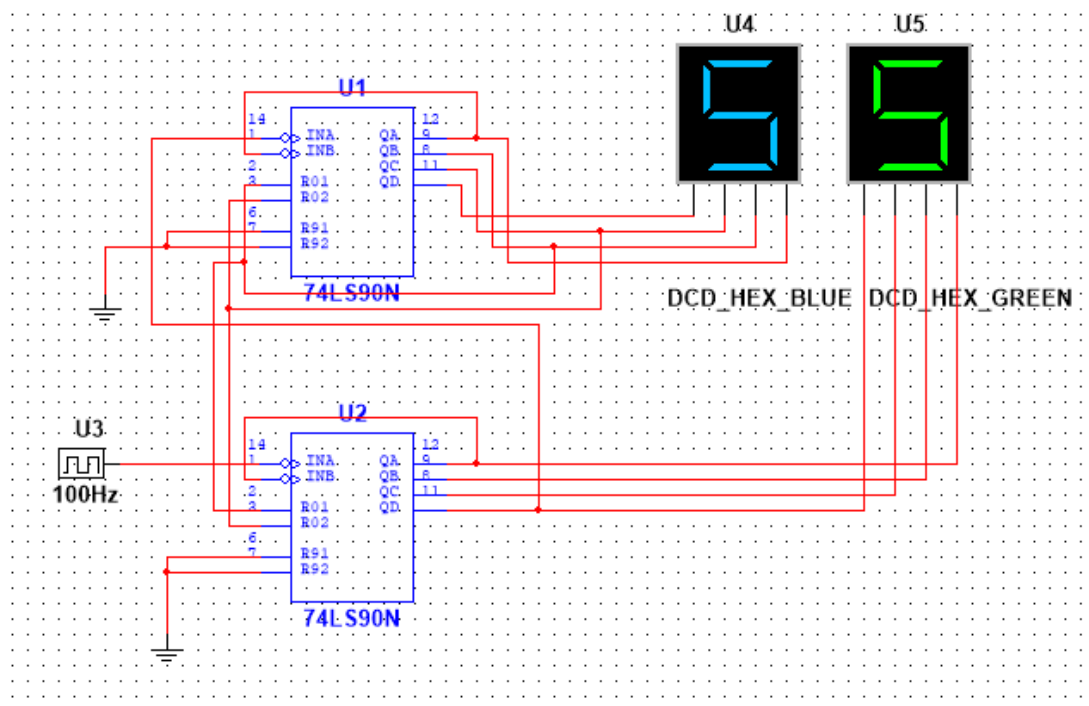


状态转化图如图所示：

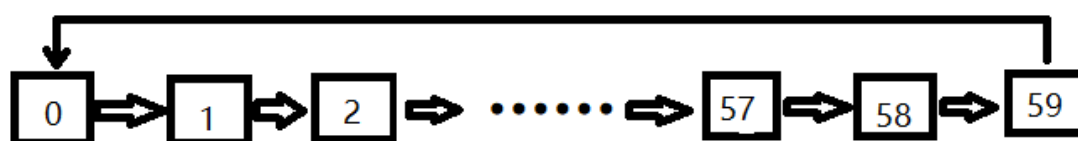


3. 用两块 74LS90 实现 100 进制的计数器，画出电路逻辑简图

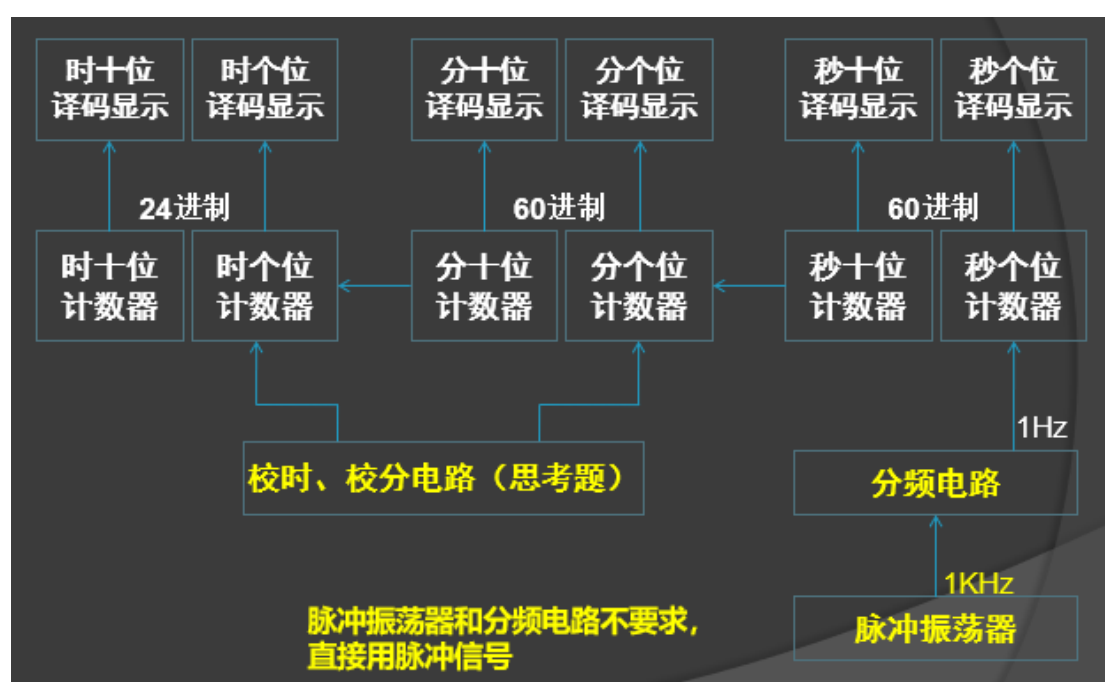
电路逻辑简图如图所示：



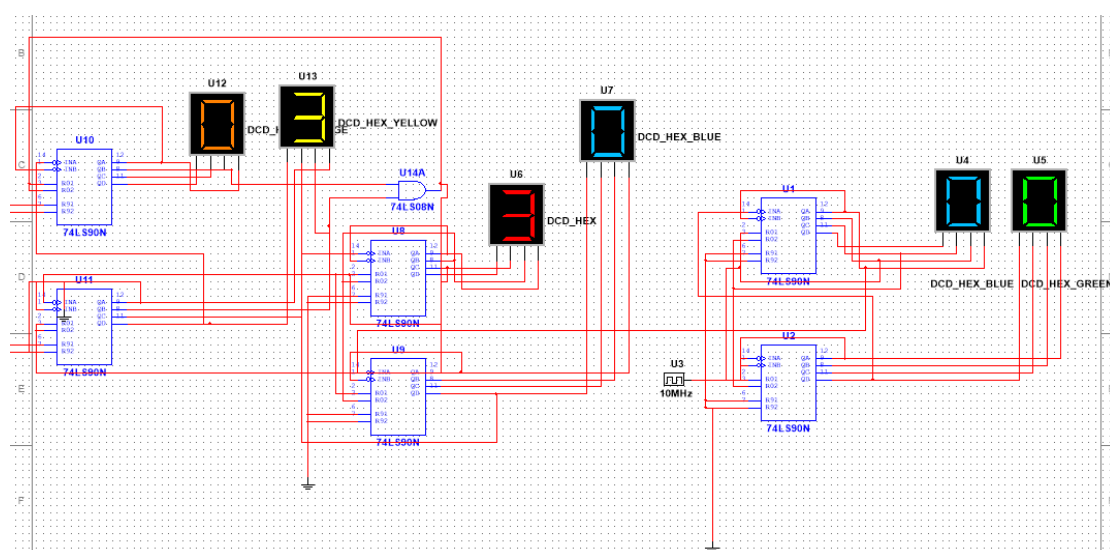
状态转化图如图所示：



5. 数字钟



将 24 进制计数器和两个 60 进制计数器串联起来，构成数字钟，经测试，功能正常。



五. 实验总结

在本实验中，我们利用 2-5-10 进制计数器芯片 74LS90 设计了各种计数器。使用 74LS90 中的模块结构构成了 2 进制、5 进制、10 进制的计数器。借助级联的方法利用两片 74LS90 实现了 100 进制计数器。在设计 10 进制和 100 进制计数器的基础上，我们还利用反馈清零法，对于单片计数器和级联计数器的情况设计并搭建了 8 进制、60 进制计数器电路。

这对于我们对模电数电的应用的认识很有意义！

而且，60 进制计数器电路具有实际意义，可以在输入 1Hz 时钟信号的情况下作为秒计数器。通过这个实验，我们掌握了异步计数器电路的原理与设计方法，同时也明白了级联和反馈清零法的意义。最重要的是，给了我们在数字电路课程中学到的时序电路的一个具体使用样例，可以用实验指导后续理论学习。

不过线上的仿真还仅仅是仿真，我想线下去亲自做一下，这样更有意义！

六. 思考题

如何在数字钟电路中实现校时功能，包括校时和校分？（校时功能指能够在数字钟运行过程中可以对小时位和分钟位分别进行调整）

答：先可以将级联断开，然后把秒的脉冲接到分钟电路上面，当分钟示数正确时，重新接回去，实现对于分钟的校时功能。对于小时的校时操作也类似。