

加法器及其应用

李明达 PB18020616

一. 实验目的

1. 掌握组合逻辑电路的设计方法，理解半加器和全加器的逻辑功能。
2. 掌握中规模集成电路加法器的工作原理及其逻辑功能。

二. 实验原理

在数字系统中，经常需要算数运算，逻辑操作和数字比较等操作中，实现这些运算功能的电路是加法器。加法器是一种组合逻辑电路，主要功能是实现二进制数的算数加法运算。

● 半加器

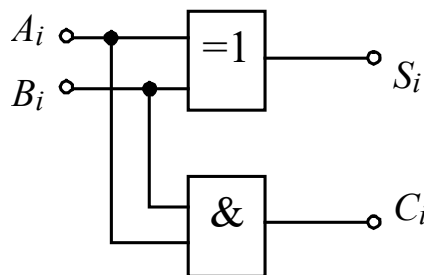
- 半加器完成两个一位二进制数相加，若只考虑两个加数本身，而不考虑来自相邻低位的进位，称为半加，实现半加运算功能的电路称为半加器。
- 由真值表可得出半加器的逻辑表达式：

半加器真值表

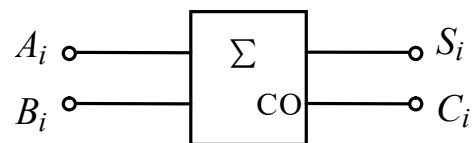
A_i	B_i	S_i	C_i
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$S_i = \bar{A_i} B_i + A_i \bar{B_i} = A_i \oplus B_i$$
$$C_i = A_i B_i$$

- 半加器的电路图和符号如图所示：



(a) 半加器电路



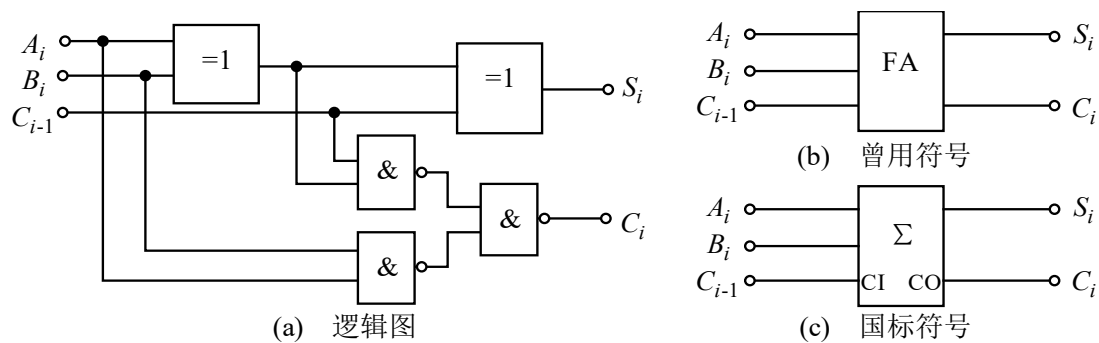
(b) 半加器符号

● 全加器

- 两个多位数相加是每一位都是带进位相加，所以必须用全加器。这时只要依次将低位的进位输出接到高位的输入，就可构成多位加法器了。
- 全加器是一种由被加数、加数和来自低位的进位数三者相加的运算器。基本功能是实现二进制加法。
- 逻辑表达式、真值表和逻辑图及符号如下所示：

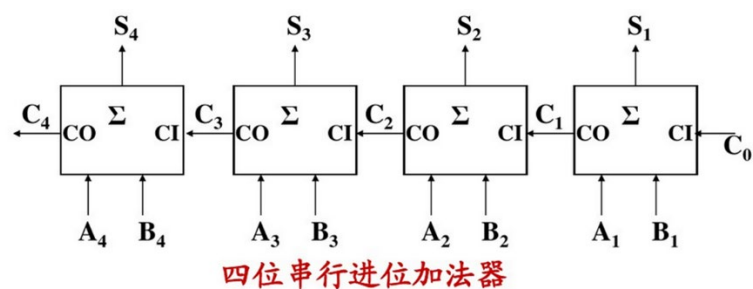
$$\begin{aligned}
 S_i &= m_1 + m_2 + m_4 + m_7 = \bar{A}_i \bar{B}_i C_{i-1} + \bar{A}_i B_i \bar{C}_{i-1} + A_i \bar{B}_i \bar{C}_{i-1} + A_i B_i C_{i-1} \\
 &= \bar{A}_i (\bar{B}_i C_{i-1} + B_i \bar{C}_{i-1}) + A_i (\bar{B}_i \bar{C}_{i-1} + B_i C_{i-1}) = \bar{A}_i (B_i \oplus C_{i-1}) + A_i (\overline{B_i \oplus C_{i-1}}) \\
 &= A_i \oplus B_i \oplus C_{i-1}
 \end{aligned}$$

$$\begin{aligned}
 C_i &= m_3 + m_5 + A_i B_i = \bar{A}_i B_i C_{i-1} + A_i \bar{B}_i C_{i-1} + A_i B_i = (\bar{A}_i B_i + A_i \bar{B}_i) C_{i-1} + A_i B_i \\
 &= (A_i \oplus B_i) C_{i-1} + A_i B_i
 \end{aligned}$$



A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

● 串行进位加法器



特点：结构简单，运算速度慢

● 并行加法器

■ 进位链

把n个加法器单元电路按一定方式互联起来，即构成n位的并行加法器。其由两部分组成：一 **并行成分**，指两个操作数的所有位同时并行加入加法器运算；二 **链结构**。

虽然操作数各位同时加入加法器进行运算，但并非所有位和数都同时产生，它存在进位的产生与传送问题，进位的产生与传送称为进位链，**它的结构是影响加法器速度的关键**。

● 先行进位

先行进位也称并行进位，指加法器各位的进位是各自独立且同时产生的，高一位的进位不依赖低位的进位产生与传送。

并行加法器任何一位的进位：

$$C_i = A_i B_i + (A_i \oplus B_i) C_{i-1} = A_i B_i + (A_i + B_i) C_{i-1}$$

它可以分为两个部分： $A_i B_i$ 和 $(A_i \oplus B_i) C_{i-1}$ ，前者仅与这一位的两个操作数有关与低位的进位无关称它为本地进位或进位生成函数，记 G_i ；后者不仅与操作数有关还与低位的进位有关称它为传递进位，称 $A_i \oplus B_i$ 或 $A_i + B_i$ 为传递函数记 P_i 。因此可写成：

$$C_i = G_i + P_i C_{i-1}$$

■ 以16位加法器为例，在行波进位器中有如下进位关系：

$$\begin{aligned} C_1 &= G_1 + P_1 C_0 \\ C_2 &= G_2 + P_2 C_1 \\ &\vdots \\ C_{16} &= G_{16} + P_{16} C_{15} \end{aligned}$$

■ 由此，可递推出各位进位直接与 C_0 的关系：

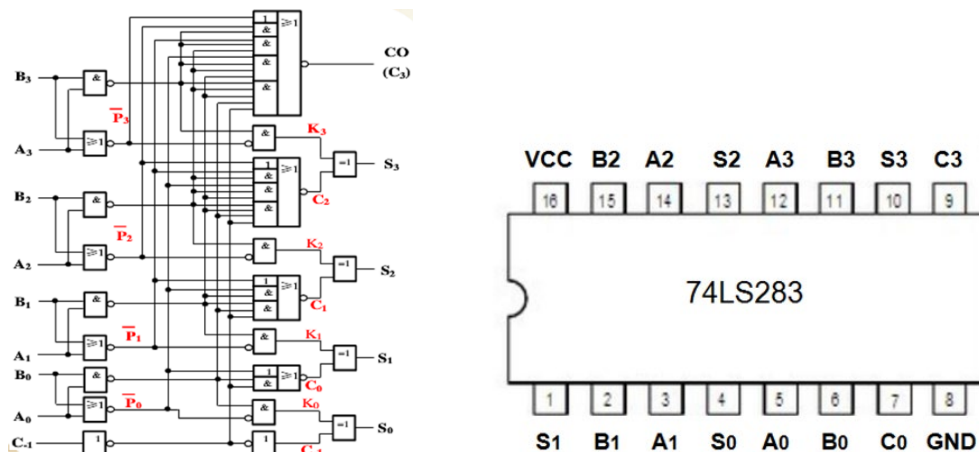
$$\begin{aligned} C_1 &= G_1 + P_1 C_0 \\ C_2 &= G_2 + P_2 G_1 + P_2 P_1 C_0 \\ C_3 &= G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 C_0 \\ &\vdots \\ C_{16} &= G_{16} + P_{16} G_{15} + P_{16} P_{15} G_{14} + \dots + P_{16} \dots P_2 P_1 C_0 \end{aligned}$$

● 超前进位并行加法器

■ 超前进位电路构成的快速进位的4位全加器电路74LS283，可实现两个四位二

进制的全加。

- 加进位输入 C_0 和进位输出 C_3 主要用来扩大加法器字长，作为组间行波进位之用。由于它采用超前进位方式，所以进位传送速度快。

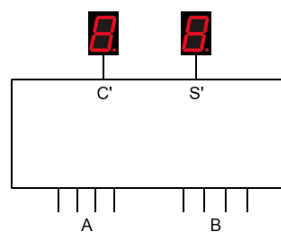


三. 实验内容

实验任务一：用 74LS283 构成一位 8421BCD 码加法器

输出：S' (个位：S₃S₂S₁S₀) C' (十位)

输出范围：00~18 (S': 四位 C': 一位)

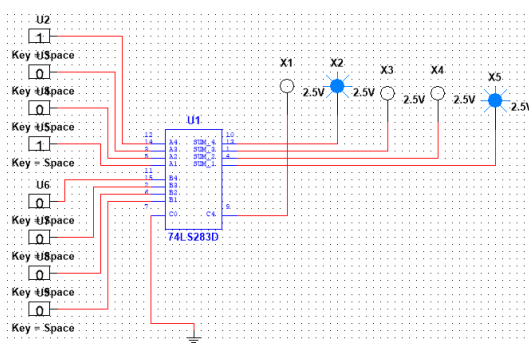


输入：A (A₃A₂A₁A₀) + B (B₃B₂B₁B₀)

输入范围：A: 0~9 B: 0~9

注意：将 74LS283 的 4 位输出送至 74LS48，ABCD 顺序为从低到高，再将 74LS48 输出依次接至七段数码管；七段数码管在 Indicators 的 HEX_DISPLAY 中。74LS48 的三个控制端均接高电平。

Multisim 仿真电路如图所示：



固定 A1001，记录表格如下：

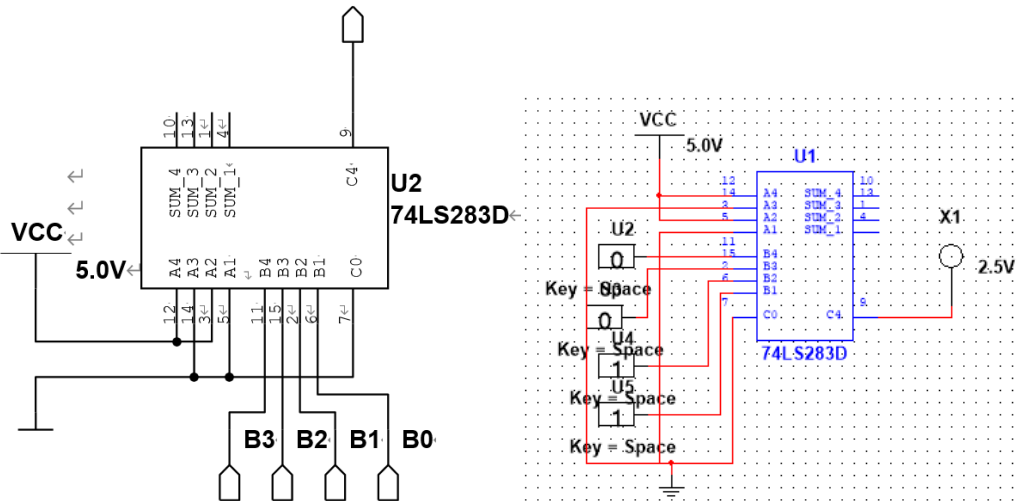
B	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001
A+B	1001	1010	1011	1100	1101	1110	1111	10000	10001	10010

芯片工作正常，电路正确连接，实验现象明显。

实验任务二：用一片 74LS283 实现数据比较功能，要求输入（四位二进制） <11 时输出一位低电平， ≥ 11 时输出一位高电平，要求画出逻辑功能图并记录结果。

分析：此电路可以利用全加器的进位端方便的实现，若将 A 置为 $(5)_{10} = (0101)_2$ ，即可当输入 $B \geq (11)_{10}$ 时，输出 $A + B$ 溢出，可将进位输出 C 作为电路输出。 $5+11=16$

电路设计：与上面图中电路基本一致，只需将高的 A 管脚更换，并仅保留进位输出端作为输出，注意不应遗忘电源端 16 脚与地端 8 脚，不使用的电路输入端应该接地。电路设计和 Multisim 仿真电路如下：

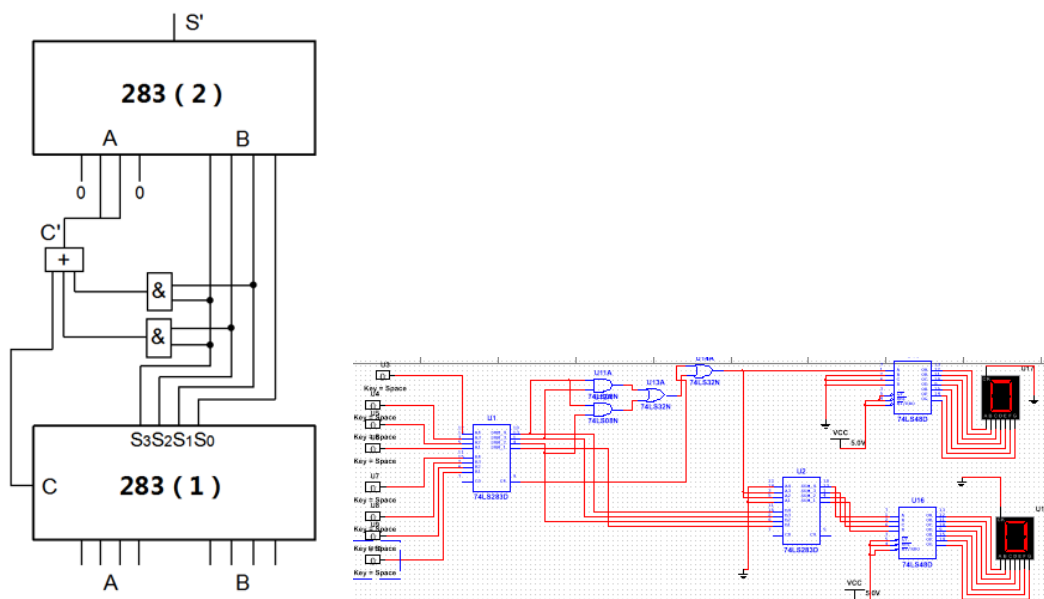


B	0000	0001	0010	0011	0100	0101	0110	0111	1000
结果	0	0	0	0	0	0	0	0	0

1001	1010	1011	1100	1101	1110	1111
0	0	1	1	1	1	1

芯片工作正常，电路正确连接，实验现象明显。

实验任务三：用两片 74LS283 和必要的门电路实现两个 8421BCD 码求和运算，结果仍为 8421BCD 码，要求画出逻辑功能图
逻辑功能图和电路图如下所示：



芯片工作正常，电路正确连接，实验现象明显。

四. 实验总结

本实验利用 Multisim 软件进行门电路相关的实验，由于用电脑模拟基本上是理想的，所以实验结果和模拟的时间、环境条件几乎无关，因此实验可重复性比较高，比实际情况得到的结果更加理想，完成效果非常好。而本次实验我们主要利用了 74LS283 等芯片，实现了并行的四位全加。通过老师上课的讲解，明白了溢出来实现输入减法的功能，从而实现了数据比较，在<11 时候，输出低电平，在>11 时输出高电平。并且结合门电路来实现两种码求和的功能。最后，还结合与非门，设计了全加器，让我们强化了对实验的理解。

我们在电路的模拟情景下，理解半加器和全加器的功能，掌握了中规模集成电路加法器的工作原理和逻辑功能。对并行加法器、先行进位、超前进位并行加法器有着更加具体生动的理解。这些要比之前的很多实验更有意思，也更能体会到设计的乐趣。

这些操作加深了我们对门电路工作原理的认识，也锻炼了我们对电子图像的认识和直观感知能力，同时又培养了我们电子元件的兴趣。

五. 思考题

全部采用与非门设计，实现一位全加器。

答：全加器的逻辑功能如下表：

A	B	Ci	S	C
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

下面是电路设计图，其中 S0, S1, S2, S3 是各位输出，C 是 10 位输出，下面输入端从左到右分别代表 (A) 被加数输入，(B) 加数输入。

