Опис модуля

Побудований модуль таймера є 32-розрядним. У ньому реалізований гнучкий механізм підстроювання частоти, тривалості імпульсів та режимів ШИМ. Так, цей таймер має можливості:

- Генерації переривань з довільною частотою, від системної Fclk до Fclk/ 2⁶³.
- Гнучкий режим ШИМ, що дозволяє використовувати довільну тривалість імпульса та коефіцієнт заповнення (для 2-х каналів).
- Зчитування імпульсів з зовнішнього джерела за допомогою детектора фронту.
- Чотири переривання, три канали порівняння та один переповнення.
- Довільний модуль рахунку у режимі таймера.
- Вивід будь-якого каналу ШИМ на будь-який вивід GPIO.
- Маскування переривань.
- Режими рахунку вгору або вниз.

Посилання на репозиторій:

https://github.com/raibu/kpi-computer-architecture-course/tree/dev3/dk72_matiusha/dkr

Висновок

Під час виконання ДКР був розроблений модуль таймера-лічильника для MIPS-подібного ядра. Цей модуль був інтегрований до однотактного MIPSядра шляхом модифікації модуля GPIO та відображення регістрів у пам'ять. До ядра був також доданий функціонал виклику підпрограм та повернення call/ret, що робить дуже простим подальше включення контролера переривань. Підтримка цих інструкцій також була додана до свого асемблеру, який також став двопрохідним замість однопрохідного. Був проведений рефакторинг системи пам'яті та периферії MIPS, завдяки чому зрозумілість коду значно зросла. Після того, як створення апаратної частини було завершено, була написана програма для перевірки працездатності, що використовувала максимум features нового модуля: на піни 6 та 7 модуля GPIO були виведені виходи ШИМ В та С, тривалість імпульсу ШИМ задавалась регістром першого каналу ШИМ, вихід С був проінвертований, а вхід тактування брався з піна GPIO під номером 0. На практиці така конфігурація могла бути використана, наприклад, для управління мостовою схемою на силових елементах з підтримкою dead time. У симуляції система запрацювала з першого разу.

Таким чином, умови, поставлені у технічному завданні, вважаю виконаними.