

Руководство по выполнению лабораторной работы, шаг 1

Общее описание

Цель работы

- Знакомство с процессором schoolRISCV
- Выполнение моделирования в системах Icarus Verilog, Questa
- Компиляция программы в системе RARS

Структура каталогов

Каталоги верхнего уровня:

- doc - документация
- boards - проекты для различных плат
- program - для разработки программы
- openline - разработка для ASIC
- icarus - моделирование в системе Icarus Verilog
- questa - моделирование в системе Questa
- src - каталог для исходных текстов проекта ПЛИС
- tb - каталог для исходных текстов стенда проверки
- support - каталог с полными решениями

Подготовка к работа

Изначально каталоги src, tb, program, icarus, questa не содержат файлов. Перед началом работы требуется выполнить скрипт prepare.sh из каталога support для копирования файлов из каталога support/step1

Команды:

- cd support
- ./clean
- ./prepare
- cd ..

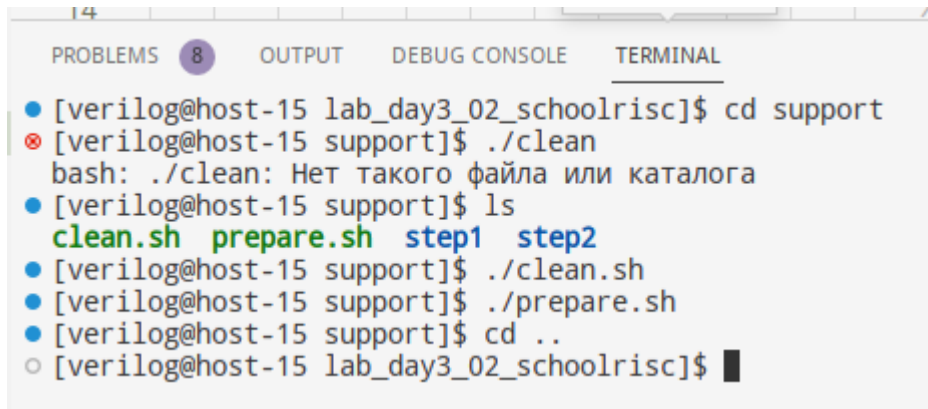
Порядок выполнения

Подготовка к работа

Изначально каталоги src, tb, program, icarus, questa не содержат файлов. Перед началом работы требуется выполнить скрипт prepare.sh из каталога support для копирования файлов из каталога support/step1

Команды:

- cd support
- ./clean
- ./prepare
- cd ..



```
14
PROBLEMS 8 OUTPUT DEBUG CONSOLE TERMINAL
[verilog@host-15 lab_day3_02_schoolrisc]$ cd support
[verilog@host-15 support]$ ./clean
bash: ./clean: Нет такого файла или каталога
[verilog@host-15 support]$ ls
clean.sh  prepare.sh  step1  step2
[verilog@host-15 support]$ ./clean.sh
[verilog@host-15 support]$ ./prepare.sh
[verilog@host-15 support]$ cd ..
[verilog@host-15 lab_day3_02_schoolrisc]$
```

Обзор файлов проекта

Посмотрите каталоги

- tb
- src
- program/p0_program
- boards/rzrd
- icarus/sim_0

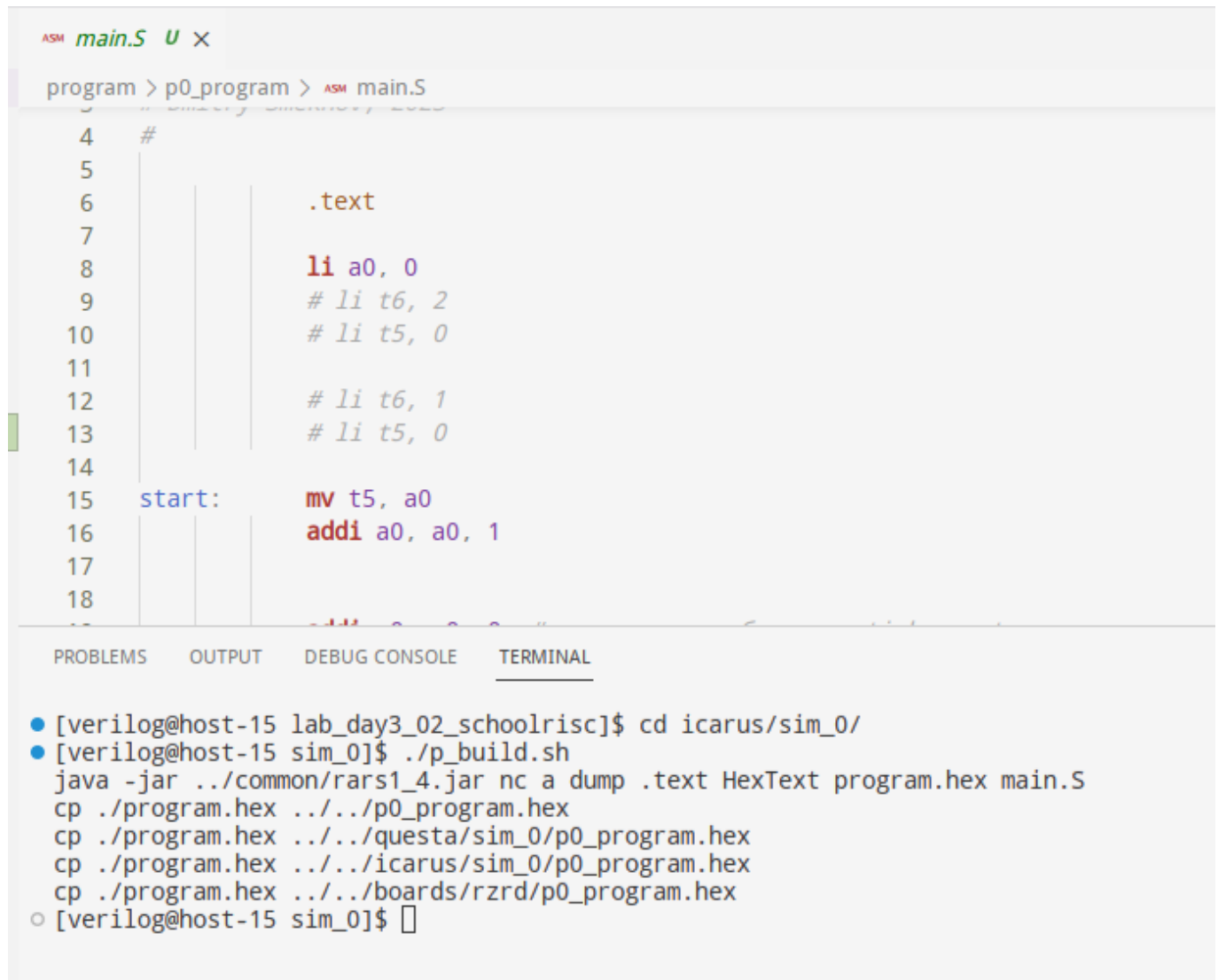
Контрольные вопросы:

- Какой компонент является верхним уровнем для моделирования ?
- Какой компонент является верхним уровнем для синтеза ?
- Какое условие определяет правильность прохождения теста при test_id=0 ?
- Какое условие определяет правильность прохождения теста при test_id=1 ?
- Где находится список файлов для моделирования ?
- Из каких компонентов состоит процессор schoolRISCV ?

Сборка программы

Перейдите в каталог icarus/sim_0, выполните сборку программы

- cd icarus/sim_0
- ./p_build.sh



The screenshot shows the Icarus Verilog IDE. The top window, titled 'main.S', displays an assembly program. The bottom panel shows the 'TERMINAL' tab with a series of commands and their outputs.

```
ASM main.S U X
program > p0_program > ASM main.S
4  #
5
6      .text
7
8      li a0, 0
9      # li t6, 2
10     # li t5, 0
11
12     # li t6, 1
13     # li t5, 0
14
15 start:  mv t5, a0
16         addi a0, a0, 1
17
18
```

Terminal output:

```
• [verilog@host-15 lab_day3_02_schoolrisc]$ cd icarus/sim_0/
• [verilog@host-15 sim_0]$ ./p_build.sh
java -jar ../common/rars1_4.jar nc a dump .text HexText program.hex main.S
cp ./program.hex ../../p0_program.hex
cp ./program.hex ../../questa/sim_0/p0_program.hex
cp ./program.hex ../../icarus/sim_0/p0_program.hex
cp ./program.hex ../../boards/rzrd/p0_program.hex
○ [verilog@host-15 sim_0]$
```

Контрольные вопросы:

- В какие каталоги помещаются файлы результата ?

Моделирование в системе Icarus verilog в режиме командной строки

Выполните компиляцию и моделирование в режиме командной строки

- ./compile.sh
- ./c_run_0.sh
- ./c_run_1.sh

```

PROBLEMS  OUTPUT  DEBUG CONSOLE  TERMINAL

• [verilog@host-15 sim_0]$ ./c_run_0.sh
WARNING: ../../src/school_risk/sm_rom.v:24: $readmemh: The behaviour for reg[...] mem[N:0]: $readmemh("...", mem); changed in the 1364-2005 standard. To avoid ambiguity
or explicit range parameters $readmemh("...", mem, start, stop);. Defaulting to 1364-2005 behavior.
WARNING: ../../src/school_risk/sm_rom.v:24: $readmemh(p0_program.hex): Not enough words in the file for the requested range [0:127].
VCD info: dumpfile dump.vcd opened for output.
VCD warning: $dumpvars: Package ($unit) is not dumpable with VCD.
args= 0 test_id= 0
Hello, world! test_id= 0 name: test_0

test_id=0 test_name: test_0 TEST_PASSED

../../tb/tb.sv:52: $finish called at 3765 (1ns)
• [verilog@host-15 sim_0]$ ./c_run_1.sh
WARNING: ../../src/school_risk/sm_rom.v:24: $readmemh: The behaviour for reg[...] mem[N:0]: $readmemh("...", mem); changed in the 1364-2005 standard. To avoid ambiguity
or explicit range parameters $readmemh("...", mem, start, stop);. Defaulting to 1364-2005 behavior.
WARNING: ../../src/school_risk/sm_rom.v:24: $readmemh(p0_program.hex): Not enough words in the file for the requested range [0:127].
VCD info: dumpfile dump.vcd opened for output.
VCD warning: $dumpvars: Package ($unit) is not dumpable with VCD.
args= 1 test_id= 1
Hello, world! test_id= 1 name: test_1

test_id=1 test_name: test_1 TEST_FAILED *****

../../tb/tb.sv:52: $finish called at 415 (1ns)
○ [verilog@host-15 sim_0]$

```

Контрольные вопросы:

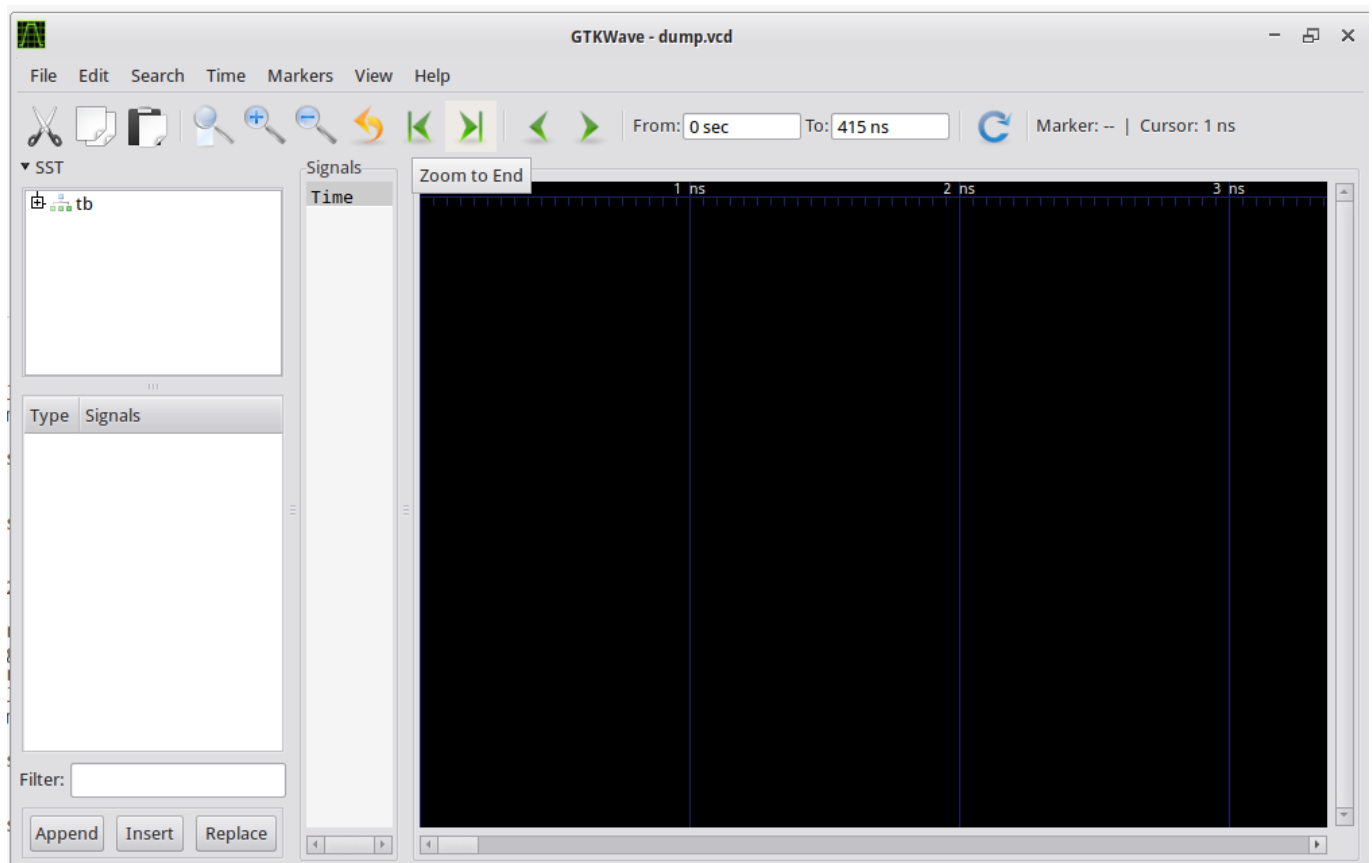
- Какой файл формируется после выполнения ./compile.sh ?
- Как передаётся параметр test_id в компонент tb ?

Моделирование в системе Icarus verilog в режиме GUI

Выполните моделирование в режиме GUI

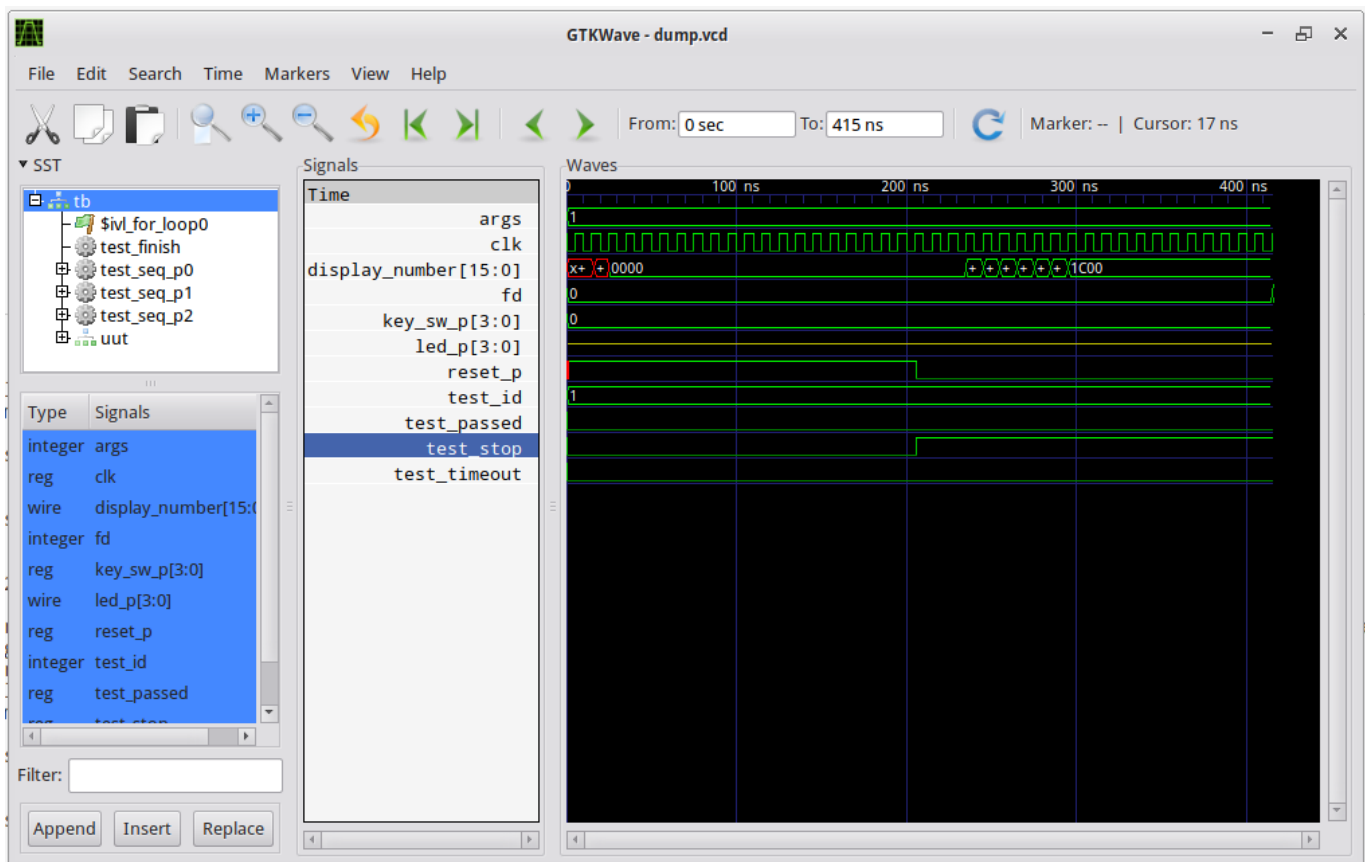
- ./run_gtkwave.sh &

Будет открыто окно GTKWave



- Выделите компонент tb

- Выделите все сигналы tb
- Добавьте выделенные сигналы при помощи кнопки Append в область Waves
- Обратите внимание на сигнал test_stop, он переходит в 1 через 200 нс

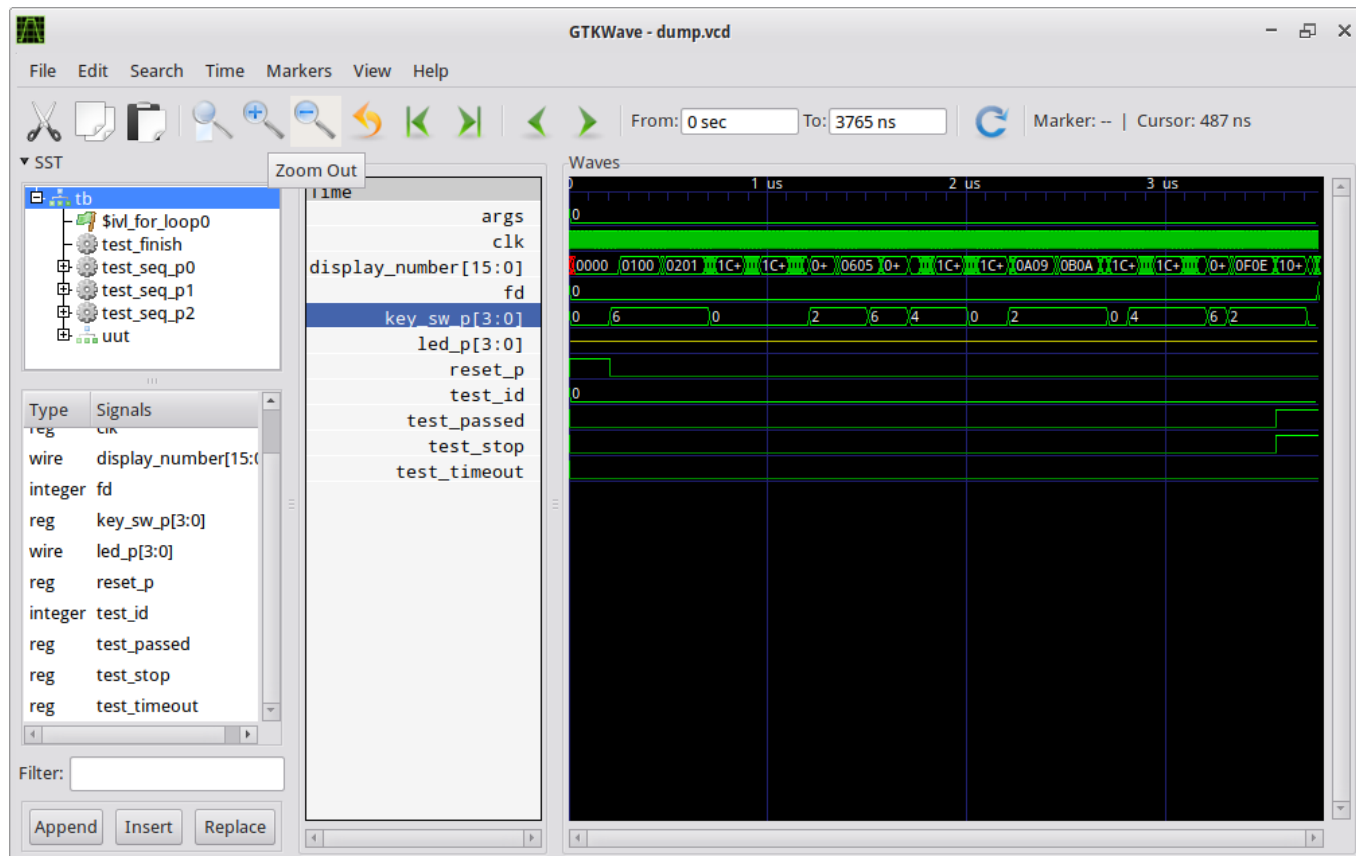


Контрольные вопросы:

- Когда формируется сигнал завершения теста test_stop ?
- В каком состоянии находится сигнала test_passed ?

Выполните тест с test_id=0, обновите результаты выполнения

- ./c_run_0.sh
- Обновите gtkwave при помощи кнопки Reload
- Отобразите всю временную диаграмму



Контрольные вопросы:

- Когда формируется сигнал завершения теста test_stop ?
- В каком состоянии находится сигнала test_passed ?
- Как меняется младшая цифра на индикаторе - display_number[3:0]

Синтез для платы rzrd

Откройте новый терминал в VSCode, перейдите в каталог boards/rzrd, выполните синтез и загрузите прошивку на плату

- cd boards/rzrd
- x_synthesize.bash

Должен пройти синтез и загрузка проекта на плату. Если загрузка не произошла то возможно потребуется переподключить JTAG кабель. Команда ./x_configure.bash производит только загрузка прошивки на плату

Контрольные вопросы:

- Как меняются две младшие цифры на индикаторе ?
- Как меняются две старшие цифры на индикаторе ?
- Что происходит при нажатии на кнопку key0 ?
- Что происходит при нажатии на кнопку key1 ?
- Почему при нажатии на кнопку key1 число на двух старших цифрах на единицу больше чем число на двух младших цифрах ?

Модификация программы

В тексте программы есть четыре строки с пустой командой `addi a0, a0, 0`; Эта команда ничего не делает, только создаёт задержку.

Проведите эксперимент, закомментируйте все эти строки, проведите сборку программы, синтез и посмотрите результат выполнения на плате. Попробуйте закомментировать только несколько строк и снова проведите синтез и выполнение на плате.

Контрольные вопросы:

- Как и почему изменилось изменение цифр на индикаторе ?
- Сколько пустых команд достаточно для правильной работы ?

Проведите моделирование

Контрольные вопросы:

- Как влияет параметр `is_simulation` на поведение таймера `tick_counter`?
- Как изменяется поведение `tick_counter` при различном числе команд `addi a0, a0, 0` в тексте программы ?