

# Руководство по выполнению лабораторной работы, шаг 3

---

## Общее описание

### Цель работы

- Добавление команды умножения в процессор schoolRISCV

## Порядок выполнения

### Обзор файлов проекта

Посмотрите каталоги

- doc
- program/p0\_program
- src

Контрольные вопросы:

- Как закодирована команда MUL в процессоре RISCV ?
- В каком файле расположены макросы для определения различных констант ?
- В каком компоненте расположено ALU ?
- В каком компоненте формируется сигнал aluControl ?
- В каком компоненте формируются сигналы cmdOp, cmdF3, cmdF7 ?

### Изменение теста

Измените тест так что бы при выполнении с параметром test\_id=1 проверялся вывод на младшую цифру индикатора. Тест должен быть пройден при условии что младшая цифра индикатора равна шести.

### Изменение программы

Измените программу:

- Загрузите в регистр A1 значение 2
- Загрузите в регистр A2 значение 3
- Загрузите в регистр A0 результат умножения A1 на A2
- Запишите в регистр T5 значение из A0
- Проведите сборку программы

### Выполнение моделирования

Проведите моделирование в системе Icarus Verilog

- ./c\_run\_1.sh

Контрольные вопросы:

- Какое значение выводится на `display_number[3:0]` ?
- Какая команда выполняется внутри компонента `sr_alu` ?

## Проведение синтеза до добавления команды умножения

- Проведите синтез и посмотрите результат на плате.
- Скопируйте содержимое каталога `boards/rzrd/output` в каталог `output_0`

## Добавление команды умножения

- Сформируйте макросы ALU\_MUL, RVOP\_MUL, RVF3\_MUL, RVF7\_MUL
- Сформируйте команду на выполнение умножения в ALU
- Сформируйте команду умножения в ALU
- Проведите моделирование

Контрольные вопросы:

- Какие сигналы используются для декодирования инструкции RISC-V ?
- При выполнении каких инструкций выполняется команда ALU\_ADD ?
- При выполнении каких инструкций выполняется команда ALU SUB ?

## Проведение синтеза после добавления команды умножения

- Проведите синтез и посмотрите результат на плате.
- Скопируйте содержимое каталога `boards/rzrd/output` в каталог `output_mul`
- Сравните файлы `top.fit.rpt` из каталогов `output_mul` и `output_0`

```

+-----+
; Fitter Summary
+-----+
; Fitter Status      : Successful - Tue Jul  4 03:52:55 2023
; Quartus Prime Version : 21.1.1 Build 850 06/23/2022 SJ Lite Edition
; Revision Name       : top
; Top-level Entity Name : top_board
; Family              : Cyclone IV E
; Device              : EP4CE6E22C8
; Timing Models       : Final
; Total logic elements : 618 / 6,272 ( 10 % )
;   Total combinational functions : 570 / 6,272 ( 9 % )
;   Dedicated logic registers : 294 / 6,272 ( 5 % )
; Total registers      : 294
; Total pins           : 28 / 92 ( 30 % )
; Total virtual pins   : 0
; Total memory bits    : 0 / 276,480 ( 0 % )
; Embedded Multiplier 9-bit elements : 6 / 30 ( 20 % )
; Total PLLs           : 0 / 2 ( 0 % )
+-----+
66
67 +-----+
68 ; Fitter Summary
69 +-----+
70 ; Fitter Status      : Successful - Tue Jul  4 03:55:17 2023
71 ; Quartus Prime Version : 21.1.1 Build 850 06/23/2022 SJ Lite Edition
72 ; Revision Name       : top
73 ; Top-level Entity Name : top_board
74 ; Family              : Cyclone IV E
75 ; Device              : EP4CE6E22C8
76 ; Timing Models       : Final
77 ; Total logic elements : 523 / 6,272 ( 8 % )
78 ;   Total combinational functions : 484 / 6,272 ( 8 % )
79 ;   Dedicated logic registers : 294 / 6,272 ( 5 % )
80 ; Total registers      : 294
81 ; Total pins           : 28 / 92 ( 30 % )
82 ; Total virtual pins   : 0
83 ; Total memory bits    : 0 / 276,480 ( 0 % )
84 ; Embedded Multiplier 9-bit elements : 6 / 30 ( 20 % )
85 ; Total PLLs           : 0 / 2 ( 0 % )
86 +-----+
87

```

Контрольные вопросы:

- Как изменились занимаемые ресурсы ?
- Сравните файлы top.sta.rpt из каталогов output mul и output 0

```

boards > rzrd > output_mul > top.sdc
112 ; Usage by Processor ; % Time Used ;
113 ; Processor 1 ; 100.0% ;
114 ; Processor 2 ; 15.4% ;
115 ; Processors 3-4 ; 2.6% ;
116 +-----+
117
118
119 +-----+
120 ; SDC File List ;
121 +-----+
122 ; SDC File Path ; Status ; Read at ;
123 +-----+
124 ; top.sdc ; OK ; Tue Jul 4 03:52:59 2023 ;
125 +-----+
126
127
128 +-----+
129 ; Clocks
130 +-----+
131 ; Clock Name ; Type ; Period ; Frequency ; Rise ; Fall ; Duty Cycle ; Divide by ; Multi
132 +-----+
133 ; clk ; Base ; 20.000 ; 50.0 MHz ; 0.000 ; 10.000 ; ; ;
134 +-----+
135
136
137 +-----+
138 ; Slow 1200mV 85C Model Fmax Summary ;
139 +-----+
140 ; Fmax ; Restricted Fmax ; Clock Name ; Note ;
141 +-----+
142 ; 50.54 MHz ; 50.54 MHz ; clk ; ;
143 +-----+
144 This panel reports FMAX for every clock in the design, regardless of the user-specified cl
145
146

boards > rzrd > output > top.sdc
112 ; Usage by Processor ; % Time Used ;
113 ; Processor 1 ; 100.0% ;
114 ; Processor 2 ; 13.7% ;
115 ; Processors 3-4 ; 3.7% ;
116 +-----+
117
118
119 +-----+
120 ; SDC File List ;
121 +-----+
122 ; SDC File Path ; Status ; Read at ;
123 +-----+
124 ; top.sdc ; OK ; Tue Jul 4 03:55:21 2023 ;
125 +-----+
126
127
128 +-----+
129 ; Clocks
130 +-----+
131 ; Clock Name ; Type ; Period ; Frequency ; Rise ; Fall ; Duty Cycle ; Divide by ; Mu
132 +-----+
133 ; clk ; Base ; 20.000 ; 50.0 MHz ; 0.000 ; 10.000 ; ; ;
134 +-----+
135
136
137 +-----+
138 ; Slow 1200mV 85C Model Fmax Summary ;
139 +-----+
140 ; Fmax ; Restricted Fmax ; Clock Name ; Note ;
141 +-----+
142 ; 64.82 MHz ; 64.82 MHz ; clk ; ;
143 +-----+
144 This panel reports FMAX for every clock in the design, regardless of the user-specified
145
146

```

### Контрольные вопросы:

- Как изменился параметр Fmax ?