

FIFO, Арбитры, Многобанковая память

Дмитрий Смехов



Дополнительные материалы

Сергей Иванец «Многообразие реализации очередей FIFO». Доклад на ChipExpo 2021

https://github.com/DigitalDesignSchool/ce2020labs/blob/master/next_step/Ivanets/Presentation/FIFO.pptx

Юрий Панчул «FIFO для самых маленьких (вместе с вопросами на интервью)»

<https://habr.com/ru/post/646685/>

Дмитрий Смехов «Как работает FIFO» - <https://habr.com/en/post/321674/>

Школа 2021/22. Занятие 5. Конвейеры и систолические массивы

<https://www.youtube.com/live/RxJ6kGwHz7w?feature=share>

Артём Воронов, Роман Воронов «Multibank memory»

<https://docs.google.com/presentation/d/1fUaT1Cj00Atk1U16H0rVfGz-CQNtRglJ2jaHsq2IkZo/edit#slide=id.p>

Зачем нужно FIFO ?



Хранение данных

Наиболее частая ситуация:

- Источнику необходимо передать данные
- Приёмник не готов принять данные

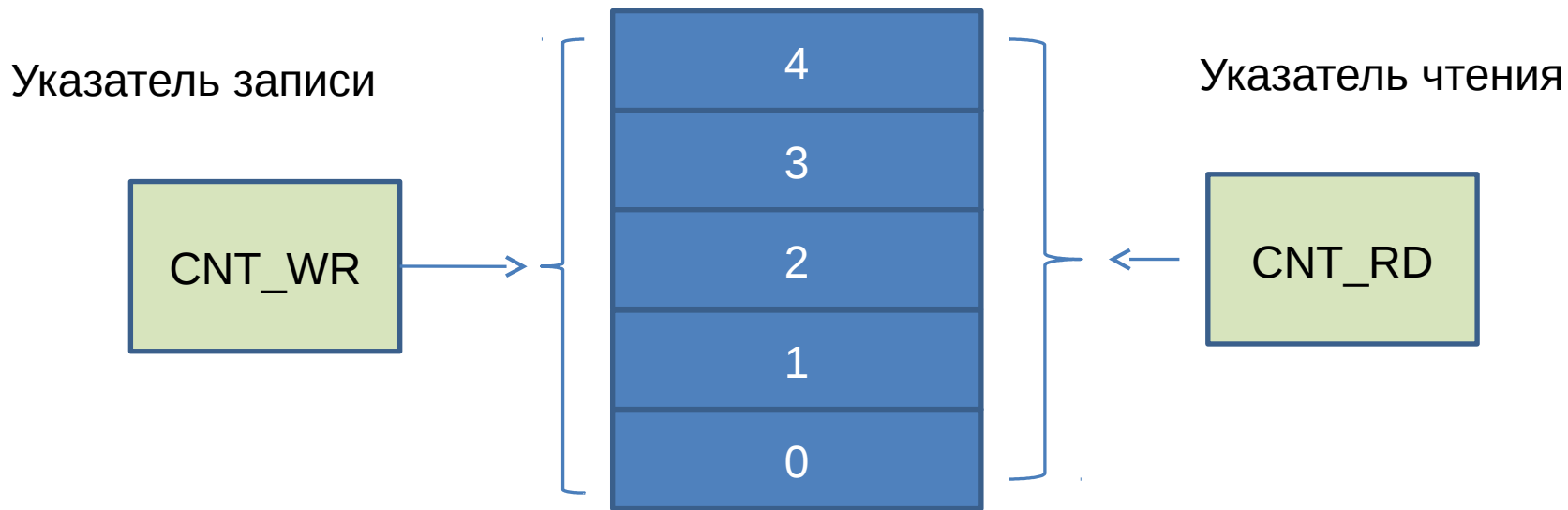
Память типа First In — First Out

Основные сигналы:

- Порт записи: **data_i**, **data_we**, **flag_full**
- Порт чтения: **data_o**, **data_rd**, **flag_empty**



Компонент FIFO_SIMPLE



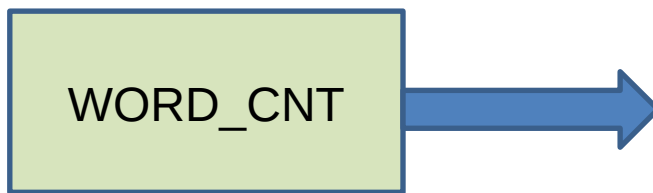
Параметры:

WIDTH – ширина

DEPTH – глубина

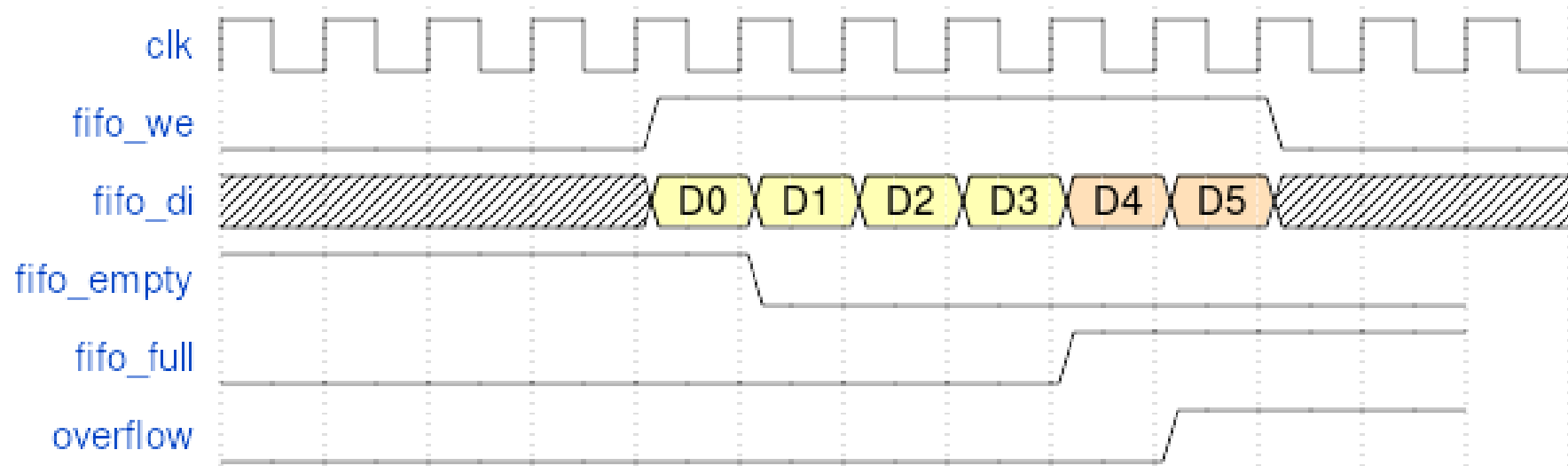
PROG_FULL

- уровень срабатывания
флага prog_full



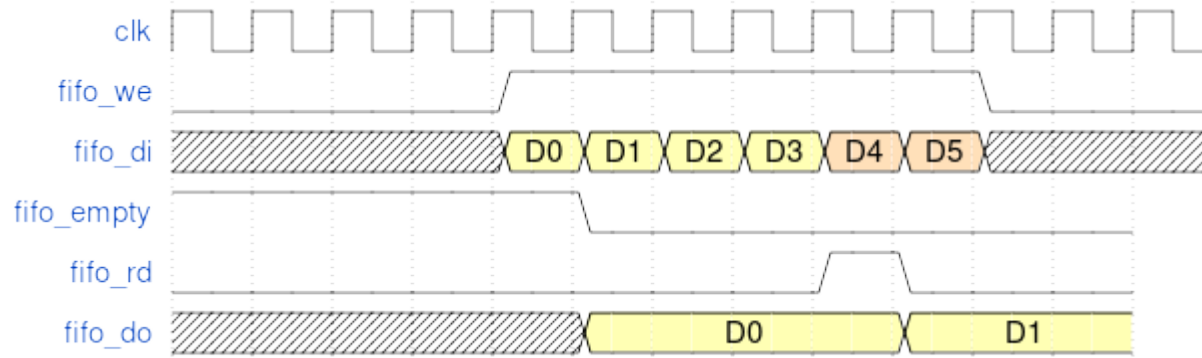
Число слов в FIFO

Запись в FIFO

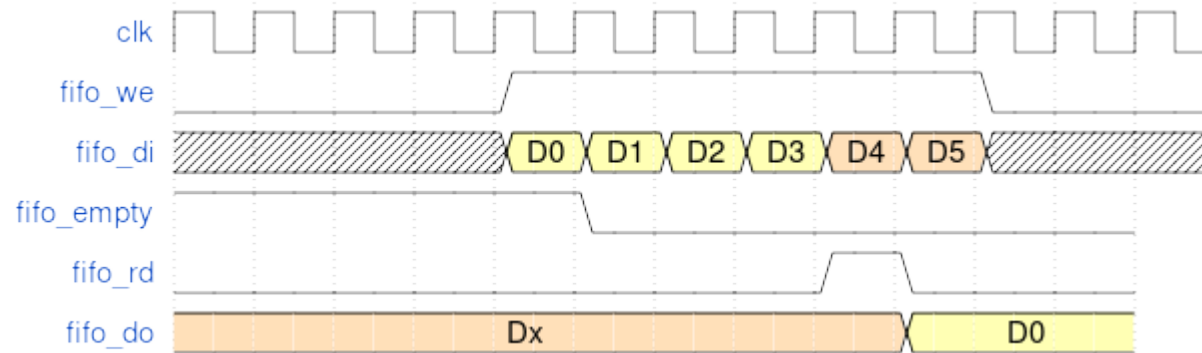


- Цикл записи в FIFO.
- Размер FIFO составляет 4 слова
- D4, D5 — не записаны в память

Чтение из FIFO. Два типа FIFO.

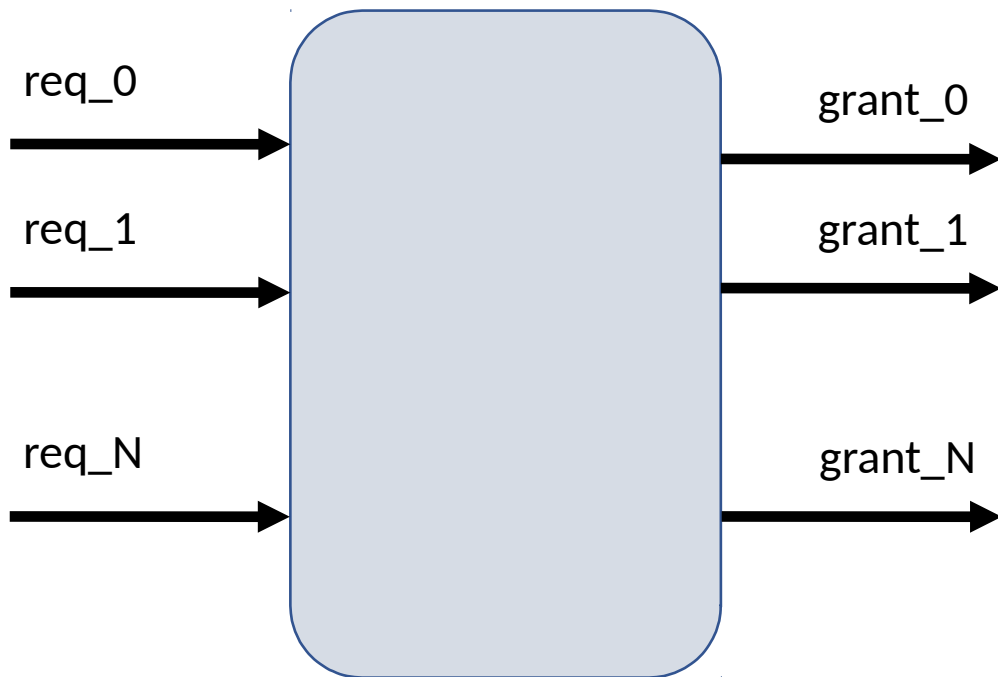


- **First Word Fall Through**
- Первое записанное слово сразу появляется на выходной шине



- **Standard**
- Слово на выходе появляется только после сигнала чтения
- (возможно через несколько тактов)

АРБИТР



- несколько активных запросов
- только на один порт выдаётся разрешение
- арбитраж производится каждый такт

Работа арбитра

Арбитр имеет циклический указатель. Указатель перемещается на позицию активного запроса после того, который только что получил грант

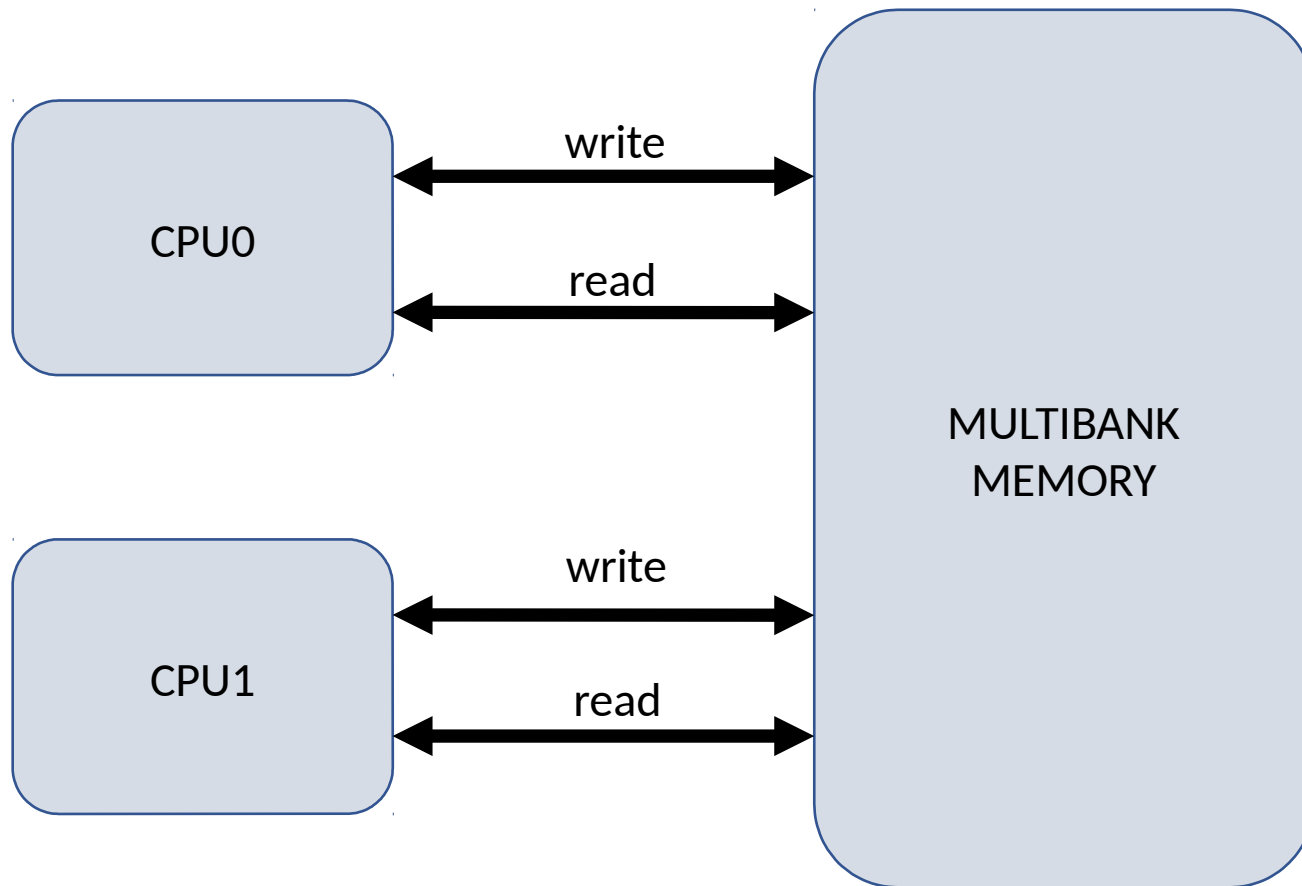
Пример 1:

Requests:	0	0	1	1	0
Pointer:	0	1	0	0	0
Grant:	0	0	0	1	0
New Pointer:	0	0	1	0	0

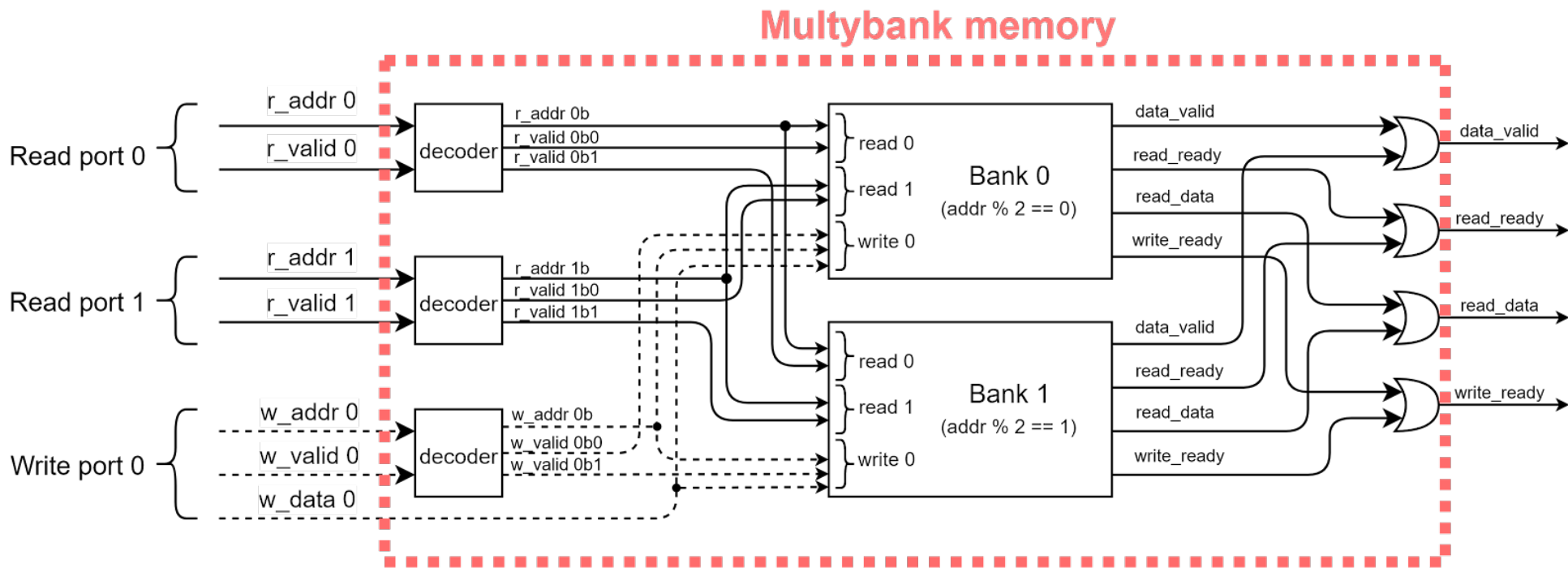
Пример 2:

Requests:	0	1	0	1	0
Pointer:	0	0	1	0	0
Grant:	0	1	0	0	0
New Pointer:	0	0	0	1	0

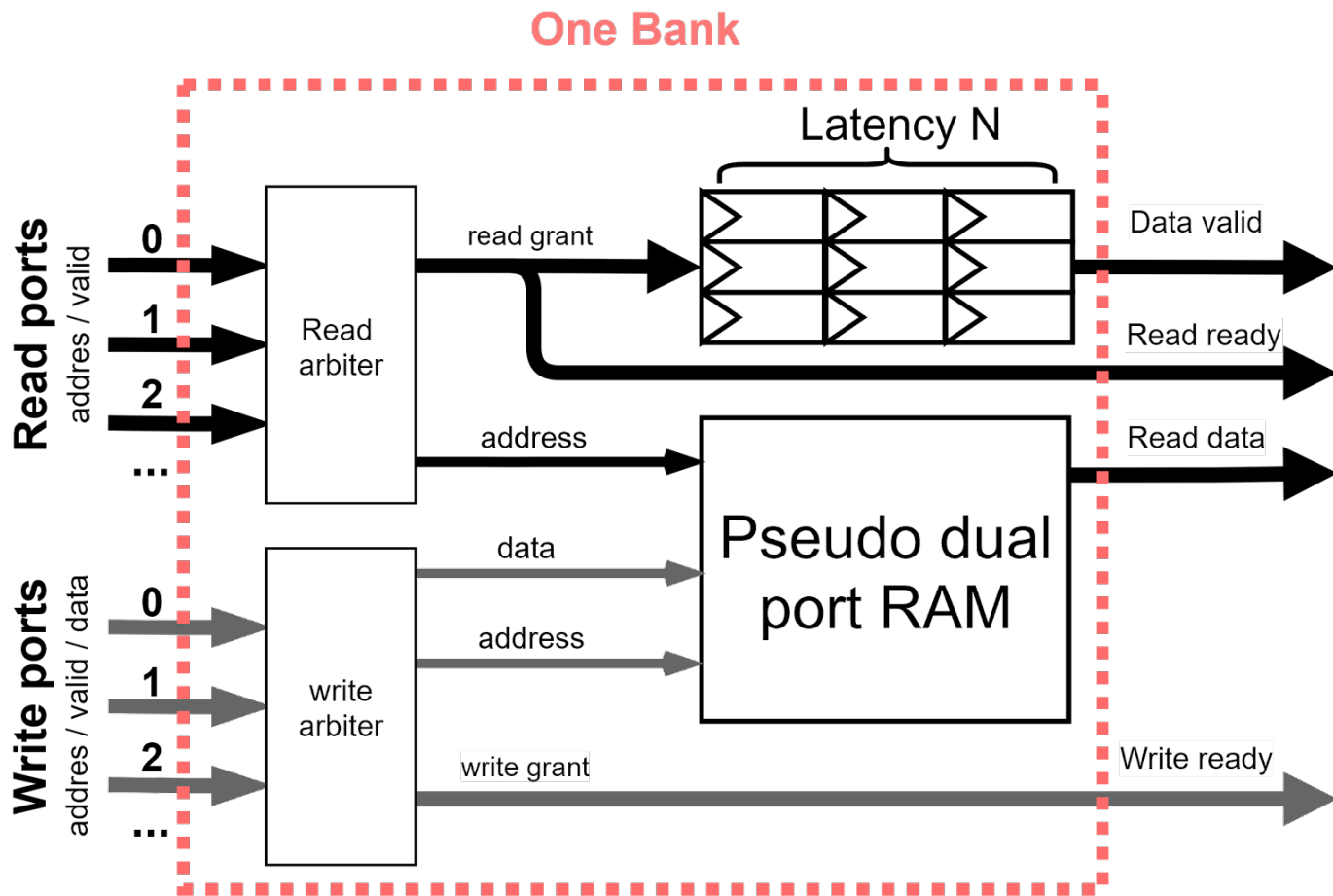
Пример двухпроцессорной системы



Структура многобанковой памяти



Структура многопортовой памяти

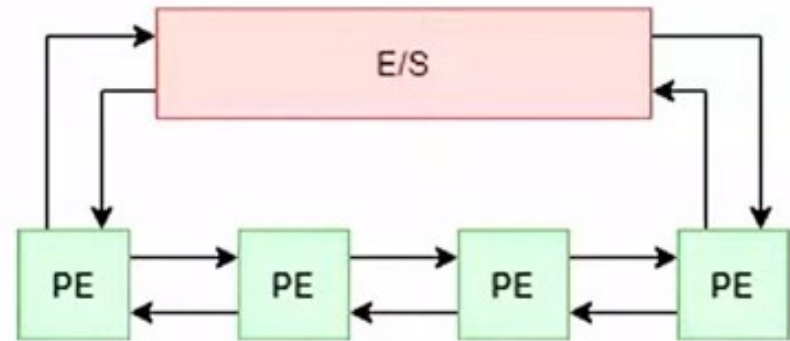


Систолический массив

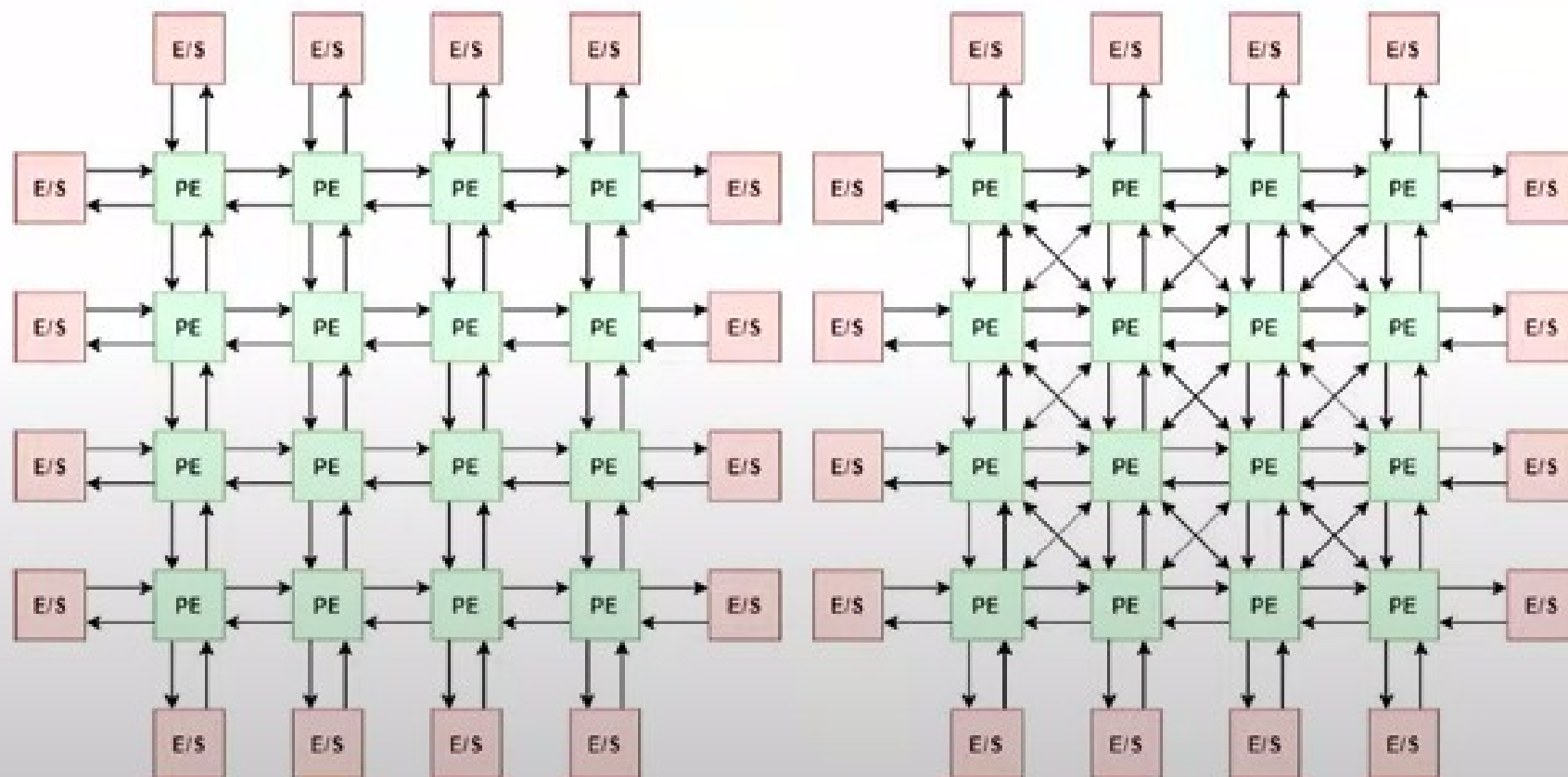
Однородная сеть тесно связанных блоков обработки данных.

Каждый узел независимо и параллельно вычисляет частичный результат

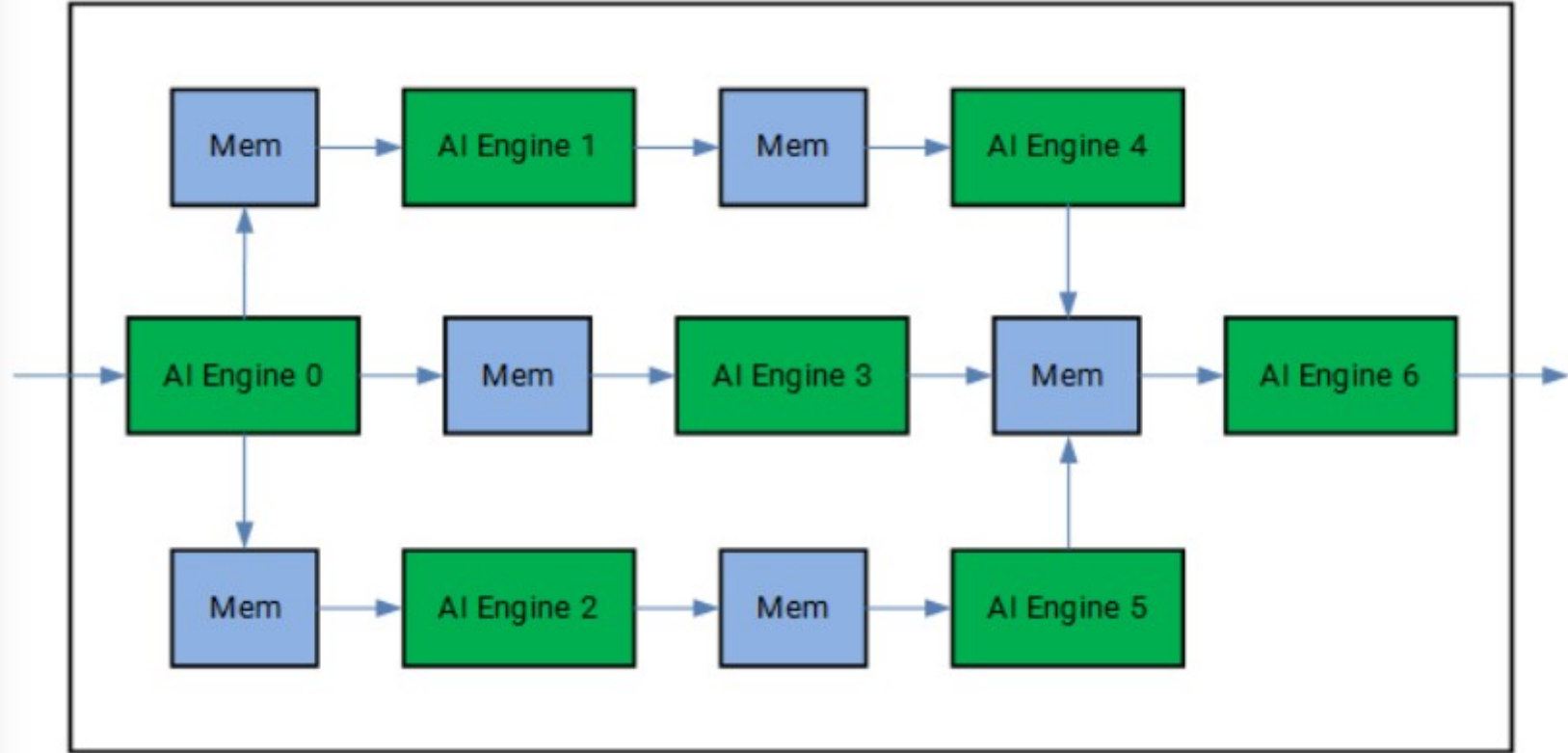
Название происходит от «систола» по аналогии с регулярным перекачиванием крови сердцем



Большой массив



Пример соединения для VersalACAP



<https://docs.xilinx.com/r/en-US/am009-versal-ai-engine/AI-Engine-to-AI-Engine-Data-Communication-via-Shared-Memory>