

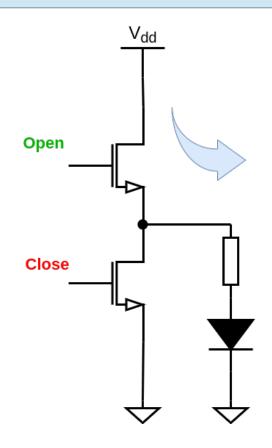
Комбинационная логика для вывода букв и графики

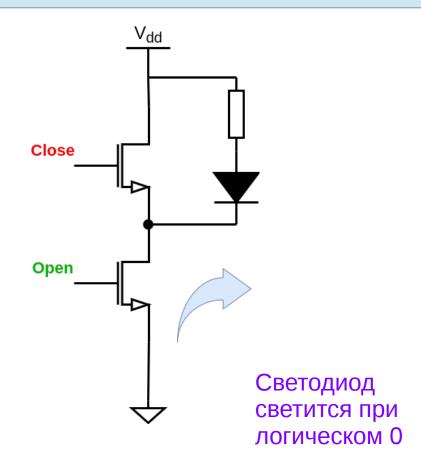
Дмитрий Смехов



Подключение светодиода

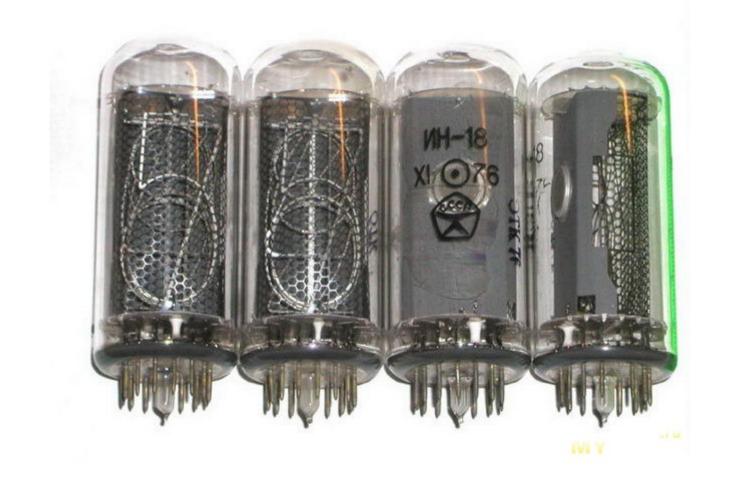
Светодиод светится при логической 1







Цифровой индикатор





Семисегментный ламповый индиктаор





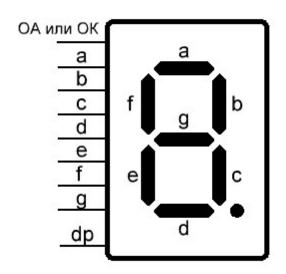
Многоразрядный индикатор



https://mysku.club/blog/ebay/46749.html



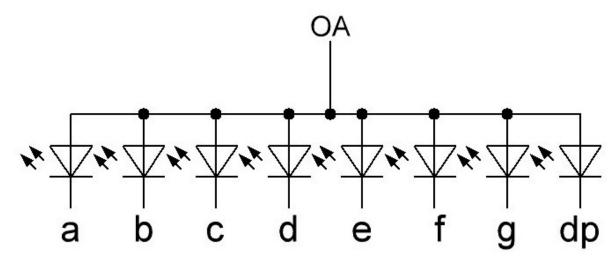
Вид индикатора

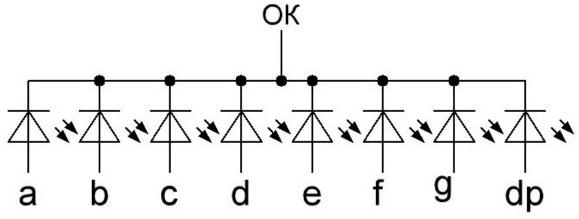


https://www.ruselectronic.com/sjemisjegmjentnyj-indikator/



Варианты исполнения



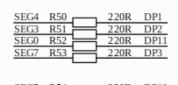


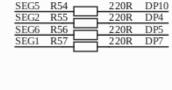


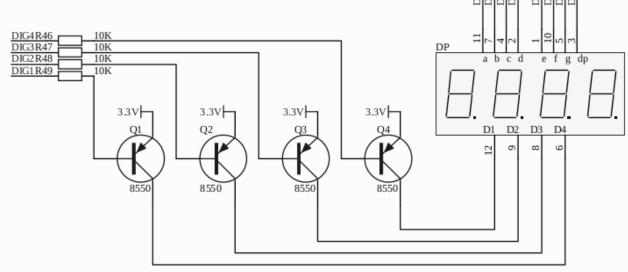
Фрагмент схемы модуля RZRD

Digital Tube











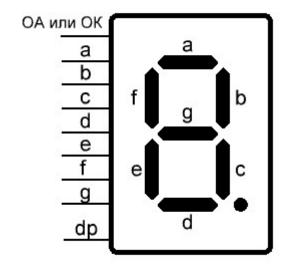
Подключение индикатора

```
module my_comp (
  output [7:0] abcdefgh,
  output [3:0] digit
);

assign digit = 4'b1100
assign abcdefgh = 8'b10011111

endmodule

digit — определяет цифру
```



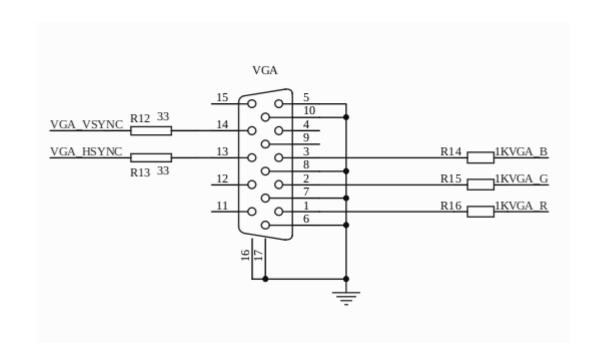
Сегмент горит когда разряд digit для этой цифры равен 0 и когда разряд сегмента равен 0

abcdefgh — определяет сегмент внутри цифры



Подключение VGA

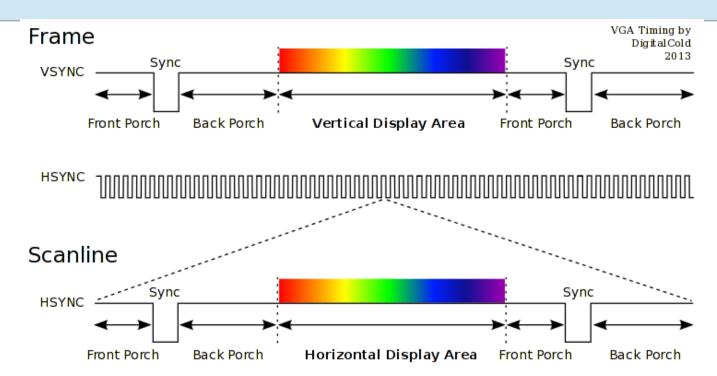
```
module my_and2 (
output hsync,
output vsync,
output logic [2:0] rgb
);
...
endmodule
```



На разъёме VGA сигналы RGB являются аналоговыми



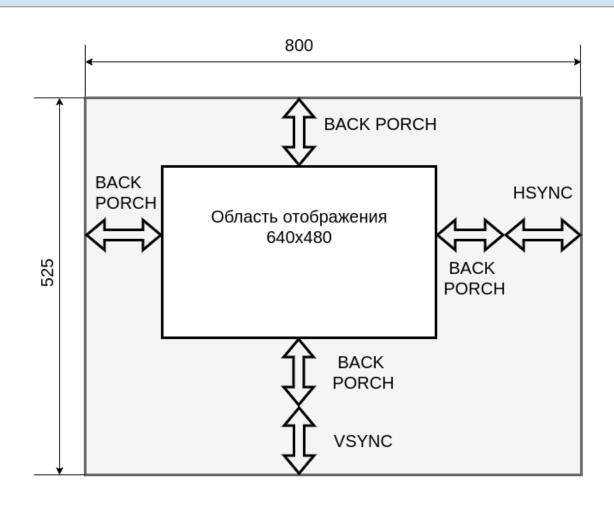
Временная диаграмма



https://habr.com/ru/companies/metrotek/articles/282189/



Экран VGA





Параметры компонента

```
module vga
# (
  parameter N_MIXER_PIPE_STAGES = 0,
       HPOS WIDTH = 10,
       VPOS WIDTH = 10.
       // Horizontal constants
       H DISPLAY
                      = 640, // Horizontal display width
       H FRONT
                      = 16, // Horizontal right border (front porch)
       H_SYNC
                      = 96, // Horizontal sync width
       H_BACK
                      = 48, // Horizontal left border (back porch)
       // Vertical constants
       V DISPLAY
                      = 480, // Vertical display height
       V BOTTOM
                      = 10, // Vertical bottom border
       V SYNC
                      = 2, // Vertical sync # lines
       V TOP
                      = 33, // Vertical top border
       CLK MHZ
                      = 50, // Clock frequency (50 or 100 MHz)
       VGA CLOCK
                      = 25 // Pixel clock of VGA in MHz
```



Порты компонента

```
module vga
// здесь описание параметров из предыдущего слайда
                                clk,
 input
 input
                                reset.
 output logic
                                hsync,
 output logic
                               vsync,
 output logic
                               display_on,
 output logic [HPOS_WIDTH - 1:0]
                               hpos,
 output logic [VPOS WIDTH - 1:0]
                               vpos
 localparam H_SYNC_START = H_DISPLAY + H_FRONT + N_MIXER_PIPE_STAGES,
           H_SYNC_END = H_SYNC_START + H_SYNC - 1,
           H MAX
                          = H SYNC END + H BACK,
           V_SYNC_START = V DISPLAY + V BOTTOM,
           V_SYNC_END = V_SYNC_START + V_SYNC - 1,
                          = V SYNC END + V TOP;
           V MAX
```

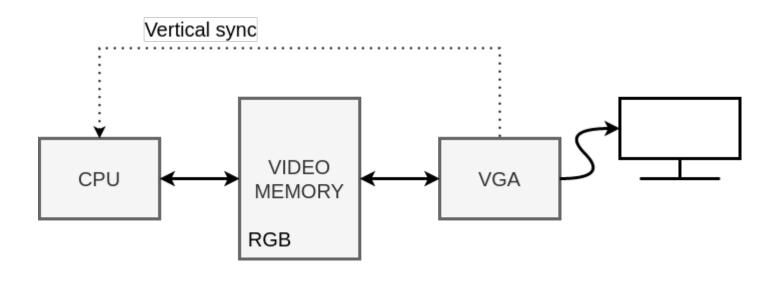


Установка параметров

Пример подключения компонента с переопределением параметра CLK_MHZ



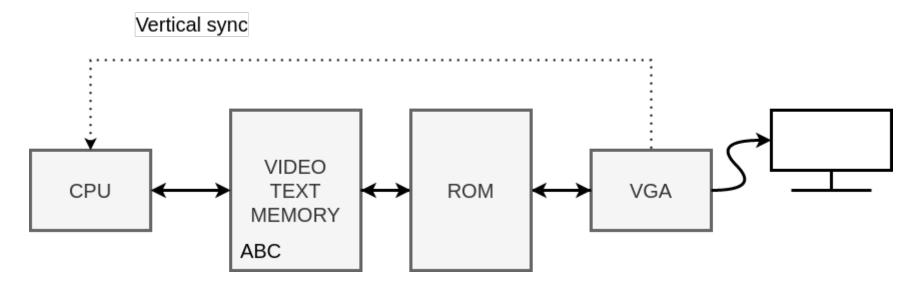
Использование видеопамяти



640x480x1 = 307200 байт — графический дисплей 256x3 = 768 байт — память перекодирования цвета



Использование генератора символов



640x480x1 = 307200 байт — графический дисплей 256x3 = 768 байт — память перекодирования цвета

80x25x2 = 4000 байт — память текста 256x8 = 2048 байт — память изображения символов



Генератор изображений

