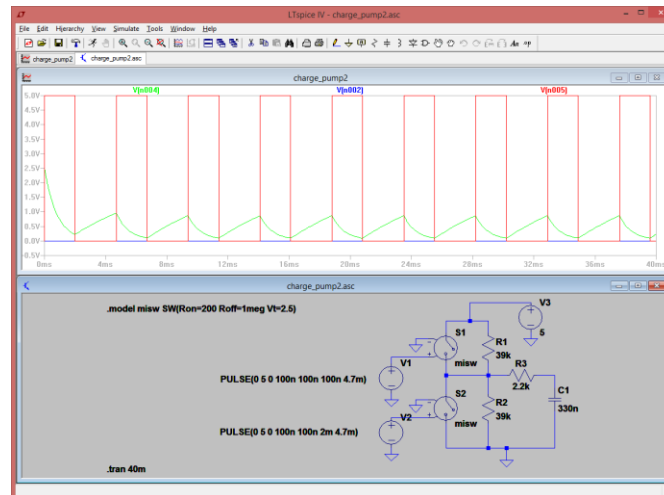


Diseño de Circuitos Electrónicos para Comunicaciones (Máster Ing. Telecomunicación)



Guión de Prácticas de Simulación- Práctica 1

Susana Patón
Luis Hernández

DEPARTAMENTO DE TECNOLOGÍA ELECTRÓNICA.
ESCUELA POLITÉCNICA SUPERIOR.
CURSO 2022 /2023

uc3m

Universidad
Carlos III
de Madrid

Índice

Manejo básico de LTSpice	2
Práctica 1. Simulación de un circuito de muestreo y retención y un filtro de reconstrucción	4
1.1. Introducción	4
1.2 Simulación de un filtro Sallen Key	4
1.3 Simulación de un circuito de muestreo y retención	7
1.3 Simulación de un filtro de reconstrucción	10
Bibliografía.	13

Manejo básico de LTSpice

El programa se puede descargar de <https://www.analog.com/en/design-center/design-tools-and-calculators/ltspice-simulator.html>. Una vez abierto el programa vamos a dibujar el circuito de la figura 1 y simular su punto de polarización y hacer un análisis transitorio.

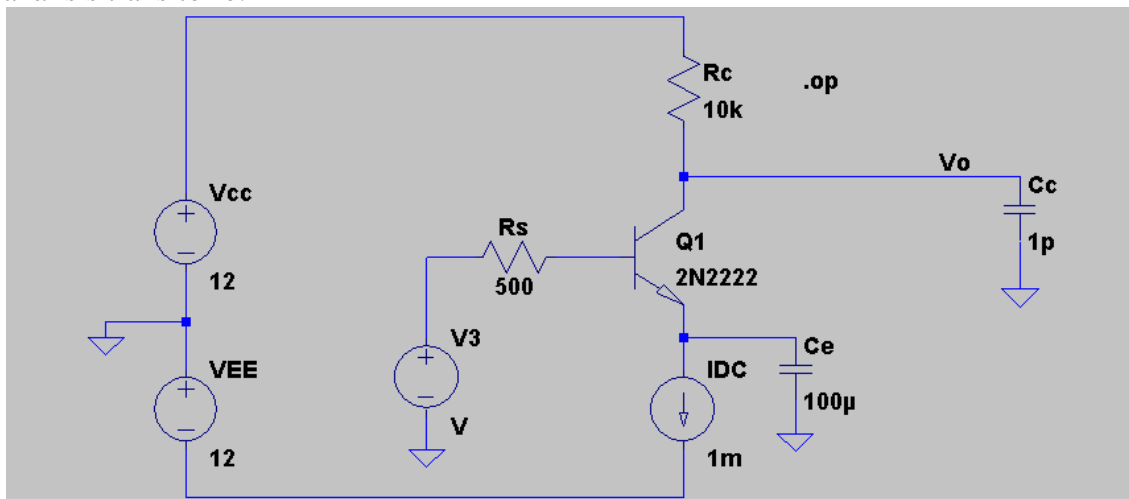
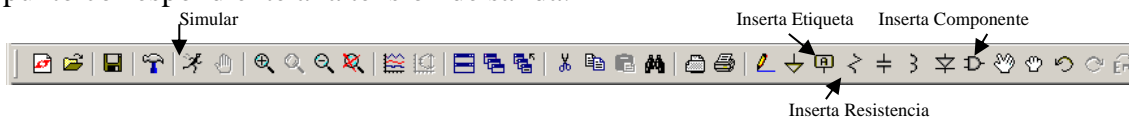


Figura 1.

Para ello usaremos el botón “Component” de la barra de herramientas y buscaremos los componentes: voltage, current, npn. Después usaremos los botones “Resistor”, “Capacitor” y “Ground” para obtener el resto de componentes necesarios. Usando F3 podemos dibujar los cables y unir los componentes del circuito. Pulsando con el botón derecho del ratón sobre cada componente podemos acceder a sus propiedades para establecer los diferentes valores de los componentes. En el caso del transistor, deberemos elegir el modelo 2N2222. Finalmente insertaremos la etiqueta ‘Vo’ en el punto correspondiente a la tensión de salida.



Es importante prestar atención a las unidades de todos los valores que introducimos. En la siguiente tabla se ofrece una relación de las abreviaturas más usadas en Spice:

meg ó MEG	mega
k ó K	kilo
m ó M	mili
u ó U	micro
n ó N	nano
p ó P	pico

Una vez capturado el esquemático, haremos un análisis del punto de polarización. Seleccione la opción Simulate del menú principal, y escoja la pestaña DC op point. Se generará el comando Spice correspondiente (.op) que tendrá que colocar en un punto cualquiera del esquemático. Use el botón “Run” de la barra de herramientas para simular el punto de polarización. Obtendrá una ventana con todas las tensiones y corrientes del circuito. Busque la tensión de salida Vo y compruebe que obtiene 2V.

Ahora realizará una simulación transitoria, para lo cual deberá primero configurar el generador V3. Rellene la ficha avanzada de propiedades según se muestra en la figura 2.

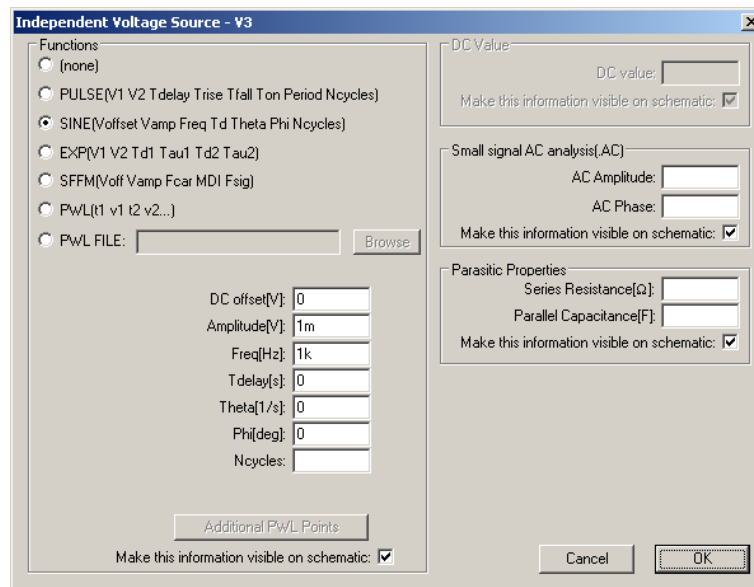


Figura 2.

Simule el circuito usando las siguientes opciones:

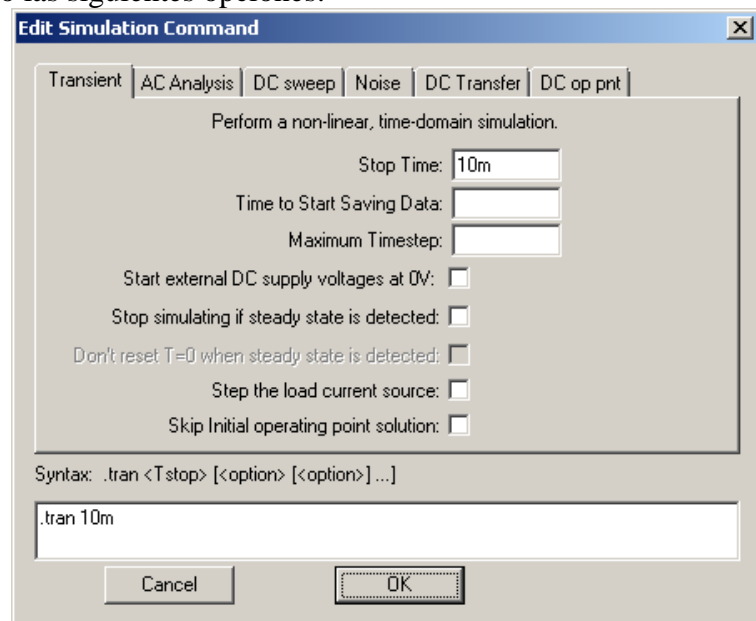


Figura 3.

Observará al simular que se abre una nueva ventana. En ella podrá representar las corrientes o las tensiones en función del tiempo. Pinche en el esquemático en el nodo Vo, o bien use la opción “Add trace”.

También puede realizar una simulación en AC para observar la respuesta en frecuencia del circuito. En este análisis las fuentes de tensión y corriente continuas se anulan, así como el punto de operación o trabajo del circuito, equivale a hacer un análisis en pequeña señal. Es necesario asignar un valor al parámetro ‘AC’ de la fuente, que se toma como amplitud de la tensión de entrada.

Consulte <https://www.analog.com/en/design-center/design-tools-and-calculators/ltspice-simulator.html> para conocer más detalles de la herramienta.

Práctica 1. Simulación de un circuito de muestreo y retención y un filtro de reconstrucción

1.1. Introducción

En el desarrollo de esta práctica se va analizar el comportamiento de un circuito de muestreo y retención básico que va a muestrear una señal de 2,5kHz con una frecuencia de muestreo de 50kHz. La señal de entrada del circuito de muestreo y retención será recuperada posteriormente, a partir de la señal muestreada, mediante un filtro de reconstrucción de 2° orden. La práctica se divide en tres partes: Diseño y simulación del filtro de reconstrucción, análisis del circuito de muestreo y retención y comprobación del funcionamiento del circuito de muestreo y retención seguido del filtro de reconstrucción.

1.2 Simulación de un filtro Sallen Key

En la primera parte de la práctica se va realizar el diseño y simulación de un filtro paso bajo de 2° orden de tipo Sallen Key que, posteriormente, se utilizará como filtro de reconstrucción a la salida de un circuito de muestreo y retención.

El esquema del filtro es el que se muestra en la siguiente figura:

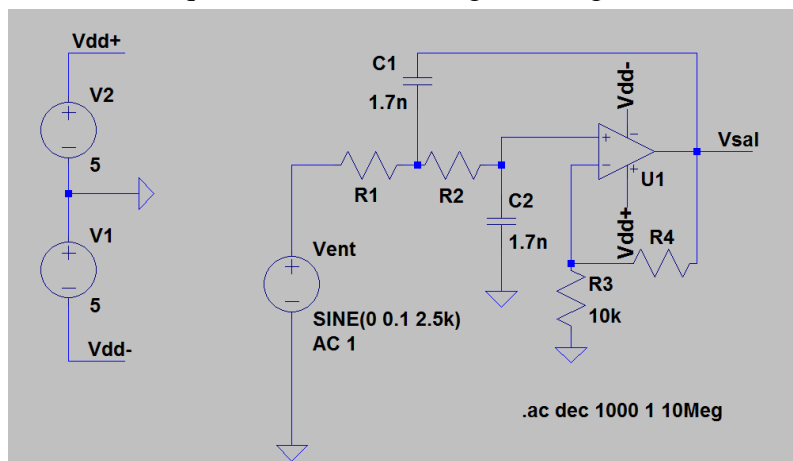


Figura 4. Esquemático del filtro Sallen Key

1º. Calcule los valores de R1, R2 y R4 para que el filtro tenga una frecuencia de corte, f_o , de 20kHz y un factor de calidad igual a 1.

R1 = 4,68k Ohm
R2 = 4,68k Ohm
R4 = 10k Ohm

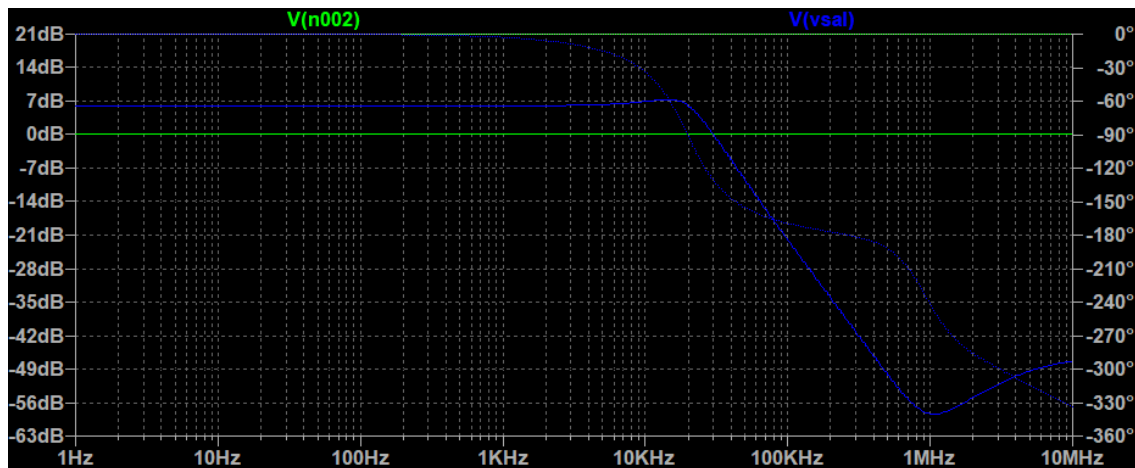
2º. Capture el esquemático de la figura 4 (utilizando el amplificador operacional opamp2 de la biblioteca [Opamps]) y realice una simulación para obtener la respuesta en frecuencia del filtro (simulación en AC de 1Hz a 10MHz con 1000 puntos/dec). Obtenga la frecuencia característica f_o y el valor de la ganancia del filtro a la frecuencia f_o , comparando ambos valores con el resultado teórico esperado.

Teoría	Simulación
f_o (kHz) = 20k Hz	f_o (kHz) = 21.301841KHz
$ V_{sal}/V_{ent} $ para f_o (dB) = 6.02 dB	$ V_{sal}/V_{ent} $ para f_o (dB) = 6.02 dB

Cálculos para el resultado teórico

La frecuencia de corte corresponde con la teórica que se planteó en el caso anterior para calcular el valor de las resistencias R2 y R2, por lo que se adaptó dichas resistencias para que la f_o fuese de 20k Hz.

Para el cálculo de la función de transferencia se analiza el circuito no inversor resultante dando así una función de transferencia igual a $k = 1 + R_3/R_4$. Teniendo en cuenta que adaptamos el circuito para que R3 sea igual a R4, entonces la ganancia total es 2V que pasado a dB, nos da un total de 6.02 dB.

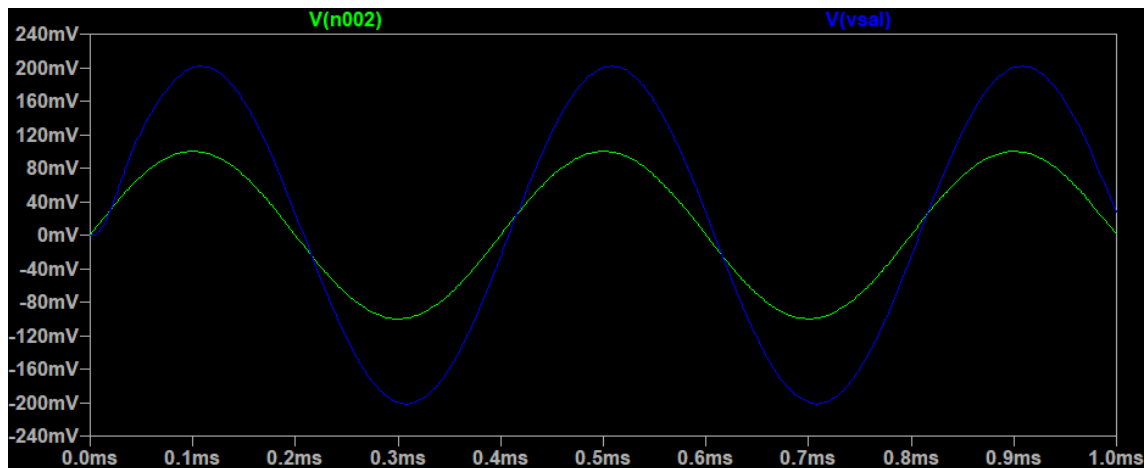


3º. Realice una simulación temporal con una señal de entrada sinusoidal de 100mV de amplitud y 2.5kHz de frecuencia. ¿Cuál es la amplitud de la señal de salida del filtro, Vsal y el desfase respecto de la señal de entrada? ¿Sería este filtro adecuado para usarlo como filtro de reconstrucción de una señal de 2.5kHz?

Vsal = 200mV

Hay un desfase del orden de los micro segundos

Es un filtro adecuado siempre y cuando al frecuencia de muestreo se mantenga superior a los 20kh, ya que por debajo el desfase que introduce el filtro empezaría a atenuar la señal



1.3 Simulación de un circuito de muestreo y retención

En la segunda parte de la práctica se va a realizar la simulación del circuito de muestreo y retención de la figura 5:

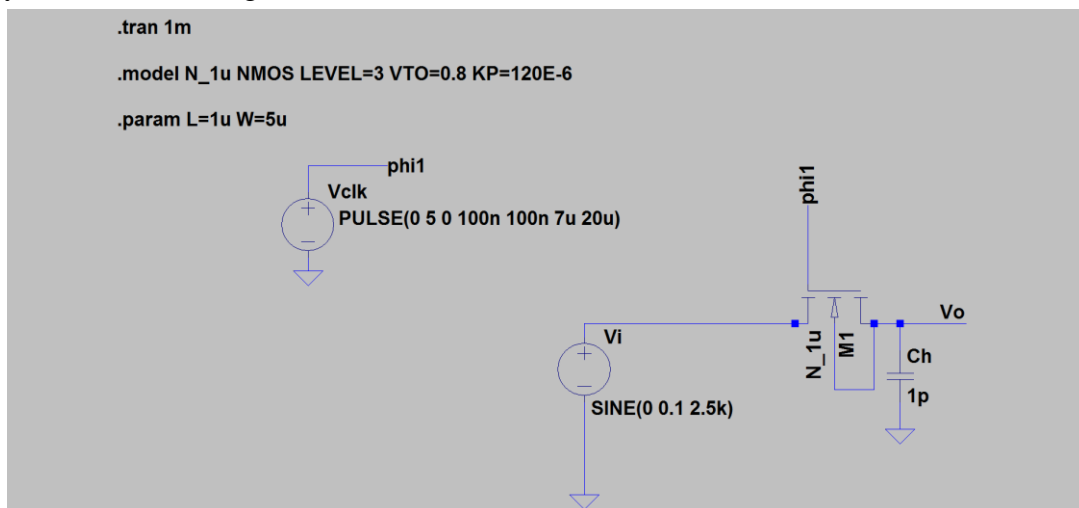


Figura 5. Esquemático del circuito de muestreo y retención

Para simular el MOSFET se va a utilizar el modelo de nivel 3 de Spice para un transistor NMOS, en el que se puede configurar, entre otros parámetros, la tensión umbral ($V_t = VTO$) en voltios y la constante característica en conducción ($K = KP$) en A/V^2 . Para asociar el modelo al transistor del esquemático debe incluirse la directiva de Spice **.model** con los parámetros correspondientes (véase figura 5).

El componente de LTSpice que se utilizará para el transistor será NMOS4. A parte de los parámetros del modelo, se pueden configurar la anchura (W) y longitud (L) del canal del transistor NMOS en las propiedades del mismo. Si se quiere que estas propiedades sean visibles en el esquema se debe definir un parámetro para cada una de las propiedades. Para ello debe incluir la directiva de Spice **.param** en el esquemático (véase figura 5) con los valores de los dos parámetros y configurar la ventana de propiedades del NMOS como se indica en la siguiente figura:

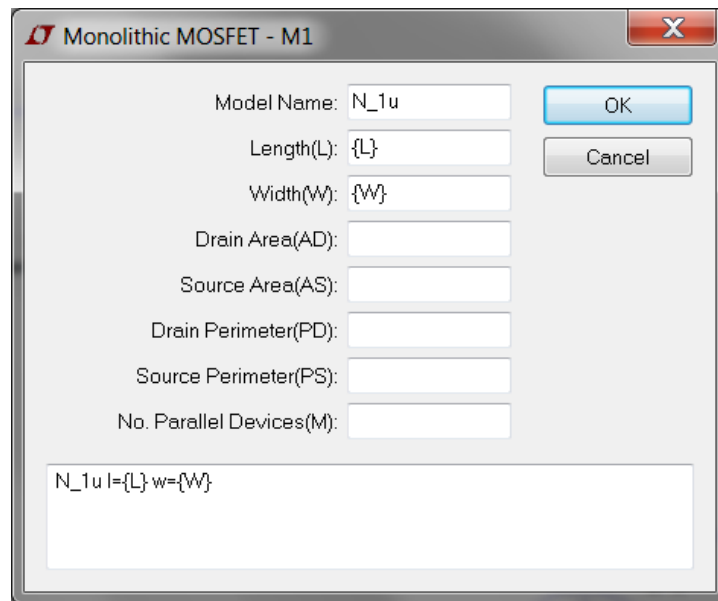


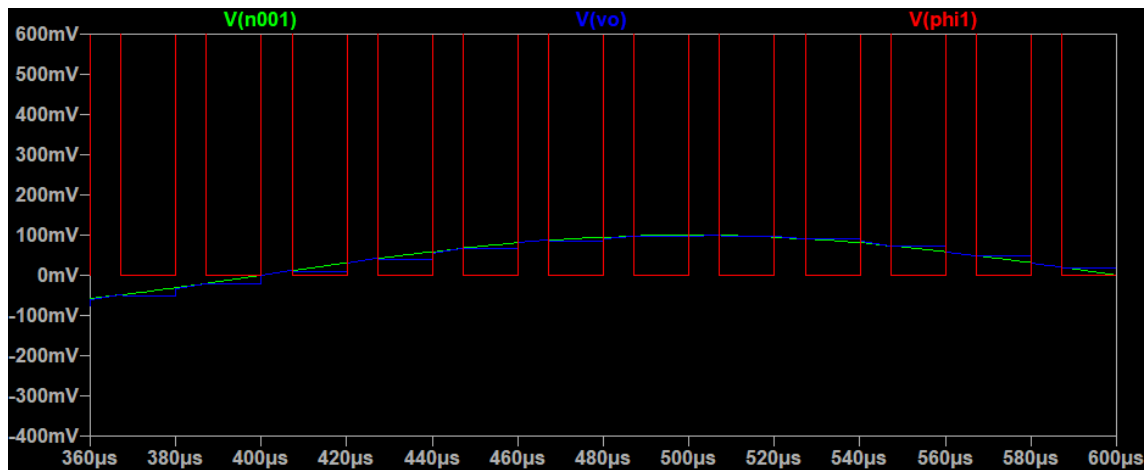
Figura 6. Configuración de las propiedades del transistor NMOS para definirlas como parámetros

4º. Según el teorema de Nyquist, ¿cuál será la máxima frecuencia teórica de la señal de entrada V_i para la que el circuito funcionará correctamente con un reloj de frecuencia 50kHz?

La máxima frecuencia de entrada sería 25kHz

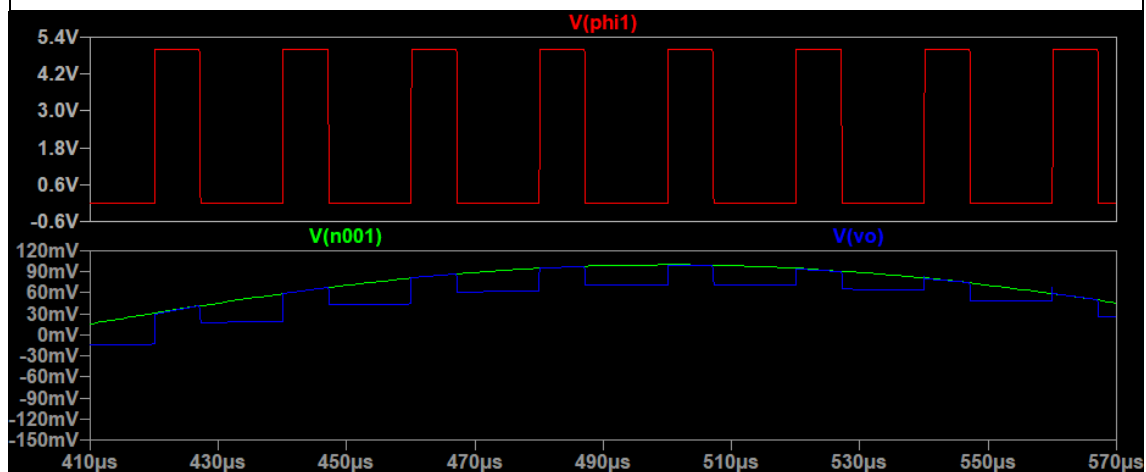
5º. Capture el circuito de la figura 5 con los valores de los parámetros indicados en la misma y visualice la tensión de entrada V_i , la de salida, V_o , y la señal de reloj, ϕ_1 . ¿El circuito de muestreo y retención funciona correctamente?. Razone su respuesta.

Si funciona correctamente, ya que durante los pulsos de bajada la señal de salida retiene la señal de entrada.



6°. Modifique las dimensiones del canal del NMOS ($L=2\mu$, $W=80\mu$), vuelva a simular el circuito y a visualizar la tensión de entrada V_i , la de salida, V_o , y la señal de reloj, ϕ_1 . ¿Qué tipo de error se está produciendo en el circuito y a qué es debido?

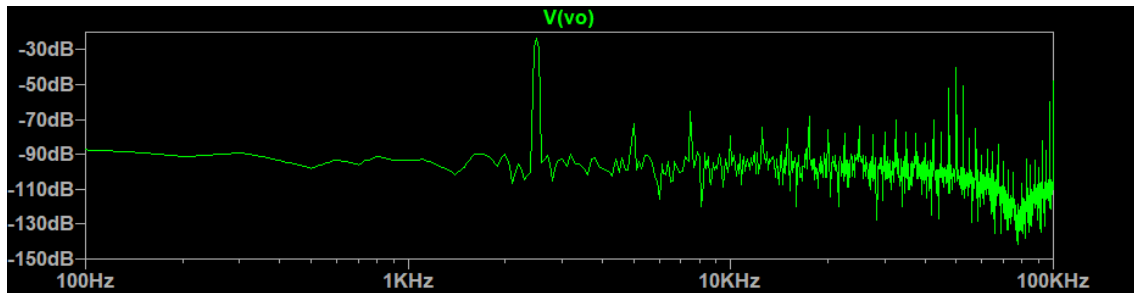
La señal no se retiene correctamente ya que entran en juego errores por inyección de carga.



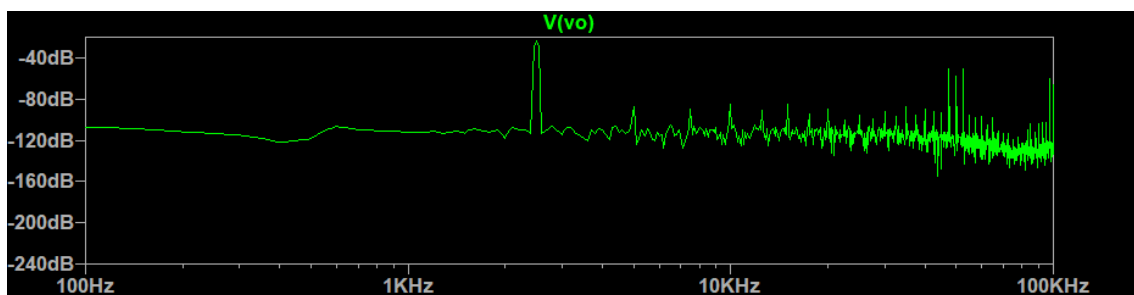
Cuantifique el error, midiendo el tamaño del pedestal con los cursores.

Pedestal (mV) = 27.018 mV

7°. Cambie el tiempo de simulación a 10ms, visualice la señal en el condensador, V_o , y realice la FFT para ver la distorsión armónica que aparece debida al error que se ha producido al incrementar las dimensiones del canal.



8º Modifique el valor de Ch a 10pF, observando de nuevo la respuesta temporal y la FFT de Vo. Comente las diferencias encontradas en relación a la simulación con un condensador de 1pF y razone si los resultados concuerdan con la respuesta teórica esperada.



Debido a los efectos de inyección de carga que hemos introducido en el apartado anterior, sabemos que la variación de tensión depende de la capacidad del condensador de muestreo de forma inversamente proporcional. Así que podemos ver en las gráficas como la señal con un condensador de mayor capacidad (10pF) es más limpia que con uno de menor capacidad (1pF)

1.3 Simulación de un filtro de reconstrucción

Para finalizar la práctica se van a conectar los circuitos de las figuras 4 y 5, con los parámetros configurados tal como se muestran en la figura 7 y los valores de los componentes del filtro de reconstrucción calculados en el apartado 1.1.

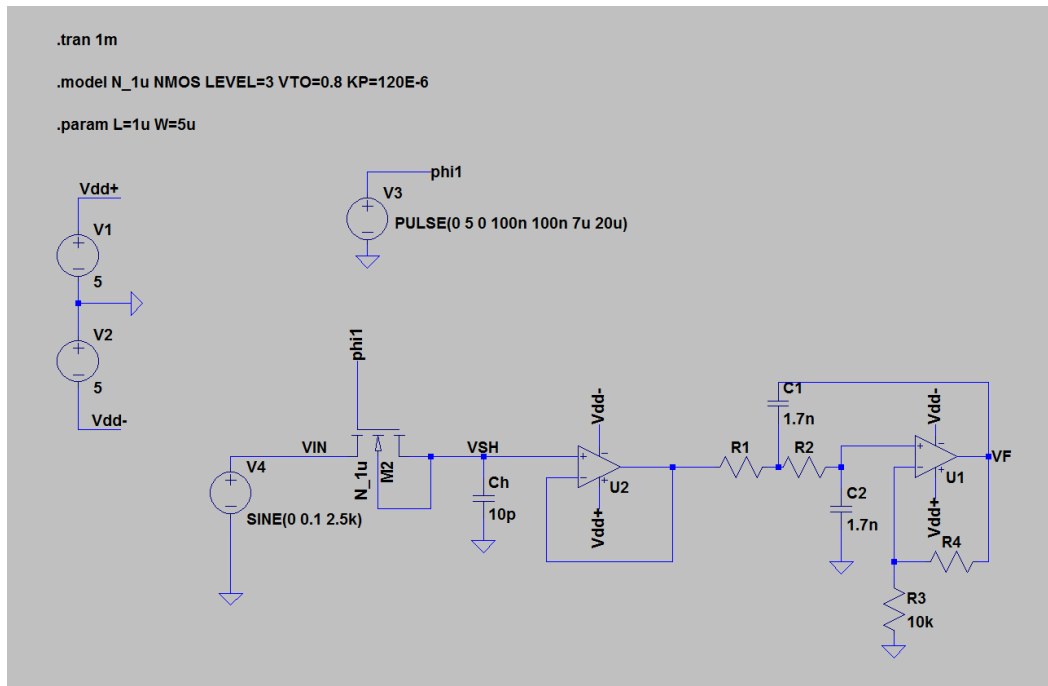
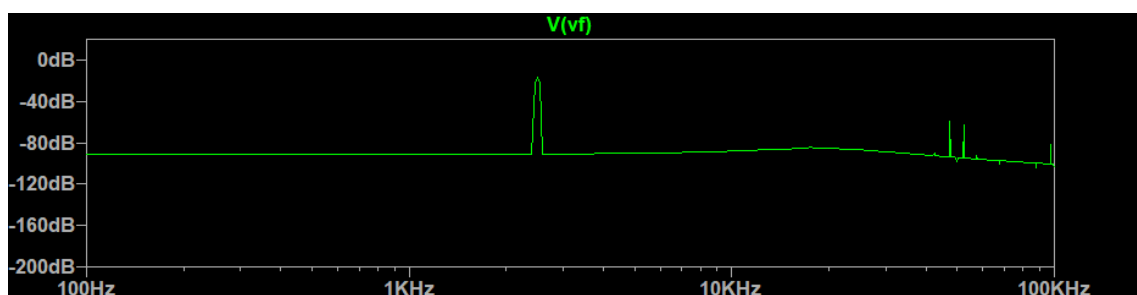
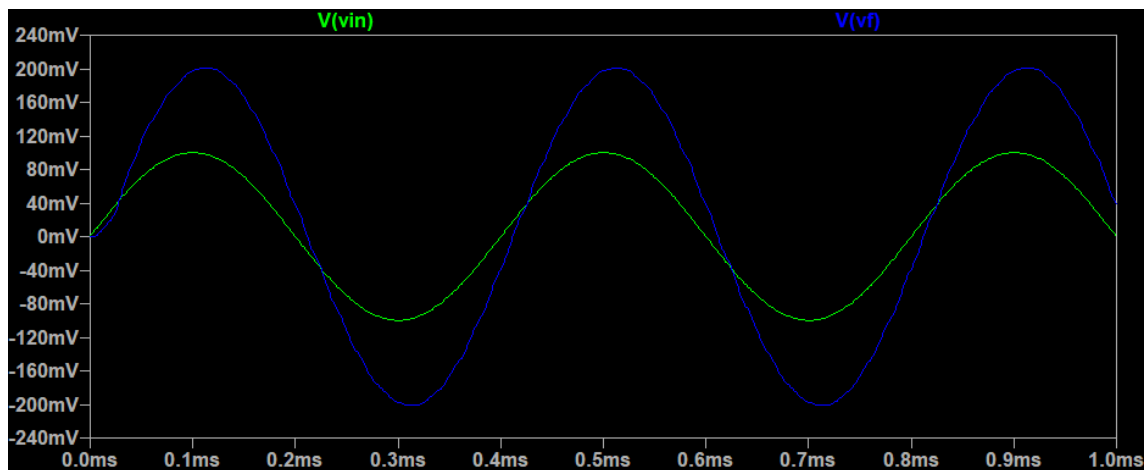
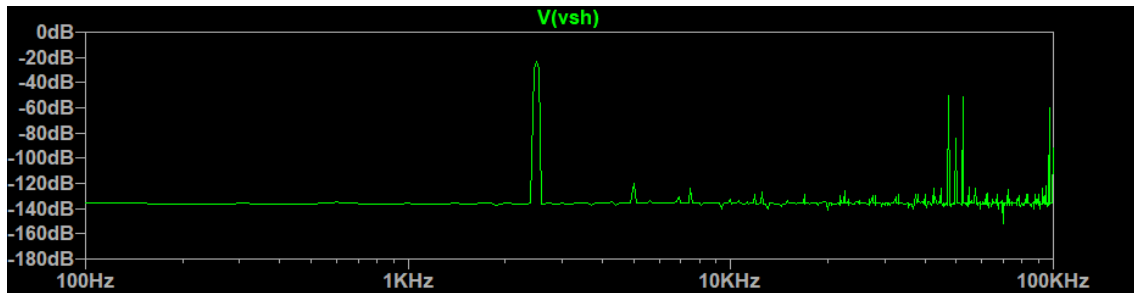


Figura 7. Esquemático del circuito de muestreo y retención seguido del filtro de reconstrucción.

Para evitar efectos de carga en el circuito de muestreo y retención, se ha añadido un buffer a su salida. La impedancia de entrada del amplificador operacional utilizado como buffer debe modificarse a $1\text{G}\Omega$ (en la ventana del modelo del opamp2)

9º. Simule el circuito observando la señal de entrada, VIN, y la señal reconstruida en VF. Aumente el tiempo de simulación a 10ms y observe la FFT de las tensiones VSH y VF. Comente los resultados.

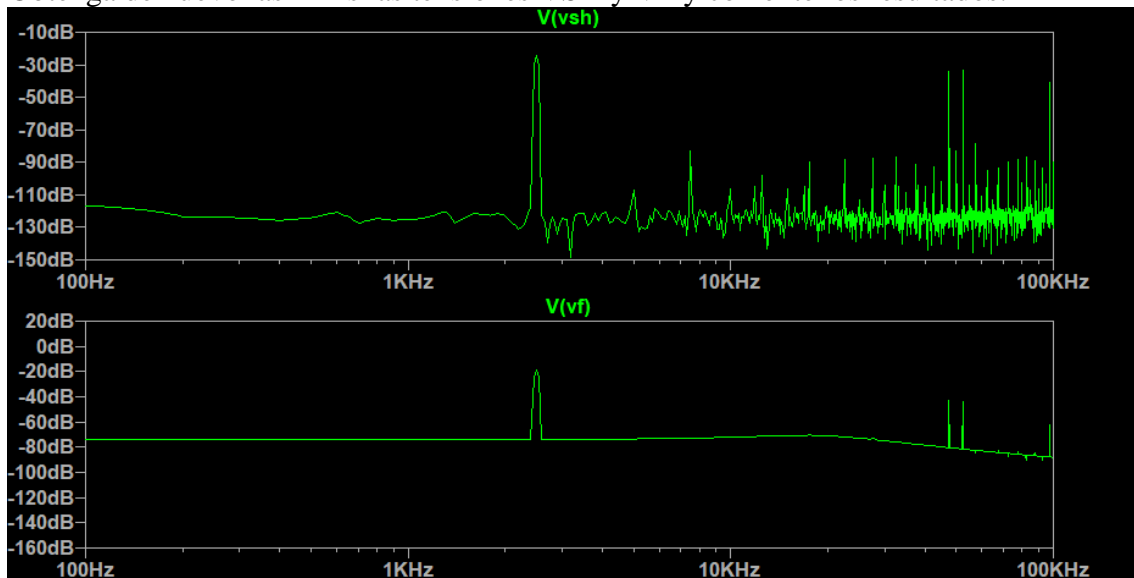




Si nos fijamos en la señal de entrada (VIN) y la señal de salida (VF) podemos observar que se reconstruye con una ganancia y un desfase (del orden de microsegundos) tal y como se comportaba el filtro de Sallen Key.

Al analizar en el dominio de la frecuencia, podemos observar como el filtro de Sallen Key introduce ganancia a la señal VSH y además limpia la señal de forma que no vemos los armónicos de la frecuencia fundamental en VF. Por otro lado, se puede observar que cuando superamos aproximadamente los 40k Hz, se empiezan a ver los armónicos y otras señales; esto es debido a que a esas frecuencias el amplificador del filtro de Sallen Key empieza a introducir polos y desfases que además de atenuar la señal dejan de limpiarla.

10º. Cambie la frecuencia de la señal de entrada a 52.5KHz, y vuelva a simular el circuito. Obtenga de nuevo las FFTs las tensiones VSH y VF y comente los resultados.



En este caso, debido a que no se cumple el teorema de Nyquist ($F_s > 2B_{\text{vin}} \rightarrow 50\text{kHz} \nrightarrow 2 \cdot 52.5\text{kHz}$), la señal en VSH se ve distorsionada debido a Aliasing y hay errores en el muestreo de la señal de entrada.

Sin embargo, en el espectro de frecuencias de la señal reconstruida, podemos ver como estamos reconstruyendo la misma señal. Esto es debido a que al muestrear, la señal fundamental está en los 52.5kHz, cuando vemos los valores cercanos a los 0kHz (desplazando 50kHz a la izquierda) estamos viendo una réplica de la frecuencia fundamental (en 2.5kHz) y al aplicar el filtro de Sallen Key sólo nos quedamos con dicha frecuencia.

Bibliografía.

[1] Johns, D. A., Martin K. *Analog Integrated Circuit Design* . John Wiley & Sons, Inc., 1997.