

快速 V-BLAST 排序检测算法的分析和 FPGA 实现

沈楠^{1,2}

¹ 泛网无线通信教育部重点实验室(北京邮电大学), 北京 100876

² 北京邮电大学 无线新技术研究所, 北京 100876

E-mail: shennan@mail.wtilabs.cn

摘要: 本文首先介绍了一种基于 QR 分解的快速 V-BLAST 排序检测算法。该算法通过一种新的排序方案避免了传统 Golden ZF-SIC 所必需的迭代求伪逆过程, 并且能够在降低复杂度的同时实现与传统 Golden ZF-SIC 算法相同的性能。本文对该算法的逻辑实现提供一种有效地, 节省资源的 FPGA 架构, 包括逻辑实现流程, 定点化方案确定。最终将给出 MATLAB 仿真来验证该设计方案。

关键词: QR 分解; MIMO; V-BLAST; FPGA

1. 引言

多输入多输出 (Multiple Input and Multiple Output, MIMO) 技术采用多根收发天线进行无线传输, 有效提高了频谱利用率。排序迫零串行干扰删除 (Ordering Zero Forcing – Serial Interference Cancellation, OZF-SIC) 算法是一种广泛应用于 V-BLAST 系统的传统排序检测算法, 具有比线性检测算法性能好的优点, 但其运算复杂度较高^[1]。传统的 Golden ZF-SIC^[2] 被认为是 MIMO 检测中的一种“最优方案”, 但是为了求矩阵伪逆而进行的迭代操作极大的增加了运算的复杂度。文献[3]中的 V-BLAST 译码算法将 Greville 递归求逆与串行译码结合, 极大降低了运算复杂度, 但该算法不可避免的引入了一定得性能损失。本文所描述的使用于 V-BLAST 系统的排序检测算法, 巧妙地利用低复杂度的排序算法和基于施密特正交化的检测算法, 将复杂度降至传统 ZF-SIC 算法复杂度的 1/3 ~ 3/4, 在达到与传统 ZF-SIC 相同的误码率性能的同时, 降低了硬件实现的复杂度。

FPGA (Field Programmable Gate Array, 可编程逻辑门阵列) 具有开发周期短, 设计灵活等优点, 将 V-BLAST 的检测算法在 FPGA 中验证, 是未来移动通信试验系统主要采用的一种方式。本文对该算法提出一种有效的 FPGA 架构, 包括逻辑实现过程, 以及流水段设计。该架构可以为其他的 MIMO 接收机的硬件实现提供参考。本文最后给出 MATLAB 仿真来验证理论分析和硬件实现的结果。

2. 系统模型

我们考虑系统采用 V-BLAST 作为 MIMO 的方案, 物理层流程如图 1 和图 2 所示。在发送端, 首先对输入数据进行 LDPC 编码, 之后进行 16QAM 调制。调制后的符号信息通过串并变换来构成 V-BLAST 结构。最后通过 IFFT 实现 OFDM 的调制。

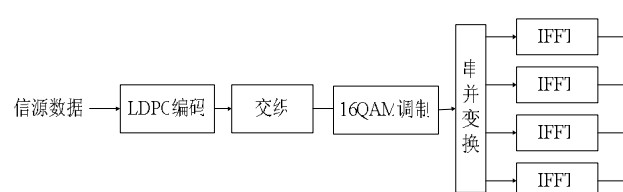


图 1 发送端物理层流程

接收端首先对多天线的接收数据进行 FFT 变换, 之后对每根天线的 FFT 结果进行信道估计。MIMO 译码部分通过快速检测算法是新。FFT 后的接收信号可以表示为

$$\mathbf{Y} = \mathbf{H}\mathbf{X} + \mathbf{V}$$

(1)

其中 \mathbf{X} 表示发送符号的向量， \mathbf{V} 是高斯白噪声，均值为零， \mathbf{Y} 表示接收端符号向量， \mathbf{H} 表示信道转移矩阵， h_{ij} 代表矩阵中第 i 行（接收天线），第 j 列（发送天线）的元素。

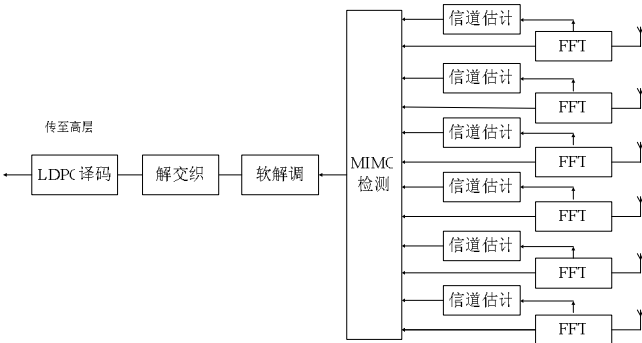


图 2 接收端物理层流程

对于一般性的算法描述，相关符号定义如下

表 1 相关符号定义

M	接收天线数目
N	发送天线数目
H	信道转移矩阵，大小为 $M \times N$
Y	接收信号向量，大小为 $M \times 1$
MAC	乘法累加器(由 DSP48e slice 实现)
ADD	加法器或减法器 (由DSP48e slice实现)
MUL	乘法器 (由DSP48e slice实现)

3. 算法分析

3.1 基于 QR 分解的快速 V-BLAST 检测算法的描述

1) 排序

第一步：初始化

$$i = 1, Z_1 = H^H H, P_1 = [1, 2, \dots, N]$$

(2)

第二步：循环执行

$$l = \arg \min_{j \in \{1, 2, \dots, N-i+1\}} \{\det(\mathbf{A}_{i,j})\}$$

$$s_i = \text{Exr}(\mathbf{P}_i^T, l)$$

(3)

$$\mathbf{P}_{i+1} = \text{Dr}(\mathbf{P}_i, l)$$

$$Z_{i+1} = \mathbf{A}_{i,l}, i \leftarrow i + 1$$

$\text{Exr}(\mathbf{P}^T, l)$ 返回 \mathbf{P}^T 中的第 l 个元素，而 $\text{Dr}(\mathbf{P}, l)$ 删除向量 \mathbf{P} 中第 l 个元素。 $\mathbf{A}_{i,j}$ 为 Z_i 删除第 j 行第 j 列后构成的矩阵，那么 $[\mathbf{H}_i]_{j,j}$ 的余子式为 $\det(\mathbf{A}_{i,j})$ 。采用上述排序方法，获得的检测顺序为 $[s_1, s_2, \dots, s_N]$ ，计算过程中不存在矩阵的逆运算。其中矩阵的行列式求解方法将直接影响排序算法的运算复杂度。当发送天线数较小时，例如小于等于4时，行列式及其对角

元素余子式的计算可以直接采用行列式的展开定理进行求解, 这样在排序算法中将不存在除法操作, 只有排序、加法和乘法操作, 因此排序过程复杂度将会大大降低。

2) 信号检测

第一步: 矩阵重排

将信道矩阵的列与检测信号向量的元素按照上一步确定的检测顺序 $[z_1, z_2, \dots, z_N]$ 进行排列得 $\bar{\mathbf{H}} = [\mathbf{h}_{z_N}, \mathbf{h}_{z_{N-1}}, \dots, \mathbf{h}_{z_1}]$, $\bar{\mathbf{X}} = [x_{z_N}, x_{z_{N-1}}, \dots, x_{z_1}]^T$, 则

$$\mathbf{Y} = \bar{\mathbf{H}}\bar{\mathbf{X}} + \mathbf{V} \quad (4)$$

第二步: 求迫零向量

$$\mathbf{b}_1 = \mathbf{h}_{z_N}, \mathbf{b}_2 = \mathbf{h}_{z_{N-1}} - k_{2,1}\mathbf{b}_1, \dots, \mathbf{b}_N = \mathbf{h}_{z_1} - \sum_{n=1}^{N-1} k_{N,n}\mathbf{b}_n \quad (5)$$

其中, $k_{i,j} = \mathbf{b}_j^H \mathbf{h}_{z_{N-i+1}} / (\mathbf{b}_j^H \mathbf{b}_j)$, $j < i$ 。(5)式可改写为:

$$\mathbf{h}_{z_N} = \mathbf{b}_1, \mathbf{h}_{z_{N-1}} = \mathbf{b}_2 + k_{2,1}\mathbf{b}_1, \dots, \mathbf{h}_{z_1} = \mathbf{b}_N + \sum_{n=1}^{N-1} k_{N,n}\mathbf{b}_n \quad (6)$$

矩阵表示形式为:

$$\bar{\mathbf{H}} = \mathbf{B} \begin{bmatrix} 1 & k_{2,1} & \dots & k_{N,1} \\ & 1 & \ddots & k_{N,2} \\ & & \ddots & \vdots \\ & & & 1 \end{bmatrix} = \mathbf{B}\mathbf{K} \quad (7)$$

其中 $\mathbf{B} = [\mathbf{b}_1, \mathbf{b}_2, \dots, \mathbf{b}_N]$, 且 $\mathbf{B}^H \mathbf{B} = \mathbf{\Lambda}$ 为实对角矩阵, $[\mathbf{\Lambda}]_{i,i} = \mathbf{b}_i^H \mathbf{b}_i$, \mathbf{K} 为上三角矩阵, 其对角元素为1。

将(c)式两侧同乘以 $\mathbf{\Lambda}^{-1}\mathbf{B}^H$ 得:

$$\mathbf{\Lambda}^{-1}\mathbf{B}^H \mathbf{Y} = \mathbf{\Lambda}^{-1}\mathbf{B}^H (\bar{\mathbf{H}}\bar{\mathbf{X}} + \mathbf{V}) \Rightarrow \tilde{\mathbf{Y}} = \mathbf{K}\bar{\mathbf{X}} + \tilde{\mathbf{V}} \quad (8)$$

第三步: 计算信号估计值

依据(g)可得到发送信号估计值为:

$$\begin{aligned} \hat{x}_{new,z_1} &= \tilde{y}_N, \hat{x}_{new,z_2} = \tilde{y}_{N-1} - k_{N,N-1} \text{map}(\hat{x}_{new,z_1}), \dots, \\ \hat{x}_{new,z_i} &= \tilde{y}_{N-i+1} - \sum_{n=1}^{i-1} k_{N-n+1,N-i+1} \text{map}(\hat{x}_{new,z_n}) \end{aligned} \quad (9)$$

$$\tilde{\mathbf{X}}_{new} = [\hat{x}_{new,1}, \hat{x}_{new,2}, \dots, \hat{x}_{new,N}] \quad (10)$$

3.2 复杂度分析

考虑N根发送天线, M根接收天线的情况, 比较传统Golden算法, 基于Greville分解的次优检测算法, 以及本文所提出的快速排序算法的乘法和除法的次数。

表 2 复杂度比较

	实数乘法	实数除法
传统 Golden	$2N^3M + 3N^2M + 9NM - 6M$	$(N^2 + N)/2$
基于 Greville 分解 次优算法	$6M^2N + 6MN - 4N$	$2MN$
基于 QR 分解的快速 排序算法	$6N^2M + 3N^2 + 2MN - N + 77$	N

假设 $N = 4, M = 6$ ，相对于传统Golden算法，基于QR分解的快速排序的实乘次数相对于传统Golden减少了39.7%，相对于基于Greville分解的次优算法减少了24.9%。而它的性能与Golden算法完全等价。

4. 硬件实现

4.1 FPGA 逻辑实现

4.1.1 迫零模块

迫零模块包括两部分：排序和QR分解。排序模块通过循环求矩阵余子式得到串行干扰删除的顺序，然后根据该顺序重新排列信道矩阵。最终将重新排列的信道矩阵传递给QR分解模块。该流程如图3所示

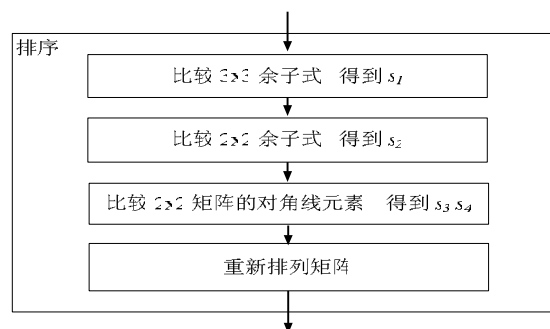


图 3 排序模块的逻辑流程

在Virtex-5系列的FPGA中，DSP48e slice在包含了Virtex-4系列中DSP48e slice中的所有属性以外还添加了一部分的新的特性。其中包括一个位宽更大的25 x 18的核心乘法器，以及被扩展成逻辑单元的加减功能。在迫零模块中我们尽可能使用DSP48e slice来做相应的乘法，加法，累乘加的操作。DSP48e 的逻辑连接细节可见图4。

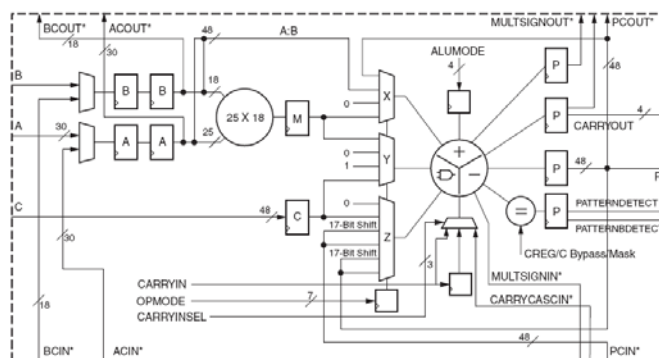
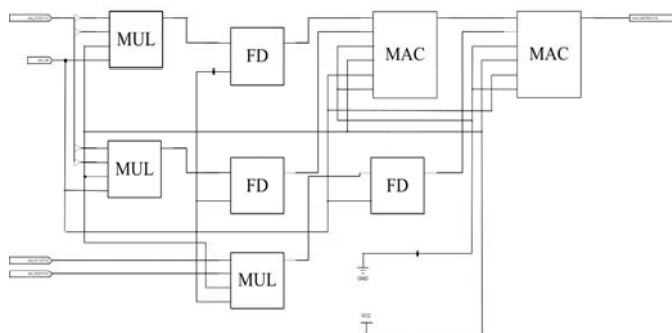


图4 DSP48E Slice

图5显示了迫零模块中计算 2×2 余子式的一个基本单元的RTL级视图。可以看到实现该功能使用了3个MUL和2个MAC。而它们也全部由DSP48e slice抽象而成。这种方式节省了大量的slice逻辑资源(寄存器和查找表)。对于更复杂的模块,类似 3×3 余子式计算,该方案同样适用。

图5 计算 2×2 余子式的RTL级视图

QR分解使用施密特正交化来计算B矩阵和K矩阵。图5显示了QR分解模块的逻辑流程。QR分解包括连续三个级联的模块。矩阵乘法是该模块最主要的操作。实现ZF模块时使用的“DSP48e原则”也可以实现在该模块中。

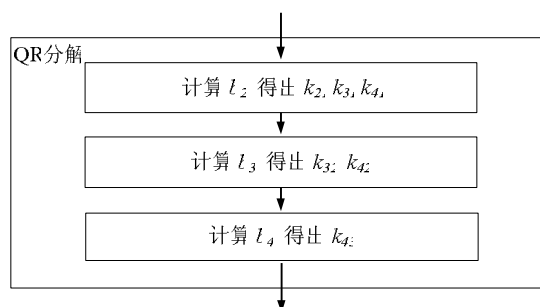


图6 QR分解模块流程

4.1.2 串行干扰删除模块

串行干扰删除模块需要取得迫零所得的顺序信息,矩阵B,K以及同步所得的用户数据。图7显示了整个算法的逻辑流程。

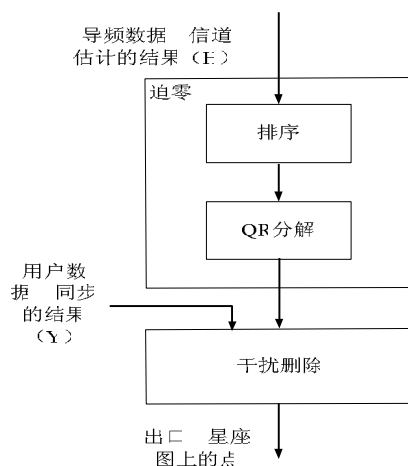


图7 整体逻辑流程

该FPGA架构试图使用尽可能多的DSP48e资源,从而使slice的占用量尽可能保持在一个较低的水平。这也为未来可能有的设计升级提供了冗余。

4.2 定点化方案

FPGA内部运算所使用的二进制的比特宽度是有限的,这就意味着信号处理的过程不可能与MATLAB浮点仿真一致。以乘法为例,假设两个16bit宽的信号相乘,结果就是一个32bit的信号。在实现过程中肯定会使用到多级连接的乘法器,这样的级联乘法器的结果如果希望能保证全精度的话,必然会需要相当多的bit位宽才能保证。

因此FPGA在进行信号处理的过程中,不可能保证在整个运算的流程保持完全的精度。对每一步的运算结果进行适当的截位关系到算法实现的性能。定点化的思路简单总结可以分为两点:

- a. 要保证有足够的位数来表示其特定的幅度;
- b. 在a的基础之上,尽可能的截取有效位,尽量避免符号位。

5. 仿真结果

假设采用频域LS信道估计, LDPC信道编译码。信道模型采用文献[12]中的EPA模型。图8显示了对于基于QR分解的快速排序检测算法的浮点和定点化仿真结果,以及传统Golden的浮点仿真结果。

从仿真结果可以看出,传统的Golden算法和快速排序QR分解算法有着完全相同的性能,从而验证了第三部分的理论分析。此外,定点化相对于浮点所带来的损失大概有0.4dB,对于实际的无线通信系统这个结果是非常理想的。

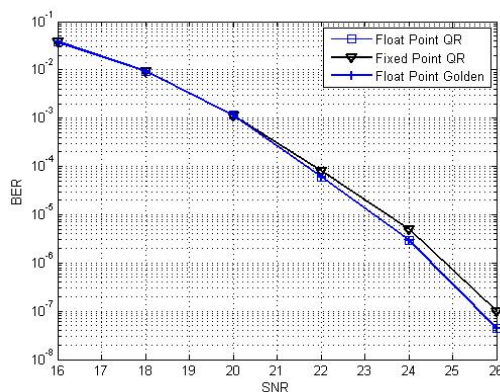


图 8 定点化仿真结果

6. 结论

本文给出了基于QR分解的快速排序V-BLAST检测算法的分析, 以及其FPGA的实现方案, 包括逻辑实现, 和定点化思路。该FPGA实现架构为其他类型的无线通信系统提供了有价值的参考。

参考文献

- [1] Foschini G J, GANS M J. On limits of wireless communications in a fading environment using multiple antennas. *Wireless Personal Communications*, 1998, 6(3): 311- 335
- [2] Golden G D, Fosichini G J, Valenzuela R A, et al. Detection algorithm and initial laboratory results using V-BLAST space- time communication architecture. *Electronics Letters*, 1999, 35(7):14 – 16
- [3] Xiaofeng Tao, Zhuizhuan Yu, Haiyan Qin, Secodary Decode Algorithm for V-BLAST E-Journal, 2003, 31(5): 703- 706.
- [4] Zhiheng Guo, Lihua Li, Xiaofeng Tao, Fast Ordering Detection Algorithm for V-BLAST System, *Journal of BUPT*, 2007, 30(4): 83-87
- [5] Jing Shu, Qiang Wang, Jin Xu, Xiaofeng Tao, Implementation for a detection algorithm in MIMO-OFDM System, *IC Application*, 2008(1):55-58
- [6] J. Wang, "Fundamentals of erbium-doped fiber amplifiers arrays (Periodical style—Submitted for publication)," *IEEE J. Quantum Electron.*, submitted for publication.
- [7] C. J. Kaufman, Rocky Mountain Research Lab., Boulder, CO, private communication, May 1995.
- [8] M. Young, *the Techincal Writers Handbook*. Mill Valley, CA: University Science, 1989.
- [9] J. U. Duncombe, "Infrared navigation—Part I: An assessment of feasibility (Periodical style)," *IEEE Trans. Electron Devices*, vol. ED-11, pp. 34–39, Jan. 1959.
- [10] S. Chen, B. Mulgrew, and P. M. Grant, "A clustering technique for digital communications channel equalization using radial basis function networks," *IEEE Trans. Neural Networks*, vol. 4, pp. 570–578, July 1993.
- [11] R. W. Lucky, "Automatic equalization for digital communication," *Bell Syst. Tech. J.*, vol. 44, no. 4, pp. 547–588, Apr. 1965.
- [12] "Base station (BS) radio transmission and reception", Technical Specification Group Radio Access Network, 36104.840, 2009.03.

Analysis and FPGA Implementation of Fast Ordering Detection Algorithm for V-BLAST System

Nan Shen^{1,2}

1. Key Laboratory of Universal Wireless Communications, Ministry of Education, Beijing 100876, China; 2. Wireless Technology Innovation Institute, Beijing University of Posts and Telecommunications, Beijing 100876, China

Abstract

This paper firstly presents a fast ordering detection algorithm for V-BLAST System based on QR Decomposition. This algorithm avoids the iteration for pseudo inverse in traditional Golden ZF-SIC by a new sorting scheme, and achieves lower complexity of MIMO detection under the same performance as traditional Golden ZF-SIC. In this paper, an effective and resource-saving FPGA architecture for this algorithm is proposed, including logic implementation, and fixed point programming. At last an MATLAB simulation is presented to validate the hardware design, which achieves fixed and high throughput in real-time system.

Key words: QR Decomposition; MIMO; V-BLAST; FPGA

作者简介: 沈楠, 男, 1985 年生, 硕士研究生, 主要研究方向是无线通信接入网的物理层算法, 及其 FPGA 逻辑实现。