

A FPGA Matrix Comparison Sort Algorithm and Its Application in Median Filter *

LV Weixin^{1*}, LI Qingqing², LOU Junling³

(1. Robotics Institute, Harbin Institute of Technology, Harbin 150001, China;

2. Robotics Institute, Harbin Institute of Technology, Harbin 150001, China;

3. Robotics Institute, Harbin Institute of Technology, Harbin 150001, China)

Abstract: Sort algorithm is widely used in digital image processing. Hardware implementation can bring magnitude computing speed improvement. A sort algorithm is proposed, which distributes the input data in rows and columns constituting matrix comparator, the successive value of input data No. j in a collection is the sum of comparison values of row No. j . Several sorters are constructed with FPGA based on the matrix comparison sort algorithm, and the maximum delay is in the tens of nanoseconds. The delay of 1-D and 2-D median filters, which are constructed by matrix comparator sort algorithm is less than 50ns. The matrix comparator sort algorithm is real time and simple in principle.

Key words: sort; matrix comparison sorting; median filter; FPGA

EEACC: 1270

doi: 10.3969/j.issn.1005-9490.2012.01.009

FPGA 比较矩阵排序法及在中值滤波器中的应用 *

吕伟新^{1*}, 李清清², 娄俊岭³

(1. 哈尔滨工业大学机器人研究所, 哈尔滨 150001;

2. 哈尔滨工业大学机器人研究所, 哈尔滨 150001;

3. 哈尔滨工业大学机器人研究所, 哈尔滨 150001)

摘 要: 排序运算广泛应用于数字图像处理等实时性要求较高场合, 硬件实现排序运算可提高逻辑运算速度。采用大规模集成电路构造一种硬件矩阵比较器, 将输入数据按行列排列后进行比较, 使第 j 行的比较输出结果相加, 即可求得第 j 个输入数据在输入数据集合中的序列值。采用 FPGA 芯片构造多种排序器, 最大延时均在几十 ns 量级, 将排序器应用于构造一维和二维中值滤波器延时小于 50ns。硬件矩阵比较器实现排序和滤波, 原理简单, 实时性好。

关键词: 排序; 比较矩阵排序; 中值滤波; FPGA

中图分类号: TP391.41

文献标识码: A

文章编号: 1005-9490(2012)01-0034-05

排序是将一个集合中的所有元素按序排列成一个新的有序数列的运算, 其应用范围很广, 如用于构造中值运算器, 最大值运算器, 最小值运算器等。国内外学者一直致力于提高运算速度的研究, 曾提出了利用多种软件实现快速排序的算法^[1-3]。硬件逻辑电路具有并行运算的特点, 用其实现排序算法能极大提高运算速度, 适合于信号和图像处理等实时性要求比较高的场合^[4-7]。

本文提出了一种将输入数据按行列构成矩阵比较器, 其比较结果的第 j 行输出值之和即为第 j 个输入数据在一个集合中的序列值的排序方法。相对其他算法, FPGA 实现此方法原理简单, 运算速度快。除可作为排序器外, 本文将此方法应用于构造一维和二维中值滤波器, 具有广泛的应用价值。

1 比较矩阵排序器原理

排序问题可以描述为: 输入一个长度为 N 的集合 $\{x_i, 1 \leq i \leq N\}$, 若升序排列, 则输出一个长度为 N 的序列 $\{Y_i, 1 \leq i \leq N \text{ 且 } Y_i \leq Y_{i+1}\}$; 若降序排列, 则输出一个长度为 N 的序列 $\{Y_i, 1 \leq i \leq N \text{ 且 } Y_i \geq Y_{i+1}\}$ 。升序排列和降序排列运算方法基本相同, 这里只讨论按升序排列的情况, 将要实现排序的集合中的数据分为两种情况:

(1) 各数据互不相等

此时, 已知 $x(1), x(2), x(3) \cdots x(N)$, 求其中某一个数 $x(j)$ 在整个集合按从小到大排序后的序列值, 可使它与其他的所有数据依次做比较, 若大于被比较的数据, 则比较的结果记为 1, 否则记为 0, 可知

项目来源: 国家自然科学基金项目(61075081)

收稿日期: 2011-09-21 修改日期: 2011-10-12

将所有比较结果中 1 的个数相加即为 $x(j)$ 在这个集合中的序列值。

(2) 数据中有相同值

此时,添加约束条件,将相等的数据做排序修正,下标较小的数据其值较大。如若 $x(k)=x(m)=x(n)=\dots, k<m<n<\dots$ 则认为 $x(k)>x(m)>x(n)>\dots$, 这样就可以将集合中相同的数据在排序中按顺序排列,而不会影响最终的排序结果。

基于以上两种情况的分析,可用式(1)描述如下:

$$\text{Judge}(j)(i) = \begin{cases} 1 & (i>j \text{ 且 } x(j) \geq x(i)) \\ 0 & (i>j \text{ 且 } x(j) < x(i)) \\ 1 & (i<j \text{ 且 } x(j) > x(i)) \\ 0 & (i<j \text{ 且 } x(j) \leq x(i)) \end{cases} \quad (1)$$

($i=1,2,3,\dots,N$ 且 $i \neq j$)

其中 $\text{Judge}(j)(i)$ 为 $x(j)$ 与 $x(i)$ 比较的结果值。则 $x(j)$ 在集合从小到大排序后的序列值为:

$$\text{Order}(j) = \sum_{i=1,2,\dots,N \text{ 且 } i \neq j} \text{Judge}(j)(i) \quad (2)$$

上述排序过程可用图 1 中的比较矩阵更直观地表述,图 1 中输入数据 $x(1), x(2), x(3) \dots x(N)$ 在方格左侧从上到下依次排列,再将输入数据在方格的上侧从左到右依次排列,行列值相比较构成比较矩阵。去除从左上到右下的对角线上的数据,左下角斜杠纹理区域中的数据满足 $x(j)>x(i)$ 条件时,判断结果为 1;右上角交叉纹理区域中的数据满足 $x(j) \geq x(i)$ 条件时,判断结果为 1,则第 j 行的所有比较值累加后,即为 $x(j)$ 的序列值 $\text{Order}(j)$ 。

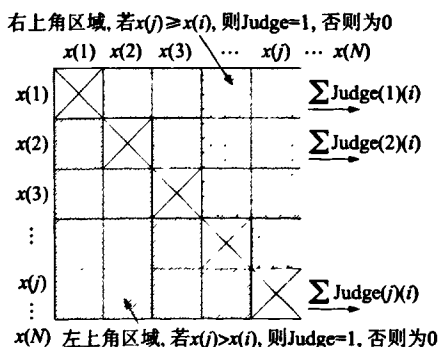


图 1 排序器比较矩阵原理

该排序算法易于理解,运算速度快,信号从输入到输出之间的硬件电路对称性好,并行处理能力强,是一种简单可靠的排序方法。构造的比较矩阵总共需做 $N \times (N-1)$ 次比较运算。并行处理构造比较器矩阵,虽耗用了一定的硬件资源,但换取了运算速度的提高。

2 比较矩阵排序器的 FPGA 实现

2.1 排序器各子模块的 FPGA 实现

根据比较矩阵排序器的原理绘制的 FPGA 实现

框图如图 2 所示,框图中需要用到比较矩阵模块、加法器模块和多路判断选通器模块。图 2 中左侧 $x(j)$, $1 \leq j \leq N$ 为要进行排序的数据,经比较矩阵比较后,以第 j 行的矩阵输出为例,比较值为 $\text{Judge}(j)(i)$, $1 \leq i \leq N$ 且 $i \neq j$,然后将第 j 行输出的比较结果值在加法器模块中相加得 $\text{Order}(j)$,然后在多路判断选通器中,判断此值并选通 $x(j)$ 与 $Y(\text{Order}(j)+1)$ 之间的硬件连接。

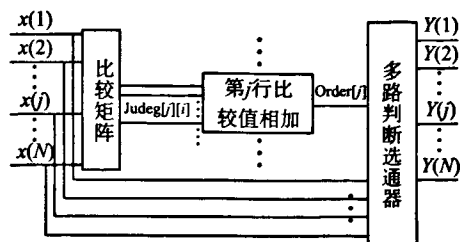


图 2 FPGA 实现框图

2.1.1 FPGA 实现的各组成模块介绍

(1) 比较矩阵模块。

比较矩阵是将输入的数据按行列排布之后按图 1 所示排序过程进行比较,比较矩阵中右上角数据的比较运算使用大于等于二值比较器 A_DE_B 子模块,子模块中 A、B 两值比较,若 $A \geq B$, 则输出 1, 否则输出 0; 比较矩阵中左下角数据的比较运算使用大于二值比较器 A_D_B 子模块,子模块中 A、B 两值比较,若 $A > B$, 则输出 1, 否则为 0。将比较的结果作为加法器的输入数据。

A_DE_B 子模块 Verilog 关键代码为:

```
"assign out = (A >= B) ? 1'b1 : 1'b0;"
```

A_D_B 子模块 Verilog 关键代码为:

```
"assign out = (A > B) ? 1'b1 : 1'b0;"
```

代码中, A, B 为多 bit 输入信号, out 为 1bit 比较矩阵输出结果值信号。

(2) 加法器模块。

此模块将比较矩阵一行输出的值相加,以 5 输入数据为例,加法器模块 ADD,其 Verilog 关键代码为:

```
assign out = ((IN1+IN2)+(IN3+IN4));
```

其中, IN1, IN2, IN3, IN4 为比较矩阵一行输出结果值, out 为相加之后的 3 bit 结果输出。

(3) 多路判断选通器模块。

此模块对每一路加法器的输出值进行判断,选通 $x(j)$ 与 $Y(\text{Order}(j)+1)$ 之间的硬件连接。实现 5 输入数据多路选通器 SelectData_Order5 模块输出值之一 $Y(j)$ 的判断选通, Verilog 关键代码为:

```
assign Outj = (Sel1 == j-1) ? A1 : 8'hzz;
```

```
assign Outj=(Sel2==j-1)? A2:8'hzz;  
assign Outj=(Sel3==j-1)? A3:8'hzz;  
assign Outj=(Sel4==j-1)? A4:8'hzz;  
assign Outj=(Sel5==j-1)? A5:8'hzz;
```

其中,A1,A2,A3,A4,A5 为要实现排序的 5 个输入数据。Outj 为排序后的第 j 路输出。Sel1,Sel2,Sel3,Sel4,Sel5 为各加法器模块输出的信号。

(4) 各子模块之间的连接。

将上述模块按照图 2 所示结构连接起来,就可构造硬件排序器。以 5 数据输入排序器为例,在 Altera 公司的 Quartus II 开发工具中的模块连接框图如图 3 所示,图 3(a)中左侧为输入的 5 个数据输入 Data_A,矩阵模块 MatrixOut5 进行行列比较后输出到 4 值相加模块 ADD4,经 SelectData_Order5 判断选通后输出排序结果 Data_Out。

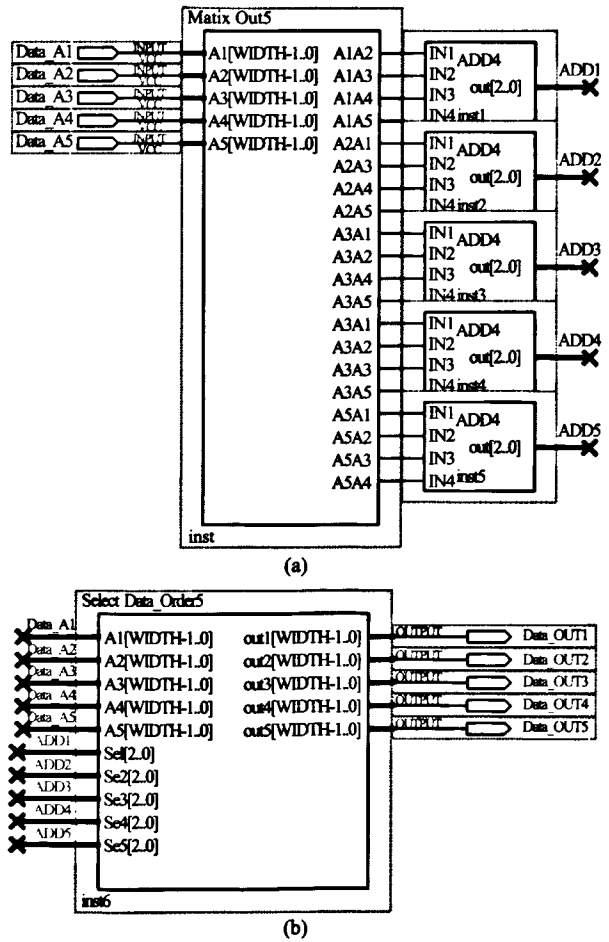


图 3 比较矩阵排序器模块连接框图

2.1.2 FPGA 时序仿真分析

在 Quartus II 仿真软件中,对 5 数据输入排序器进行编译,然后使用波形仿真工具验证其排序逻辑,其波形仿真如图 4 所示,图中 Data_A 为数据输入,Data_OUT 为排序输出,输入数据变换为不同值时,输出值的情况如图 4 中所示。

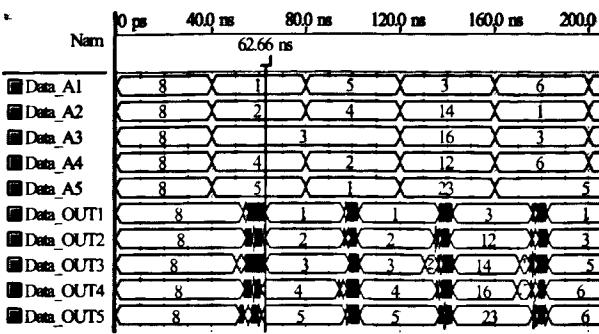


图 4 五数据输入排序器时序仿真图

从图 4 中可以看出,由于门级电路的延迟时间不同,经过一段短暂的数据竞争之后,达到稳定,输出值即为从小到大的正确排序。

本文选用了 Altera 公司的 EP2C20 芯片,具有 18752 个逻辑单元,设计多种不同输入数据个数的排序器,将其耗用资源大小、最大仿真延时和占用总资源大小列于表 1。

表 1 不同类型排序器的仿真指标			
8 位宽排序器 类型	逻辑单元 /LUT	最大延时 /ns	占总资源 比例
3 输入	79	21.288	0.42%
4 输入	164	22.421	0.87%
5 输入	235	22.660	1.25%
7 输入	735	27.386	3.92%

从表 1 中可以看出,耗用逻辑单元呈指数增长,但时间延迟增长很少,而且是几十 ns 级的延时,计算速度很快,在实际应用中很有应用价值。

3 比较矩阵排序器实现中值滤波

中值滤波,算法简单且对椒盐噪声的滤波效果非常好,经常被使用于数字图像处理当中。中值滤波中最关键的是排序算法,软件处理时,传统的排序方法是冒泡法,软件实现容易,但时间复杂度高,采用快速中值滤波算法^[8]可以减少计算的次数,但仍不能满足高速图像处理的要求。使用硬件电路实现中值滤波,利用其并行处理特性,速度可以成倍提高,很多人研究了中值滤波的硬件实现方法^[9-12],但大多算法复杂,在实现二维中值滤波功能时,忽略了对一维快速排序硬件实现问题的研究。

一维快速排序是解决多维快速排序的基础,将本文提出的硬件矩阵比较器用于实现中值滤波器,算法原理简单,当窗口尺寸增加时,其运算速度基本保持不变。

中值滤波是将一个数据集合中的中间值作为其

输出值,可用式(3)表述如下:

$$y = \text{media}\{x(i)\} \quad i=1,2,\dots,N \quad (3)$$

其中 N 为数据集的大小,media 方法为取集合排序后的中值, x 为集合元素, y 为集合中值输出结果。

3.1 构造一维中值滤波器

从式(2)所示排序器序列值求解原理中可知,若 $\text{Order}(j) = \text{floor}(N/2)$,其中 floor 为取小于或等于括号中表达式的最大整数,则 $x(j)$ 即为集合的中值,因此在多路判断选通模块中,判断各行数据加法器的值是否与 $\text{floor}(N/2)$ 相等,模块的输出通道中只保留中间的输出通道,去除其他的排序通道,即可实现中值输出,FPGA 实现一维中值滤波器框图如图 5 所示。

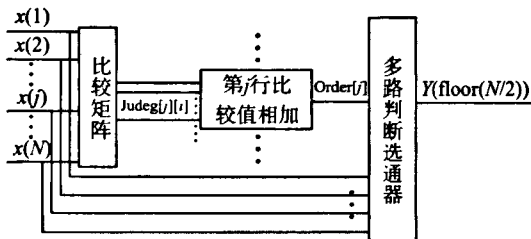


图 5 FPGA 实现一维中值滤波器框图

在 Quartus II 仿真软件中,设计 8 位宽 5 数据输入中值滤波器,其波形仿真如图 6 所示,图中 Data_A 为输入数据,经过一段时间后变换 5 个输入数据的值,输出数据 Data_OUT 稳定后,输出了准确的中值结果。

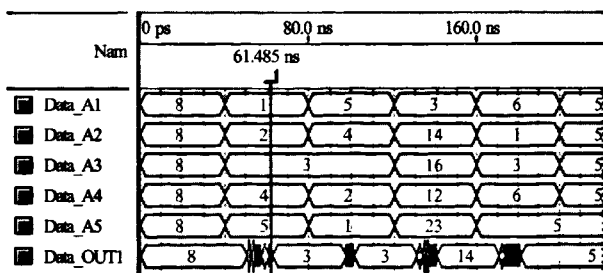


图 6 一维 5 数据输入中值滤波器波形仿真图

依据上述方法,选用 Altera 公司的 EP2C20 芯片,设计不同输入数据个数的中值滤波器,对比不同类型一维中值滤波器的仿真指标,如表 2 所示。

表 2 一维中值滤波器仿真指标

8 位宽中值 滤波器类型	逻辑单元 /LUT	最大延时 /ns	占总资源 比例
3 输入	42	17.831	0.22%
5 输入	122	21.485	0.65%
9 输入	412	27.755	2.20%
25 输入	3626	41.020	19.34%

通过 5 个输入数据、9 个输入数据和 25 个输入数据的中值滤波器的比较可知,应用本文排序器原理设计的一维中值滤波器,计算速度随输入数据个数的增多而增加较少,满足大尺寸数据实时高速计算的要求。

一维中值滤波器是只使用排序器的一路输出,因而各个数据之间的竞争较少,达到稳定的时间更快些。

窗口尺寸太大时将占用较多硬件逻辑资源,因此在二维窗口尺寸小于 5×5 时,可以将二维中值滤波变为一维中值滤波计算;其他不同窗口形状的中值滤波计算也可以变为一维数据求中值问题,使用本文一维中值滤波器构造方法解决。

3.2 构造二维中值滤波器

将本文提出的硬件排序器方法,与文献[11]和文献[12]提出的二维快速中值方法结合起来,通过流水线技术,设计二维方窗中值滤波器,可以得到快速而准确的中值滤波结果。下文以 5×5 窗口中值滤波器为例,介绍其应用方法。

根据文献[11]和文献[12]所述的二维 5×5 窗口中值滤波器计算过程如图 7 所示,图中有圆圈的方格为 25 数据中所有要进行排序的数据,一个箭头穿过的方格为一个排序集合,箭头所指的方向为排序后由小到大的排列方向。二维 5×5 窗口中值滤波计算要经过 4 步:第 1 步,对所有列排序;第 2 步,对所有行排序;第 3 步,从中心开始三个 45 度对角线上的数据排序;第 4 步,从中心开始错 2 格的右上斜对角线上的数据排序。经过上述排序后,图 7(d)中带交叉线阴影圆圈所示的中心方格数据即为中值输出。

图 7 所示 5×5 窗口中值滤波器,在 FPGA 实现时,在第 1 步和第 2 步中需要用到 5 输入数据排序

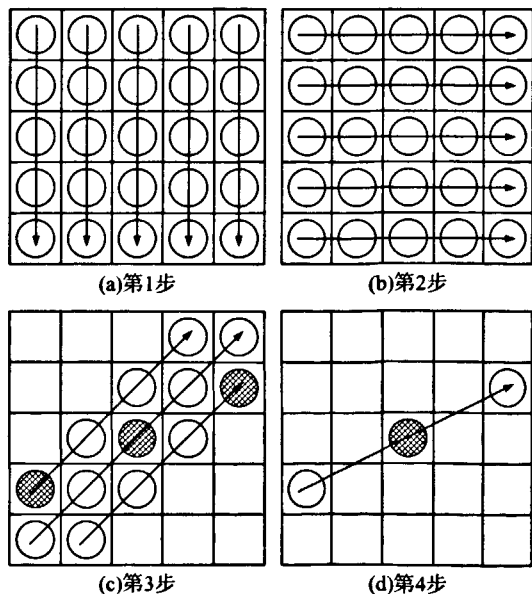


图 7 二维 5×5 窗口中值滤波器

器模块;在第3步中需要用到4输入数据取最小值模块、4输入数据取最大值模块和5输入数据取中值模块,输出值如图7(c)中带交叉线阴影圆圈的方格所示;在第4步中,需要用到3输入数据取中值模块。FPGA 模块连接框图,如图8所示。

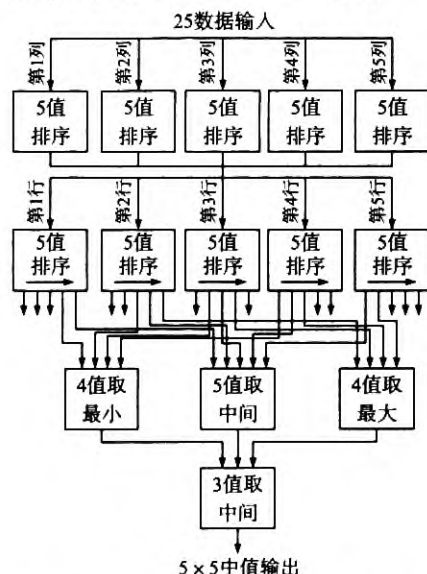


图8 二维5×5方窗中值滤波器FPGA模块连接框图

依据二维中值滤波器的构造方法,同样可以构造其他窗口尺寸的中值滤波器。在EP2C20芯片中设计3×3窗口二维中值滤波器和5×5窗口二维中值滤波器,经波形仿真可以输出正确的中值,对比此两种中值滤波器的仿真指标,如表3所示。

表3 二维中值滤波器仿真指标

8位宽中值 滤波器类型	逻辑单元 /LUT	最大延时 /ns	占总资源 比例
3×3窗口	415	38.027	2.21%
5×5窗口	3559	48.891	18.98%

从表3中可以看出,二维中值滤波窗口尺寸在5×5及以上时,耗用资源比将二维窗口转化为一维求中值方法要少,窗口尺寸越大此优势越明显,但伴随着整体延时相比一维要稍大一些。本文实现方法与文献[11]中实现二维中值滤波器耗用资源相比,在5×5窗口下差不多,在3×3下则耗用资源明显较少。

4 结论

本文提出的比较矩阵排序法,其矩阵比较结果的第*j*行输出值之和即为第*j*个输入数据在输入数据集合中的序列值,原理简单,硬件容易实现。使用EP2C20芯片实现基于比较矩阵排序方法的排序器,实现排序速度均在几十ns数量级。除作为排序器外,本文将此排序方法应用于构造一维和二维中值滤波器,经仿真延时小于50ns,虽牺牲了部分硬件资源,但保证了输入数据个数增多后,运算仍具有很高的实时性,这在大规模集成芯片资源成倍增长的背景下是可取的。使用矩阵比较排序法构造高速排序器和中值滤波器为进一步提高信号采集、图像处理等实时性提供了一种途径。

参考文献:

- [1] 王秋芬,邵艳玲.一种新的基于哈希函数的排序算法[J].计算机与现代化,2010,(10):47-49.
- [2] 汤亚玲,秦锋.高效快速排序算法研究[J].计算机工程,2011,37(6):77-78.
- [3] 秦玉平,马靖善.一种改进的计数排序算法[J].渤海大学学报,2010,31(2):174-176.
- [4] 王敬美,杨春玲.基于FPGA和UART的数据采集器设计[J].电子器件,2009,32(2):386-393.
- [5] 蔡学森,戴金波,李晓宁.中值滤波与均值滤波法在条形码去噪中的应用[J].长春师范学院学报,2008,27(4):40-42.
- [6] 申俊琦,胡绳荪,冯胜强.自使用中值滤波在焊缝视觉跟踪中的应用[J].焊接学报,2011,32(3):57-60.
- [7] Baker Z K, Gokhale M B, Tripp J L, et al. Matched Filter Computation on FPGA, Cell and GPU[J]. Field-Programmable Custom Computing Machines, 2007. FCCM 2007 15th Annual IEEE Symposium, 2007:207-216.
- [8] 李婧,黄进.一种图像测量中的快速中值滤波算法[J].微计算机信息,2007,23(7-3):299-300.
- [9] 叶巧文,林伟.基于折叠结构的半带滤波器的设计[J].电子器件,2010,33(1):85-89.
- [10] 陈加成,徐熙平,吴琼.基于FPGA的中值滤波算法研究与硬件设计[J].长春理工大学学报,2008,31(1):8-14.
- [11] 张道德,胡新宇,杨光友.基于模糊增强信息的图像边缘检测改进算法[J].电子器件,2009,32(6):1118-1122.
- [12] Priyadarshan Kolte, Roger Smith, Wen Su. A Fast Median Filter Using Altivec[C]//IEEE International Conference on Computer Design, 1999:384-391.



吕伟新(1962-)男,籍贯:黑龙江伊春,教授,哈尔滨工业大学机器人研究所硕士生导师,主要研究方向为机器人技术/视觉传感技术,lwx@hit.edu.cn。

作者: 吕伟新, 李清清, 娄俊岭, LV Weixin, LI Qingqing, LOU Junling
作者单位: 哈尔滨工业大学机器人研究所, 哈尔滨, 150001
刊名: 电子器件 **ISTIC**
英文刊名: Chinese Journal of Electron Devices
年, 卷(期): 2012, 35(1)

参考文献(12条)

1. 王秋芬;邵艳玲 一种新的基于哈希函数的排序算法[期刊论文]-计算机与现代化 2010(10)
2. 汤亚玲;秦锋 高效快速排序算法研究[期刊论文]-计算机工程 2011(06)
3. 秦玉平;马靖善 一种改进的计数排序算法[期刊论文]-渤海大学学报 2010(02)
4. 王敬美;杨春玲 基于FPGA和UART的数据采集器设计[期刊论文]-电子器件 2009(02)
5. 蔡学森;戴金波;李晓宁 中值滤波与均值滤波法在条形码去噪中的应用[期刊论文]-长春师范学院学报 2008(04)
6. 申俊琦;胡绳荪;冯胜强 自使用中值滤波在焊缝视觉跟踪中的应用[期刊论文]-焊接学报 2011(03)
7. Baker Z K;Gokhale M B;Tripp J L Matched Filter Computation on FPGA, Cell and GPU 2007
8. 李婧;黄进 一种图像测量中的快速中值滤波算法 2007(7-3)
9. 叶巧文;林伟 基于折叠结构的半带滤波器的设计[期刊论文]-电子器件 2010(01)
10. 陈加成;徐熙平;吴琼 基于FPGA的中值滤波算法研究与硬件设计[期刊论文]-长春理工大学学报 2008(01)
11. 张道德;胡新宇;杨光友 基于模糊增强信息的图像边缘检测改进算法[期刊论文]-电子器件 2009(06)
12. Priyadarshan Kolte;Roger Smith;Wen Su A Fast Median Filter Using AltiVec 1999

引用本文格式: 吕伟新. 李清清. 娄俊岭. LV Weixin. LI Qingqing. LOU Junling FPGA比较矩阵排序法及在中值滤波器中的应用[期刊论文]-电子器件 2012(1)