



Legend:

	User I/O		User assigned I/O		Filter assigned I/O		Unbonded pad
	Reserved pin		Other configuration		DIFF_n		DIFF_p
	DIFF_n output		DIFF_p output		DQ		DQS
	CLK_n		CLK_p		Other dual purpose		MSEL0
	MSEL1		MSEL2		CONF_DONE		nCE
	nCONFIG		TDI		TCK		TMS
	TDO		nSTATUS		VREF		VCCP/VCCR/VCCT
	VCCA		VCCINT		VCCIO		GND
	GNDA_PLL						

Node Name	Customize Columns...	Direction	Location	I/O Bank	VREF Group	I/O Standard	Current Strength	Slew Rate
DIG[3]		Output	PIN_137	8	B8_NO	2.5 V (default)	8mA (default)	2 (default)
DIG[2]		Output	PIN_136	8	B8_NO	2.5 V (default)	8mA (default)	2 (default)
DIG[1]		Output	PIN_135	8	B8_NO	2.5 V (default)	8mA (default)	2 (default)
DIG[0]		Output	PIN_133	8	B8_NO	2.5 V (default)	8mA (default)	2 (default)
FPGA_BUZZER		Output	PIN_110	7	B7_NO	2.5 V (default)	8mA (default)	2 (default)
FPGA_CLK		Input	PIN_23	1	B1_NO	2.5 V (default)	8mA (default)	
FPGA_RST		Input	PIN_25	2	B2_NO	2.5 V (default)	8mA (default)	
FPGA_SCL		Output	PIN_112	7	B7_NO	2.5 V (default)	8mA (default)	2 (default)
FPGA_SDA		Bidir	PIN_113	7	B7_NO	2.5 V (default)	8mA (default)	2 (default)
I2C_SCL		Output	PIN_99	6	B6_NO	2.5 V (default)	8mA (default)	2 (default)
I2C_SDA		Bidir	PIN_98	6	B6_NO	2.5 V (default)	8mA (default)	2 (default)
IR		Input	PIN_100	6	B6_NO	2.5 V (default)	8mA (default)	
KEY[3]		Input	PIN_91	6	B6_NO	2.5 V (default)	8mA (default)	
KEY[2]		Input	PIN_90	6	B6_NO	2.5 V (default)	8mA (default)	
KEY[1]		Input	PIN_89	5	B5_NO	2.5 V (default)	8mA (default)	
KEY[0]		Input	PIN_88	5	B5_NO	2.5 V (default)	8mA (default)	
LCD_D[7]		Output	PIN_11	1	B1_NO	2.5 V (default)	8mA (default)	2 (default)
LCD_D[6]		Output	PIN_7	1	B1_NO	2.5 V (default)	8mA (default)	2 (default)
LCD_D[5]		Output	PIN_10	1	B1_NO	2.5 V (default)	8mA (default)	2 (default)
LCD_D[4]		Output	PIN_2	1	B1_NO	2.5 V (default)	8mA (default)	2 (default)
LCD_D[3]		Output	PIN_3	1	B1_NO	2.5 V (default)	8mA (default)	2 (default)
LCD_D[2]		Output	PIN_144	8	B8_NO	2.5 V (default)	8mA (default)	2 (default)
LCD_D[1]		Output	PIN_1	1	B1_NO	2.5 V (default)	8mA (default)	2 (default)
LCD_D[0]		Output	PIN_142	8	B8_NO	2.5 V (default)	8mA (default)	2 (default)
LCD_E		Output	PIN_143	8	B8_NO	2.5 V (default)	8mA (default)	2 (default)
LCD_RS		Output	PIN_141	8	B8_NO	2.5 V (default)	8mA (default)	2 (default)
LCD_RW		Output	PIN_138	8	B8_NO	2.5 V (default)	8mA (default)	2 (default)
LDQM		Output	PIN_42	3	B3_NO	2.5 V (default)	8mA (default)	2 (default)
LED[3]		Output	PIN_84	5	B5_NO	2.5 V (default)	8mA (default)	2 (default)
LED[2]		Output	PIN_85	5	B5_NO	2.5 V (default)	8mA (default)	2 (default)
LED[1]		Output	PIN_86	5	B5_NO	2.5 V (default)	8mA (default)	2 (default)
LED[0]		Output	PIN_87	5	B5_NO	2.5 V (default)	8mA (default)	2 (default)
PS_CLOCK		Input	PIN_119	7	B7_NO	2.5 V (default)	8mA (default)	
PS_DATA		Input	PIN_120	7	B7_NO	2.5 V (default)	8mA (default)	
SDRAM_A[11]		Output	PIN_59	4	B4_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_A[10]		Output	PIN_75	5	B5_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_A[9]		Output	PIN_60	4	B4_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_A[8]		Output	PIN_64	4	B4_NO	2.5 V (default)	8mA (default)	2 (default)

Node Name	Customize Columns...	Direction	Location	I/O Bank	VREF Group	I/O Standard	Current Strength	Slew Rate
SDRAM_A[7]		Output	PIN_65	4	B4_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_A[6]		Output	PIN_66	4	B4_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_A[5]		Output	PIN_67	4	B4_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_A[4]		Output	PIN_68	4	B4_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_A[3]		Output	PIN_83	5	B5_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_A[2]		Output	PIN_80	5	B5_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_A[1]		Output	PIN_77	5	B5_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_A[0]		Output	PIN_76	5	B5_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_BS[1]		Output	PIN_74	5	B5_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_BS[0]		Output	PIN_73	5	B5_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_CAS		Output	PIN_70	4	B4_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_CKE		Output	PIN_58	4	B4_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_CLK		Output	PIN_43	3	B3_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_CS		Output	PIN_72	4	B4_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_DQ[15]		Bidir	PIN_44	3	B3_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_DQ[14]		Bidir	PIN_46	3	B3_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_DQ[13]		Bidir	PIN_49	3	B3_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_DQ[12]		Bidir	PIN_50	3	B3_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_DQ[11]		Bidir	PIN_51	3	B3_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_DQ[10]		Bidir	PIN_52	3	B3_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_DQ[9]		Bidir	PIN_53	3	B3_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_DQ[8]		Bidir	PIN_54	4	B4_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_DQ[7]		Bidir	PIN_39	3	B3_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_DQ[6]		Bidir	PIN_38	3	B3_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_DQ[5]		Bidir	PIN_34	2	B2_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_DQ[4]		Bidir	PIN_33	2	B2_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_DQ[3]		Bidir	PIN_32	2	B2_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_DQ[2]		Bidir	PIN_31	2	B2_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_DQ[1]		Bidir	PIN_30	2	B2_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_DQ[0]		Bidir	PIN_28	2	B2_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_RAS		Output	PIN_71	4	B4_NO	2.5 V (default)	8mA (default)	2 (default)
SDRAM_WE		Output	PIN_69	4	B4_NO	2.5 V (default)	8mA (default)	2 (default)
SEG[7]		Output	PIN_127	7	B7_NO	2.5 V (default)	8mA (default)	2 (default)
SEG[6]		Output	PIN_124	7	B7_NO	2.5 V (default)	8mA (default)	2 (default)
SEG[5]		Output	PIN_126	7	B7_NO	2.5 V (default)	8mA (default)	2 (default)
SEG[4]		Output	PIN_132	8	B8_NO	2.5 V (default)	8mA (default)	2 (default)
SEG[3]		Output	PIN_129	8	B8_NO	2.5 V (default)	8mA (default)	2 (default)
SEG[2]		Output	PIN_125	7	B7_NO	2.5 V (default)	8mA (default)	2 (default)

Node Name	Customize Columns...	Direction	Location	I/O Bank	VREF Group	I/O Standard	Current Strength	Slew Rate
SEG[1]		Output	PIN_121	7	B7_N0	2.5 V (default)	8mA (default)	2 (default)
SEG[0]		Output	PIN_128	8	B8_N0	2.5 V (default)	8mA (default)	2 (default)
UART_RXD		Output	PIN_115	7	B7_N0	2.5 V (default)	8mA (default)	2 (default)
UART_TXD		Input	PIN_114	7	B7_N0	2.5 V (default)	8mA (default)	
UDQM		Output	PIN_55	4	B4_N0	2.5 V (default)	8mA (default)	2 (default)
VGA_B		Output	PIN_104	6	B6_N0	2.5 V (default)	8mA (default)	2 (default)
VGA_G		Output	PIN_105	6	B6_N0	2.5 V (default)	8mA (default)	2 (default)
VGA_HSYNC		Output	PIN_101	6	B6_N0	2.5 V (default)	8mA (default)	2 (default)
VGA_R		Output	PIN_106	6	B6_N0	2.5 V (default)	8mA (default)	2 (default)
VGA_VSYNC		Output	PIN_103	6	B6_N0	2.5 V (default)	8mA (default)	2 (default)
altera_reserved_tck		Input				2.5 V (default)	8mA (default)	
altera_reserved_tdi		Input				2.5 V (default)	8mA (default)	
altera_reserved_tdo		Output				2.5 V (default)	8mA (default)	2 (default)
altera_reserved_tms		Input				2.5 V (default)	8mA (default)	
<<new node>>								