



ARM Cortex-A9处理器

作者
ARM

摘要

本文详述了通用ARM® Cortex™应用处理器系列中新近开发设计的一种处理器。

ARM Cortex-A9 MPCore™处理器：一款应用了新一代ARM MPCore技术的多核处理器，性能扩展性更出色，功耗控制更有效。是高端手机、网络和车载信息娱乐设备的理想选择。

ARM Cortex-A9处理器：一种传统单核处理器，适用于手机及其他嵌入式设备等高端、成本敏感市场的简化设计移植，不仅能缩短投入市场时间，而且能充分支持现有软件投资。

Cortex系列处理器为ARM的合作伙伴提供了一系列面向特定市场及应用的最佳解决方案，这些解决方案性能多样、功能齐全。这突出了ARM针对特定市场应用及性能要求实施技术开发的战略。ARM Cortex处理器包括三个系列，全部采用ARMv7架构和Thumb®-2指令集，从而为成本敏感的嵌入式市场创造最高性能处理器。

ARM Cortex-A系列，应用处理器，支持复杂的操作系统和多用户应用。

ARM Cortex-R系列，嵌入式处理器，适用于深嵌入式实时系统。

ARM Cortex-M系列，深嵌入式处理器，成本敏感度极高的微控制器和FPGA最为适用。



简介

许多主流处理器应用对性能的要求都日益提高，以实现更快的数据速率、更多的媒体服务和更多新功能（如利用丰富动态用户界面的加密和安全等功能）。在此类应用中，消费者需求是促进产品开发的主要驱动力，因此降低终端产品成本就成了制造商面临的一大挑战。这并不仅仅是竞争问题：同时也关乎在发展中国家开辟新市场的工作，这些国家的可支配收入要比西方世界少得多。

在应用领域，既要求低成本又要求高性能的实例不在少数，比如：联网手提电脑及其他便携式设备、手机、PDA、机顶盒应用、游戏机以及车载信息娱乐设备等等，不一而足。

消费者不但希望产品功能更强大，也期望便携式产品的电池使用寿命更长。如今，全天候使用已经成为最低要求，为了达到这一要求，电话、智能电话和PDA厂商们必须着眼如何有效率地提升产品性能、增加产品功能。

拿智能电话来说，其性能要求既包括待机时的非活动状态，也包括游戏时的高度活动状态。因此，其系统架构必须能够有效支持产品性能的“两极”。

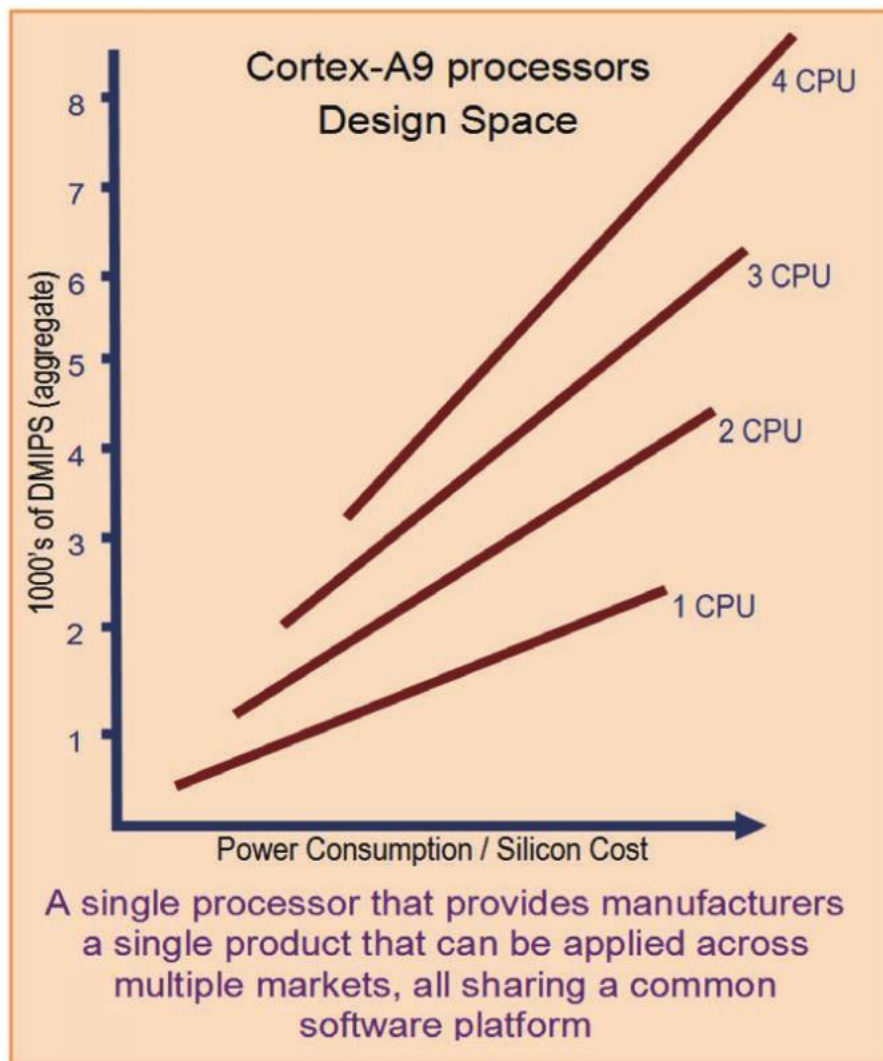
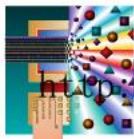
采用多核处理器架构不但能够解决峰值性能的要求，而且其设计也能够大大降低功耗。多核设备具有性能可扩展性高和功耗低的特点，为设计提供了极大的灵活性。

最新开发的ARM® Cortex™-A9处理器是ARM处理器系列中性能最高的一款产品，该款处理器采用了广受支持的ARMv7架构，充分实现了其丰富性。Cortex-A9处理器的设计是基于最先进的推测型八级流水线，该流水线具有具有高效、动态长度、多发射超标量及无序完成特征，这款处理器的性能、功效和功能均达到了前所未有的水平，完全能够满足消费、网络、企业和移动应用等领域尖端产品的要求。

Cortex-A9微架构提供两种选项：可扩展的Cortex-A9 MPCore™多核处理器或较为传统的Cortex-A9单核处理器。可扩展的多核处理器和单核处理器（两款不同的独立产品）支持16、32或64KB四路组相联一级缓存的配置，具有无与伦比的灵活性，皆能达到特定应用和市场的要求。

Cortex-A9 MPCore 多核处理器

Cortex-A9 MPCore多核处理器不



Cortex-A9单核处理器

Cortex-A9处理器拥有首屈一指的性能和功效,对于要求高性能的低功耗、成本敏感、基于单核处理器的设备,它无疑是理想的解决方案。现有ARM11™处理器级设计不仅要求在不增加硅成本及功耗的前提下提升性能和功效,同时还要求维持一个高度兼容的软件环境,因此,Cortex-A9处理器采用了一种便利的可综合IP交付,为现有的 ARM11™提供了理想的升级通道。

Cortex-A9单核处理器为独立指令和数据传输提供两个低延时Harvard 64-bit AMBA® 3 AXI™ Master接口,在通过内存缓存区复制数据时,每五个处理器周期能维持四次双字写入。

满足多重市场的要求

Cortex-A9处理器为包括手机、高端消费类电子和企业产品在内的多种市场应用提供了一种具有可扩展性的解决方案,因为该款处理器满足了以下各项要求:

- 降低功耗、提升功效和性能;
- 提升峰值性能,适应各种要求最为严苛的应用;

仅集成了大获成功的ARM MPCore技术,而且进一步简化并扩大了多核解决方案的应用。Cortex-A9 MPCore不仅能够空前提升峰值性能,同时有效地支持了设计灵活性和新的功能,从而进一步降低和控制处理器及系统层次的功耗。

利用ARM MPCore技术的设计灵活性和先进的功耗管理技术,Cortex-A9 MPCore的针对性应用能够在有限的功耗下维持移动设备的正常运转,从而为移动设备带来优于现有解决方案的峰值性能。

这种处理器充分利用了可扩展峰值性能,在性能上超越了现有的同等高端嵌入式设备,并在更为广阔的市场中维持了持续稳定的软件投资。

| Next-Generation Devices | Cortex-A9 Solution |
|---|--|
| Mobile Handsets Connected Mobile Computers | Next-generation high-end devices (1500-3000DMIPS) 2-3 core processor with IEM™ technology and adaptive shutdown 32K instruction and data caches, 256-512K shared L2 cache using PL310, partitioned AXI NEON technology-based Media Processing Engine, coherent GPU Mid-range, cost reduction, (900-1500DMIPS) Single core processor with NEON or FPU 16K or 32K instruction and data caches 128-256K L2 cache using PL310, single AMBA AXI bus Feature-rich mass market (600-900DMIPS) Single core processor with FPU 16K instruction and data caches, single AXI |
| Consumer and Auto-infotainment | Consumer: user interactions (800-3000DMIPS) 1-4 core processors giving design scalability across family of devices 32K instruction and data caches with 0-512K L2 cache NEON technology for advanced media and DSP processing Advanced bus interface unit for high-speed memory transfers between on-chip 3D engines and network interface MACs AMP configurations using separate CPU for real-time RTOS |
| Networking / Home Gateways | Enterprise market (4000-8000DMIPS) 3-4 core performance optimized implementation 32K+64K instruction and data cache 512K-2MB L2 cache, dual 64 bit AMBA AXI interfaces Consumer devices (800-1500DMIPS) 1x or 2x multicore utilizing coherent accelerators 32+32K instruction and data, with 256-512K shared L2 cache NEON or VFP when offering media gateway or services |
| Embedded | Embedded media and imaging (800-2000DMIPS) 2x multicore utilizing coherent accelerators 32+32K instruction and data with 256K shared L2 cache FPU for postscript and image manipulation and enhancement Code migration through selective AMP/SMP deployments |

▲ 表 1 Cortex-A9 处理器示例应用纲要



| 特 点 | 优 势 |
|-------------------------|---|
| 高效超标量流水线 | 性能独占鳌头，超过2.0 DMIPS/MHz，实现了前所未有的峰值性能，同时维持了较低的功耗，延长了电池寿命，降低了封装和操作成本 |
| NEON 媒体处理引擎 | 加快媒体和信号处理功能，提升了具体应用性能，更有应用软件开发和支持相统一的便利 |
| 浮点运算单元 | 显著提高了单精度及双精度标量浮点运算的速度。性能较原有的ARM FPU提升了一倍，提供了行业领先的图像处理、图形和科学运算能力 |
| 优化的一级缓存 | 优化了一级缓存的性能和功耗，结合了最低存取延时技术，不但最大限度地提升了性能，而且将功耗降至最低。同时还为更强大的处理器相互通信提供了高速缓存一致性；能够有力支持具有丰富SMP功能的操作系统，从而简化多核软件开发。 |
| Thumb-2 技术 | 性能上能达到传统 ARM 代码的峰值水平，最多可将指令存储所需内存减少30% |
| TrustZone® 技术 | 为包括数字版权管理和电子支付在内的安全应用提供了可靠的实施方案。广受技术及行业合作伙伴的支持 |
| Jazelle® RCT and DBX技术 | 最多可将字节码语言的实时 (JIT) 和预先编译代码大小减少3倍，同时支持直接执行Java指令的字节代码，提高了传统虚拟机的速度 |
| 二级缓存控制器 | 在高频设计或者需要降低片外内存存取功耗的设计中，能维持较低的延时和较高的带宽存取，最高可配置2MB的缓存内存 |
| 程序跟踪宏单元和 CoreSight™设计套件 | 这两个组件的结合使软件开发者能够轻松地跟踪多个处理器的执行历史并将之与带有时间标记的相关系数一起存储在片内缓冲器之中或通过标准跟踪接口传到芯片外面，从而增强了开发和调试的可视性 |

▲ 表 2 Cortex-A9 处理器的特点

- 开发不同设备时可复用软件和工具；
- 两款Cortex-A9处理器皆具有完美的应用兼容性，通过利用Cortex-A9 NEON；
- 媒体处理引擎 (MPE) 或浮点运算单元 (FPU)，还能加强特定应用中的性能表现，进一步扩大了这两款处理器的市场应用范围。

两款处理器的应用设计配置均具有极大的灵活性，允许根据具体应用和特定市场的要求进行定制。

特定应用优化

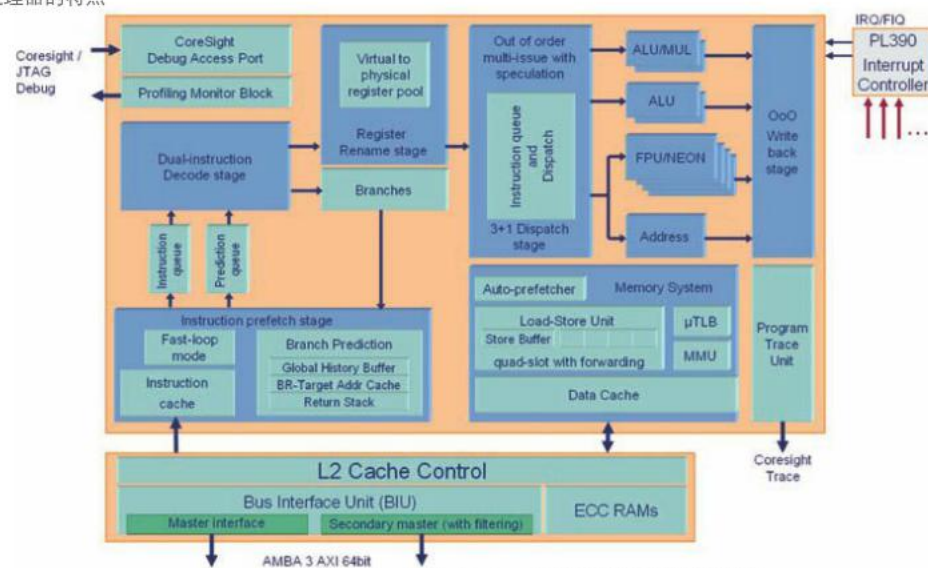
Cortex-A9和Cortex-A9 MPCore应用级处理器都拥有丰富的功能，同时也承袭了 ARMv7 架构的强大优势，为特定应用和通用设计提供了高性能、低功耗的解决方案。

先进的微架构

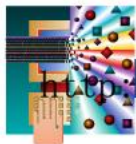
Cortex-A9微架构的设计不但着眼于解决超高频设计的效率低下问题，而且把目标定为在不增加嵌入式设备硅成本的前提下最大限度地提升处理效率。通过综合技术，这种处理器设计能使设备的时钟频率超过1GHz，而且提供了较高的功效水平，满足了长时间电池供电工作的要求。

流水线介绍

- 先进的取指及分支预测处理——避免因访问指令的延时而影响跳转指令的执行。
- 最多支持四条指令Cache Line预取挂起 (prefetch-pending)——进一步减少了内存延时的影响，从而促进指令的顺利传输。
- 每个周期内可连续将两至四条指令发送到指令解码——确保充分利用超标量流水线性能。



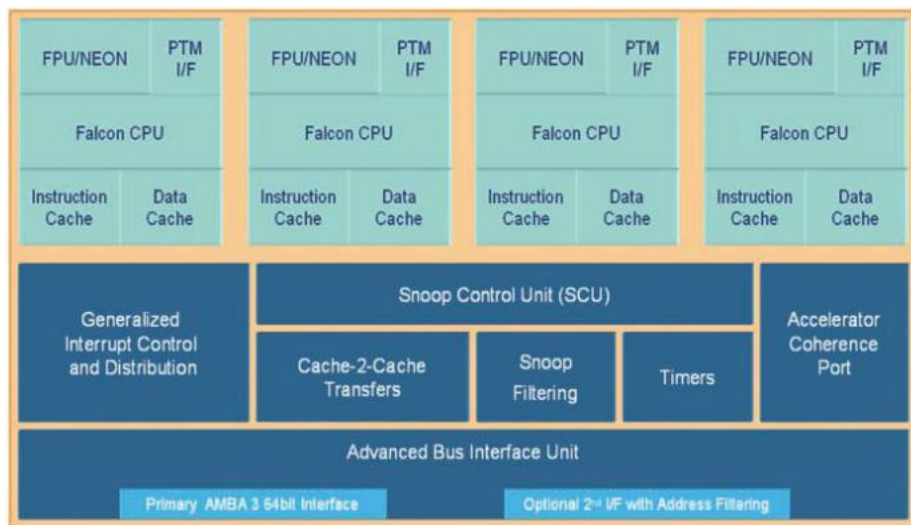
▲ 图 1 Cortex-A9 微架构结构及单核接口



- Fast-loop模式——执行小循环时提供低功耗运行。
- 超标量解码器——每个周期可完成两条完全指令的解码。
- 支持指令预测执行——通过将物理寄存器动态地重新命名至虚拟寄存器池来实现。
- 提升了流水线的利用效率——消除了相邻指令之间的数据依赖性，减少了中断延时。
- 支持寄存器的虚拟重命名——以一种有效的、基于硬件的循环展开方法，提高了代码执行效率，而不会增加代码大小和功耗水平。
- 四个后续流水线(subsequent pipeline)中的任何一个均可从发射队列中选择执行指令——提供了无序分配，进一步提高了流水线利用效率，无需借助于开发者或编译器指令调度。确保专为上一代处理器进行优化的代码能够发挥最大性能，也维护了现有软件投资。
- 每周支持两个算术流水线(full dual arithmetic pipeline)、加载-存储(load-store)或计算引擎以及分支跳转的并行执行。
- 可将有相关性load-store指令提前传送至内存系统进行快速处理，进一步减少了流水线暂停，大幅提高了涉及存取复杂数据结构或C++函数的高级代码的执行效率。
- 支持四个数据Cache Line的填充请求——而且还能通过自动或用户控制预取操作，保证了关键数据的可用性，从而进一步减少了内存延时导致的暂停现象。
- 支持无序指令完成回写(write back)——允许释放流水线资源，无需受限于系统提供所需数据的顺序。

Cortex-A9 MPCore技术

Cortex-A9 MPCore多核处理器是一种设计定制型处理器，以集成缓存一



▲ 图2 Cortex-A9多核处理器

致的方式支持1到4个CPU。可单独配置各处理器，设定其缓存大小以及是否支持FPU、MPE或PTM接口等。此外，无论采用何种配置，处理器都可应用一致性加速口(Accelerator Coherence Port)，允许其他无缓冲的系统控制外设及加速器(如DMA引擎或加密加速器)核与一级处理器缓存保持缓存一致。另外还集成了一种符合GIC架构的综合中断及通信系统，该系统配有专用外设，其性能和软件可移植性都更上一层楼，适当配置后，可支持0(legacy bypass模式)到224个独立中断资源。这种处理器可支持单个或两个64-bit AMBA® 3 AXI™互联接口。

Cortex-A9 MPCore多核处理器采用了通过硅验证的 ARM MPCore技术的

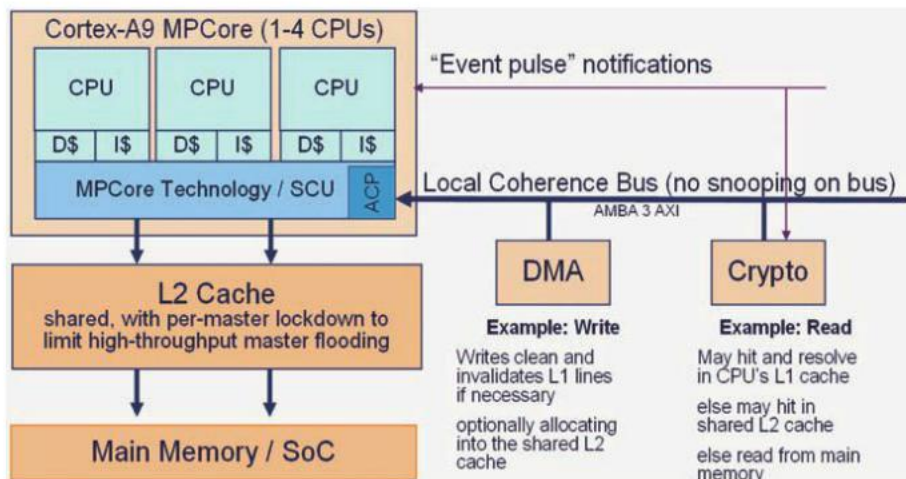
增强版，实现了可扩展型多核处理：

侦测控制单元(SCU)

SCU是ARM多核技术的中央情报局，负责为支持MPCore技术的处理器提供互联、仲裁、通信、缓存间及系统内存传输、缓存一致性及其他多核功能的管理。

同时，Cortex-A9 MPCore处理器率先向其他系统加速器及无缓冲的DMA驱动控制外设开启此类功能，通过处理器缓存层次的共享，有效地提高了性能、减少了整个系统的功耗水平。不仅如此，利用这种系统来维持每个操作系统驱动中的软件一致性，软件复杂性就大大降低了。

加速器链接埠



▲ 图3 加速器链接埠



这个与AMBA 3 AXI兼容的Slave接口位于SCU之上,为多种系统Master接口提供了一个互联接口;出于总体系统性能、功耗或软件简化等方面的考虑,最好直接将这些Master接口与Cortex-A9 MPCore处理器相连。这是个标准的AMBA 3 AXI Slave接口,支持所有标准读写事务,对所接部件无任何附加一致性要求。

然而,指向某个一致内存区的读取事务要与SCU发生作用,以检测所需信息是否已经存储在处理器的一级缓存之中。若检测出确已存储,相应信息将被直接返回给发出请求的组件。如果一级缓存中不存在该信息,在最终传给主内存之前也可能检测二级缓存。对于指向一致内存区的写入事务,SCU会在把写入事务传送到内存系统之前强制确保一致性。也可选择性地事务分配给二级缓存,以避免直接写入片外内存所带来的功耗及性能影响。

通用中断控制器 (GIC)

该GIC采用了最近标准化和架构的中断控制器,为处理器间通信及系统中断的路由选择及优先级的确定提供了一种丰富而灵活的解决办法。最多支持224个独立中断,通过软件控制,可在整个CPU中对每个中断进行分配、确定其硬件优先级并在操作系统与信任区软件管理层之间进行路由。这种路由灵活性加上对中断虚拟进入操作系统的支持,是进一步提升基于半虚拟化管理器解决方案功能的关键因素之一。

先进的总线接口单元

Cortex-A9 MPCore处理器增强了处理器与系统互联之间的接口性能,其先进特色功能最大限度地提高了系统性能,为各种系统集成芯片设计理念创造了更大的灵活性。

这种处理器支持单个或两个64-bit

AMBA 3 AXI Master接口的设计配置,可以按CPU的速度全负荷地将事务传送到系统互联之中,最高速度可达12GB/s以上。另外,第二接口也可定义某种事务过滤,只处理全局地址空间的一部分;也就是说,可在处理器内部直接对地址空间进行切分,进一步加强了系统设计的灵活性。

而且每个接口还支持不同的CPU-总线频率比(包括同步半时钟比),不但提高了设计灵活性,而且为需要考虑DVFS或高速集成内存的设计增加了系统带宽。同时为完整的ARM智能能量管理(IEM)功能提供了良好的支持。

特定应用的计算引擎加速

处理器不但拥有优化的标准架构特色,而且还可增加以下任一设计功能:

| Cortex-A9浮点运算单元 (FPU): | Cortex-A9 NEON媒体处理引擎 (MPE): |
|--|--|
| 与两款Cortex-A9处理器中的任一款结合后, FPU将提供兼容ARM VFPv3架构的高性能单精度及双精度浮点指令, ARM VFPv3架构与以前的ARM浮点协处理器具有良好的软件兼容性。完全支持符合IEEE-754的浮点运算, 运行速度达到原来“快速”模式下的水平。而且消除了陷阱异常 (trapped exception), 简化了软件, 进一步提升了浮点代码的性能。 | Cortex-A9 MPE可与任意一款Cortex-A9处理器并用, 该引擎不但完全具备Cortex-A9浮点单元的性能和功能, 而且采用了ARM NEON高级SIMD指令集, 这种指令集最初是随ARM Cortex-A8处理器共同推出的, 目的是为了进一步加快媒体及信号处理功能的执行。 |
| 另外, 增加了16位浮点数据类型的转换指令, 增强了与嵌入式3D处理器(如 ARM Mali™图形处理器)之间的互动能力。 | 在Cortex-A9处理器浮点单元(FPU)的基础上, MPE提供了quad-MAC及额外的64-位及128-位寄存器集, 支持8位、16位及32位的各种SIMD运算以及每个周期32位的浮点数据运算。 |
| 与上一代ARM浮点协处理器相比, Cortex-A9 FPU的浮点运算性能平均提高了一倍以上, 能够大大改善涉及图形、3D、成像处理及科学运算的解决方案。 | MPE还支持旨在消除packing/unpacking开销的数据类型和旨在消除算法格式与机器格式之间的数据混合的结构化load/store功能, 使得SIMD功能得到了进一步增强。 |
| | 采用MPE不但扩大了FPU可用的寄存器, 而且改善了设计, 既新增了对32位双精度寄存器的支持, 同时也保留了Cortex-A9处理器的32/64-位标量浮点及核心整数性能。 |

先进二级缓存控制器:

ARM二级缓存控制器 (PrimeCell® PL310) 与Cortex-A9系列处理器同步

设计,旨在提供一种能匹配Cortex-A9处理器性能和吞吐能力的优化二级缓存控制器。

PL310最多可为每个接口提供8项outstanding AXI事务支持,支持按Master接口进行锁定;这样一来,即通过将PL310用作加速器与处理器之间的缓冲器,充分利用一致性加速口,实现多个CPU或组件之间的可控共享,既提升了系统性能,也降低了相关功耗水平。

另外, PL310不但具有Cortex-A9先进总线接口单元的各项功能,支持同步1/2时钟比,有助于减少高速处理器设计中的延时现象,而且能够对第二MasterAXI接口设置地址过滤,分割地址和频率域、以及集成片上内存的快速存取提供了支持。

PL310最高可支持2 MB的四至十六路组相联二级缓存,可与奇偶校验及支持ECC的RAM集成,而且运行速率能够与



处理器保持一致。而先进的锁定技术也提供了必要的机制,从而将缓存用作相关性加速器和处理器之间的传输RAM。

Cortex-A9 程序跟踪宏单元 (PTM):

Cortex-A9 PTM为两款Cortex-A9处理器提供了兼容ARM CoreSight技术的程序流跟踪功能,能够对处理器中的实际指令流实现完全可视化的管理。Cortex-A9 PTM通过周期计数实施性能分析,可对所有代码分支和程序流变动进行跟踪管理。

另外提供Cortex-A9 CoreSight设计套件,可使来自多个处理器的跟踪流具备相关性,而且包括跟踪和调试Cortex-A9 MPCore多处理器设计所需要的全部CoreSight组件。

综合灵活性和参考方法

Cortex-A9处理器充分发挥了综合性设计流程的灵活性,其相关产品能够应用于任何代工厂和工艺节点。通过与各大EDA公司开展持续合作,ARM制定了专门的“实现参考方法”(iRM),使Cortex-A9处理器的授权客户能够根据所选工艺对处理器进行定制、实现、验证和差异化处理。这些参考方法结合了逻辑和物理综合技术,提供了一条可预测的硅技术之路,构成了定制方法开发的基础。

此外,iRM还可整合ARM Artisan®前端库文件以及经过预编译的RAM,增强了iRM实现处理器实施工艺的能力,在完整性上远远超过了已有参考解决方案。

工具与生态系统

工具支持

所有ARM处理器都有着ARM RealView®开发工具套装、多种第三方工具、操作系统和EDA厂商的支持。

ARM RealView工具拥有独特的功能,其所提供的解决方案涵盖从概念化

到最终产品的整个开发过程。RealView套装中的每种工具都与ARM硬件和软件IP协同开发,为IP发挥最佳性能提供了保障。没有其他供应商能够为ARM IP提供这种涵盖系统、处理器设计和软件开发全部过程的独特端对端工具链支持。

通过ARM RealView套装提供的多种既相互独立又相互联系的工具,构架设计师和开发人员完全可以满怀信心地、以前所未有的速度将优质产品投放市场。



第三方支持

ARM合作伙伴联盟(ARM Connected Community)是业界规模最大的合作伙伴网络,由领先的硅、系统、设计支持、软件和培训服务供应商组成。通过这个网络,系统设计师可以获得大量ARM技术和优化IP,并为基于ARM架构的产品提供了一个涵盖设计、制造和最终应用等过程的完整解决方案。

有关详情,请访问<http://www.arm.com/community>。

物理 IP

ARM的Artisan物理IP产品的设计目的是在性能、密度、功耗和特定制造工艺的产量之间达到最佳平衡。产品涵盖各种45-250纳米工艺,同时提供多种格式和模型,并为业界主要的EDA工具提供了支持。ARM Artisan IP平台及产品组合提供了多种选择,完全能够满足系统集成(SoC)设计师的需求。

AMBA

AMBA互联总线协议构成了集成互

联规范(起到集成设计框架的作用)实际行业标准的基础,有效提供了将各个IP组件粘接起来的“数字胶水”。同时也是ARM设计可复用战略的主干。

通过更广范围的系统集成商的支持,ARM将竭力提供业界技术最先进、支持最完善且免费的互联规范。目前,外设IP的PrimeCell组合支持AMBA协议的第2和第3版发表的协议,该协议定义了AMBA AXI™、AHB™、AHB-Lite、APB和ATB规范。有关AMBA协议的更多详情,请访问:<http://www.amba.com>。

小结

Cortex-A9和Cortex-A9 MPCore是ARM处理器家族中的两个新成员,旨在满足单核和多核处理器设计需求。两款产品采用了相同的微架构,整合了多种特色功能,使处理器核心和整个集成系统的架构功能、性能和功效得到了大幅提升。

单核处理器比现有ARM11级设备提供了更好的性能和功效,不但增强了移动设计的功能,而且降低了功耗水平,延长了电池使用寿命。而在实现方面,这款处理器还具有出色的架构软件兼容性,能够在达到Cortex-A8级性能的前提下降低成本,从而扩大了相关软件投资的市场应用范围。

而MPCore型处理器则拥有先进的电源管理功能,能够进一步降低功耗,达到并超过了日益增多的市场和应用对功耗的要求。除此之外,Cortex-A9 MPCore还拥有卓绝的性能可扩展性,将ARM处理器设计中浑然天成的功效特性奉献给了更多的市场领域。

全部配套技术专门针对两款Cortex-A9处理器而设计,能够很好地满足特定应用和市场所要求的性能,尤其是无线、娱乐、成像及其他高端多媒体应用。