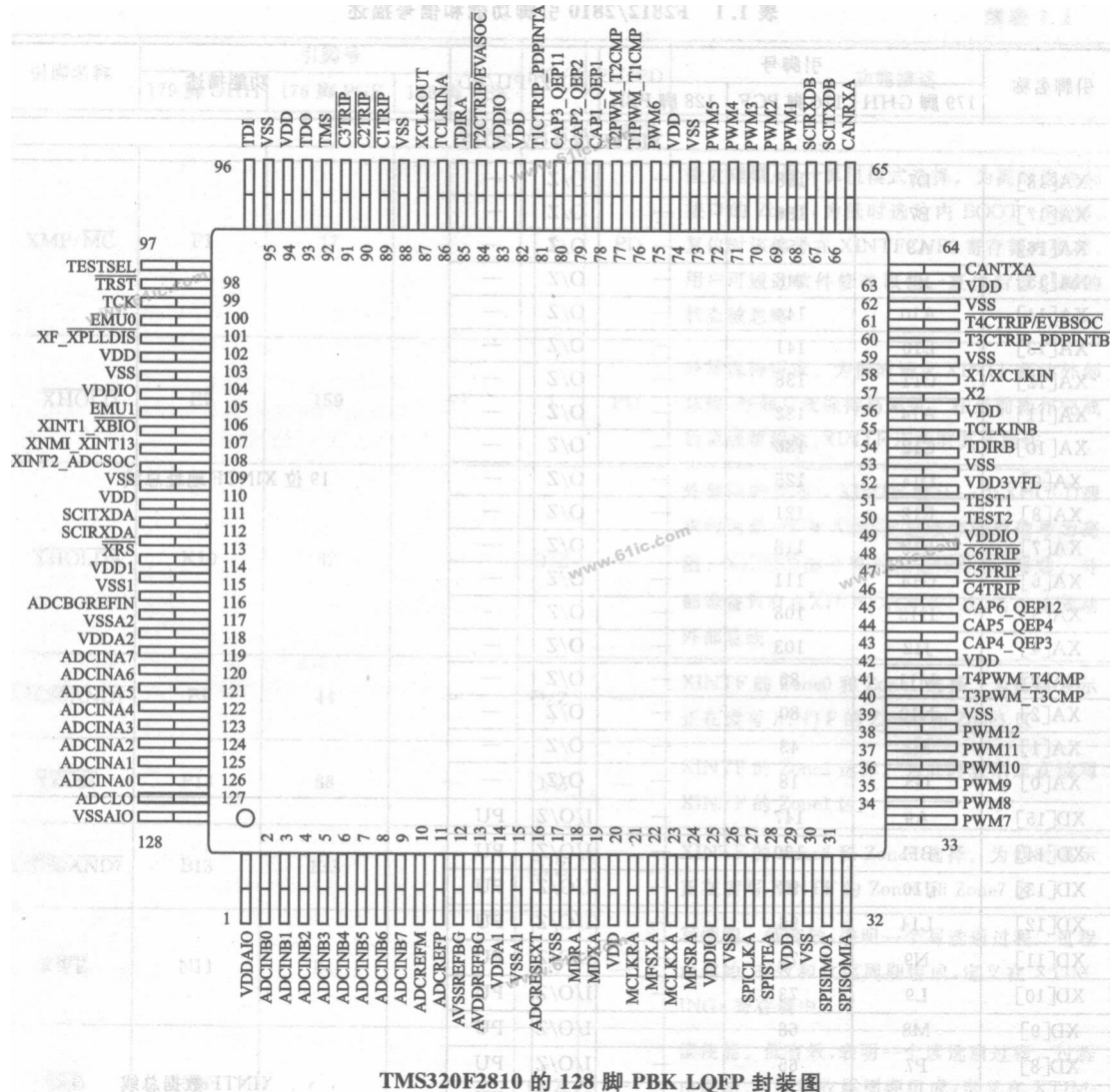


TMS320F2812/2810 DSP 的引脚功能介绍

表 1. 1 为 F281x 系列 DSP 引脚定义及功能介绍。所有数字输入引脚均为 TTL 兼容。所有输出脚均为 3.3 V CMOS 电平，输入脚不允许接 5 V。内部有的引脚有 100uA (或 20 uA) 的上拉/下拉电流。



TMS320F2810 的 128 脚 PBK LQFP 封装图

说明:

- ①典型引脚的输出驱动能力为 4 mA，但 TDO、XCLKOUT、XF、XINTF、EMU0 以及 EMU1 引脚为 8 mA。
- ②I=输入，O=输出，Z=高阻抗。
- ③PU=引脚内部上拉，PD=引脚内部下拉。

另外，要注意上电顺序。在电源脚达到 3.3 V 电压以前，不要驱动其他引脚。

F2812/2810 引脚功能和信号描述

引脚名称	引脚号			I/O/Z	PU/PD	功能描述
	179脚GHH	176脚PGF	128脚PBK			
XINTF信号 (仅2812)						
XA[18]	D7	158		0/Z		19位XINTF地址总线
XA[17]	B7	156		0/Z		
XA[16]	A8	152		0/Z		
XA[15]	B9	148		0/Z		
XA[14]	A10	144		0/Z		
XA[13]	E10	141		0/Z		
XA[12]	C11	138		0/Z		
XA[11]	A14	132		0/Z		
XA[10]	C12	130		0/Z		
XA[9]	D14	125		0/Z		
XA[8]	E12	121		0/Z		
XA[7]	F12	118		0/Z		
XA[6]	G14	111		0/Z		
XA[5]	H13	108		0/Z		
XA[4]	J12	103		0/Z		
XA[3]	M11	85		0/Z		
XA[2]	N10	80		0/Z		
XA[1]	M2	43		0/Z		
XA[0]	G5	18		0/Z		
XD[15]	A9	147		I/O/	PU	16位XINTF数据总线
XD[14]	B11	139		I/O/	PU	
XD[13]	J10	97		I/o/	PU	
XD[12]	L14	96		I/O/	PU	
XD[11]	N9	74		I/o/	PU	
XD[10]	L9	73		I/C1	PU	
XD[9]	M8	68		I/O/	PU	
XD[8]	P7	65		I/CI	PU	
XD[7]	L5	54		I/O/	PU	
XD[6]	L3	39		I/O/	PU	
XD[5]	J5	36		I/O/	PU	
XD[4]	K3	33		I/o/	PU	
XD[3]	J3	30		I/CI	PU	
XD[2]	H5	27		I/CI	PU	
XD[1]	H3	24		I/O/	PU	
XD[0]	G3	21		I/O/	PU	

续表 1. 1

引脚名称	引脚号			I/O/ Z	PU/PD	功能描述
	179脚GHH	176脚PGF	128脚PBK			
XINTF信号 (仅2812)						
XMP/ \overline{MC}	F1	17		I	PD	微处理器/微计算机模式选择。为高时选外部接口的Zone7I为低时选片内B00T—ROM。复位时该信号在XINTFCNF2寄存器内锁存，用户可通过软件修改该位。复位后该引脚的

$\overline{\text{XHOLD}}$	E7	159		I	PU	外部保持请求。为低时请求XINTF释放外部总线，外部总线保持高阻抗。在当前操作完成
$\overline{\text{XHOLDA}}$	K10	82		0/z		外部保持应答。XINTF确认一个 $\overline{\text{XHOLD}}$ 请求时为低，所有XINTF总线和选通信号为高阻。 $\overline{\text{XHOLD}}$ 信号释放时 $\overline{\text{XHOLDA}}$ 释放。外部设备只有在 $\overline{\text{XHOLDA}}$ 有效(低)时才能驱动
$\overline{\text{XZCS0AND1}}$	P1	44		0/Z		XINTF的Zone0和Zone1选择。为低时表示正在读写XINTF的Zone0和Zone1区
$\overline{\text{XZCS2}}$	P13	88		0/Z		XINTF的Zone2选择。为低时表示正在读写XINTF的Zone1区
$\overline{\text{XZCS6AND7}}$	B13	133		o/z		XINTF的Zone6和Zone7选择。为低时表示正在读写XINTF的Zone6和Zone7区
$\overline{\text{XWE}}$	N11	84		o/Z		写使能。低有效，表明一个写选通过程。过程由起始、有效和收尾周期组成，定义在XTIM-NGx寄存器中
$\overline{\text{XRD}}$	M3	42		0/Z		读使能。低有效，表明一个读选通过程。过程由起始、有效和收尾周期组成，定义在XTIM-NGx寄存器中。 $\overline{\text{XRD}}$ 和 $\overline{\text{XWE}}$ 信号互异
$\overline{\text{XR}}/\overline{\text{W}}$	N4	51		0/Z		读/非写选通。通常为1。为低时表亲写正在进行；为高时表示读正在进行
XREADY	136	161		I	PU	准备好信号。插入1时表示外围已经准备好可完成一个读写过程。XREADY可配置成同步或异步输入

续表 1. 1

引脚名称	引脚号			I/O/ Z	PU/PD	功能描述
	179脚GHH	176脚PGF	128脚PBK			
JTAG和其他杂散信号						
X1/XCLKIN	K9	77	58	I		振荡器输入。注意该脚由数字电源VDD供电,供电电压为1.8 V(或1.9 V),而不是3.3 V的I/O电源。可以用一个二极管钳位或采用1.8 V振荡器,确保输入电压不超过1.8 V(或1.9 V)
X2	M9	76	57	O		振荡器输出。也可和X1/XCLKIN一起外接外部无源晶振,组成振荡电路
XCLKOUT	F11	119	87	O		时钟输出。来自SYSCLKOUT,用于外部等待状态的产生或作为通用时钟源。复位后XCLKOUT=SYSCLKOUT/4。将XINTC—NF2寄存器中的位3(CLKOFF)置1,可关掉XCLKOUT,以节省功耗
TESTSEL	A13	134	97	I	PD	测试脚,必须接地
$\overline{\text{XRS}}$	D6	160	113	1/O	PU	复位脚(输入)和看门狗复位(输出)。文两可引起DSP运行的结束,PC指针将指向保存在0x3FFFC0中的地址。当 $\overline{\text{XRS}}$ 为1后,开始运行PC指向地址中所包含的代码。看门狗复位时该脚变低。该脚为漏极开路,内部上拉。外部也应接漏极开路驱动器
TEST1	M7	67	51	I/O		测试脚,该脚应空置

TEST2	N7	66	50	I/O		测试脚，该脚应空置
JTAG信号						
$\overline{\text{TRST}}$	B12	135	98	I	PD	JTAG测试复位脚。为1时将DSP的控制权交给扫描系统；为0时DSP处于独立运行状态。注意不要在 $\overline{\text{TRST}}$ 上接上拉电阻，因为有内部下拉。在高噪声环境下可能还要外接一个下拉电阻，一般为2.2 K Ω ，取决于所用仿真头的驱动能力
TCK	A12	136	99		PU	JTAG测试时钟。内部上拉
TMS	D13	126	93	I	PU	JTAG测试模式选择。在TCK上升沿，该串行控制输入被锁存进TAP控制器
TDI	C13	131	96	I	PU	JTAG测试数据输入。在TCK上升沿，TDI可锁存进被选择的寄存器中
TDO	D12	127	93	0/z		JTAG扫描输出，测试数据输出。在TCK上升沿，被选寄存器的内容移出TDO
EMU0	D11	137	100	I/O/ Z	PU	仿真脚0。 $\overline{\text{TRST}}$ 为1时作为来自或通向仿真器的中断
EMU1	C9	146	105	I/O/ Z	PU	仿真脚1。 $\overline{\text{TRST}}$ 为1时作为来自或通向仿真器的中断

续表 1. 1

引脚名称	引脚号			I/O/ Z	PU/PD	功能描述
	179脚GHH	176脚PGF	128脚PBK			
ADC模拟输入信号						
ADCINA7	B5	167	119	I		8通道模拟输入。内接采样/保持电路。在VDDA1、VDDA2和VDDA10上电前，ADC输入脚不应被驱动
ADCINA6	D5	168	120	I		
ADCINA5	E5	169	121			
ADCINA4	A4	170	122	I		
ADCINA3	/34	171	123	I		
ADCINA2	C4	172	124	I		
ADCINA1	D4	173	125	I		
ADCINA0	A3	174	128	I		
ADCINB7	F5	9	9			
ADCINB6	D1	8	8	I		
ADCINB5	D2	7	7	I		
ADCINB4	D3	6	6	I		
ADCINB3	C1	5	5	I		
ADCINB2	B1	4	4	I		
ADCINB1	C3	3	3	I		
ADCINB0	C2	2	2			
ADCREFP	E2	11	11	0		ADC模拟参考输出(2 V)。需外接10uF低ESR(50 mΩ~1.5Ω)陶瓷旁路电容到地
ADCREFM	E4	10	10	0		ADC考输出(1 V)。需外接10uF低ESR(50 mΩ~1.5Ω)陶瓷旁路电容到地
ADCRESEXT	F2	16	16	0		ADC外部电流偏置电阻(24.9 KΩ±5%)
ADCBGREFIN	E6	164	116	I		测试脚，空置
AVSSREFBG	E3	12	12	I		ADC模拟地
AVDDREFBG	E1	13	13	I		ADC模拟部分的电源(3.3 V)
ADCLO	B3	175	127	I		模拟输入的公共地，接到模拟地
VSSA1	F3	15	15	I		ADC模拟地

VSSA2	C5	165	117	I		ADC模拟地
VDDA1	F4	14	14			ADC模拟电源(3.3 V)
VDDA2	A5	166	118			ADC模拟电源(3.3 V)
VSS1	C6	163	115	I		ADC数字地
VDD1	A6	162	114			ADC数字1.8 V(或1.9 V)电源
VDDAIO	B2	1	1			3.3V模拟I/O电源
VSSAIO	A2	176	128	I		模拟I/O地

续表 1. 1

引脚名称	引脚号			I/O/ Z	PU/PD	功能描述
	179脚GHH	176脚PGF	128脚PBK			
电源信号						
VDD	H1	23	20			1.8 V或1.9 V内核数字电源脚
VDD	L1	37	29			
VDD	P5	56	42			
VDD	P9	75	56			
VDD	P12		63			
VDD	K12	100	74			
VDD	G12	112	82			
VDD	C14	128	94			
VDD	B10	143	102			
VDD	C8	154	110			
VSS	G4	19	17			内核和数字I/O地
VSS	K1	32	26			
VSS	L2	38	30			
VSS	p4	52	39			
VSS	K6	58				
VSS	P8	70	53			
VSS	M10	78	59			
VSS	L11	86	62			
VSS	K13	99	73			
VSS	J14	105				
VSS	G13	113				
VSS	E14	120	88			
VSS	B14	129	95			
VSS	D10	142				
VSS	C10		103			
VSS	B8	153	109			
VDDIO	J4	31	25			3.3 VI/O数字电源引脚
VDDIO	L7	64	49			
VDDIO	L10	81				
VDDIO	N14					
VDDIO	G11	114	83			
VDDIO	E9	145	104			
VDD3VFL	N8	69	52			3.3 V Flash内核电源脚。在满足上电顺序要求后该脚应连到3.3 V。在ROM型器件中该脚作为VDDIO使用，连到3.3V

表 1. 2 F2812/2810 通用 IO 引脚功能和信号描述

通用IO	外围信号	引脚号			I/O/Z	PU/PD	功能描述
		179脚 GHH	176脚 PGF	128脚 PBK			
GPIOA或EVA信号							
GPIOA0	PWM1 (O)	M12	92	68	I/O/Z	PU	通用IO或PWM输出引脚#1
GPIOA1	PWM2 (O)	M14	93	69	I/O/Z	PU	通用IO或PWM输出引脚#2
GPIOA2	PWM3 (O)	L12	94	70	I/O/Z	PU	通用IO或PWM输出引脚#3
GPIOA3	PWM4 (O)	L13	95	71	I/O/Z	PU	通用Io或Pwm输出引脚#4
GPIOA4	PWM5 (o)	K11	98	72	I/O/Z	PU	通用IO或PWM输出引脚#5
GPIOA5	PWM6 (O)	K14	101	75	I/O/Z	PU	通用IO或PWM输出引脚#6
GPIOA6	T1PWM_T1CMP (I)	J11	102	76	I/O/Z	PU	通用IO或定时器1输出
GPIOA7	T2PWM_2CMP (I)	J13	104	77	I/O/Z	PU	通用IO或定时器2输出
GPIOA8	CAP1_EP1 (I)	H10	106	78	I/O/Z	PU	通用IO或捕捉输入#1
GPIOA9	CAP2_EPe (I)	H11	107	79	I/O/Z	PU	通用IO或捕捉输入#2
GPIOA10	CAP3_EP11 (I)	H12	109	80	I/O/Z	PU	通用IO或捕捉输入#3
GPIOA11	TDIRA (I)	F14	116	85	I/O/Z	PU	通用IO或定时器方向
GPIOA12	TCLKINA (I)	F13	117	86	I/O/Z	PU	通用IO或定时器外部时钟输入
GPIOA13	C1TRIP (I)	E13	122	89	I/O/Z	PU	通用IO或比较器1输出的关断触发
GPIOA14	C2TRIP (I)	E11	123	90	I/o/Z	PU	通用Io或比较器2输出的关断触发
GPIOA15	C3TRIP (I)	F10	124	91	I/O/Z	PU	通用IO或比较器3输出的关断触发
GPIOB或EVB信号							
GPIOB0	PWM7 (O)	N2	45	33	I/O/Z	PU	通用Io或PWM输出引脚#7
GPIOB1	PWM8 (O)	P2	46	34	I/O/Z	PU	通用IO或PWM输出引脚#8
GPIOB2	PWM9 (O)	N3	47	35	I/O/Z	PU	通用IO或PWM输出引脚#9
GPIOB3	PWM10 (O)	P3	48	36	I/O/Z	PU	通用IO或PWM输出引脚#10
GPIOB4	PWM11 (O)	L4	49	37	I/O/Z	PU	通用IO或PWM输出引脚#11
GPIOB5	PWM12 (O)	M4	50	38	I/O/Z	PU	通用IO或PWM输出引脚#12
GPIOB6	T3PWM-T3CMP (I)	K5	53	40	I/O/Z	PU	通用IO或定时器3输出
GPIOB7	T4PWM-T4CMP (D	N5	55	41	I/O/Z	PU	通用IO或定时器4输出
GPIOB8	CAP4_QEP3 (I)	M5	57	43	I/O/Z	PU	通用IO或捕捉输入#4
GPIOB9	CAP5_QEP4 (I)	M6	59	44	I/O/Z	PU	通用IO或捕捉输入#5
GPIOB10	CAP6_QEP12 (I)	P6	60	45	I/O/Z	PU	通用IO或捕捉输入#6
GPIOB11	TD1RB (I)	L8	71	54	I/O/Z	PU	通用IO或定时器方向
GPIOB12	TCLKINB (I)	K8	72	55	I/O/Z	PU	通用IO或定时器外部时钟输入
GPIOB13	C4TR1P (I)	N6	61	46	I/O/Z	PU	通用IO或比较器4输出的关断触发
GPIOB14	C5TRIP (I)	L6	62	47	I/O/Z	PU	通用IO或比较器5输出的关断触发
GPIOB15	C6TRIP (I)	K7	63	48	I/O/Z	PU	通用IO或比较器6输出的关断触发

续表 1. 2

通用IO	外围信号	引脚号			I/o/Z	PU/PD	功能描述
		179脚 GHH	176脚 PGF	128 脚			
GPIO或EVA信号							
GPIO0	/T1CTRI _ PDPINTA(I)	H14	110	81	I/o/Z	PU	定时器1比较输出,功率保护输入 中断A
GPIO1	/T2CTRI _ EVASOC(I)	G10	115	84	I/o/Z	PU	定时器2比较输出, ADC外部开 始转换EVA
GPIO或EVB信号							
GPIO5	/T3CTRI _ PDPINTB(I)	P10	79	60	I/o/Z	PU	定时器3比较输出,功率保护输入 中断B
GPIO6	/T4CTRI _ EVBSOC(I)	P11	83	61	I/o/Z	PU	定时器4比较输出, ADC外部开 始转换EVB
GPIOE或中断信号							
GPIOE0	XINT1_ XBIO(I)	139	149	106	I/o/Z		GPIO或XINT1或XBIO输入
GPIOE1	XINT2_ ADCSOC(I)	D8	151	108	I/o/Z		GPIO或XINT2或ADC开始变换
GPIOE2	XNMI XINT13(I)	E8	150	107	I/o/Z	PU	GPIO或XNMI或XINT13
GPIOF或SPI信号							
GPIOF0	SPISMOA(O)	M1	40	31	I/o/Z		GPIO或SPI从输入、主输出
GPIOF1	SPISOMIA(I)	N1	41	32	I/o/Z		GPIO或SPI从输出、主输入
GPIOF2	SPICLKA(I/O)	K2	34	27	I/o/Z		GPIO或SPI时钟
GPIOF3	SPISTEA(I/O)	K4	35	28	I/o/Z		GPIO或SPI从转换使能
GPIOF或SCI—A信号							
GPIOF4	SCITXDA(O)	C7	155	111	I/o/z	PU	GPIO或SCI异步串1=I TX
GPIOF5	SCIRXDA(I)	A7	157	112	I/o/Z	PU	GPIO或SCI异步串口RX
GPIOF或CAN信号							
GPIOF6	CANTXA(O)	N12	87	64	I/o/z	PU	GPIO或eCAN传输数据
GPIOF7	CANRXA(I)	N13	89	65	I/o/z	PU	GPIO或eCAN接受数据
GPIOF或McBSP信号							
GPIOF8	MCLKXA(I/O)	J1	28	23	I/o/Z	PU	GPIO或发送时钟
GPIOF9	MCLKRA(I/O)	H2	25	21	I/o/Z	PU	GPIO或接收时钟
GPIOF10	MFSXA(I/O)	H4	26	22	I/o/z	PU	GPIO或发送帧同步
GPIOF11	MFSRA(I/O)	J2	29	24	I/o/z	PU	GPIO或接受帧同步
GPIOF12	MDXA(O)	G1	22	19	I/o/Z		GPIO或发送串行数据
GPIOF13	MDRA(I)	G2	20	18	I/o/Z	PU	GPIO或接受串行数据
GPIOF或XF CPU输出信号							
GPIOF14	XF_ XPLLDIS(O)	A11	140	101	I/o/Z	PU	该脚有3个功能: ①XF通用输出 } ②XPLLDIS. 复位时该脚被采样, 决定是否需要PPL③GPIO
GPIOG或SCI—B信号							
GPIOG4	SCaTXDB(O)	P14	90	66	I/o/Z		GPIO或SCI异步串口TX
GPIOG5	SCIRXDB(I)	M13	91	67	I/o/z		GPIO或SCI异步串口RX