

文章编号:1000—1638(2005)04-0441-04

# 基于 CPLD 芯片控制的日历时钟显示系统\*

管 睿,李树华,孙莉莉,张鹏举

(内蒙古大学电子系,呼和浩特 010021)

**摘要:**用一片 CPLD(EPM7128SLC84-15)为控制芯片,采用 VHDL 编程,实现了对日历时钟芯片 DS12887 的控制及 LED 数码管显示,并通过键盘可以对时间进行校对.该系统充分利用了 CPLD 的资源,体积小,稳定性好.

**关键词:**CPLD;DS12887;单片机;VHDL

**中图分类号:**TN702      **文献标识码:**A

传统的 DS12887 日历时钟芯片成熟的控制电路均采用单片机<sup>[1]</sup>.但由于单片机的 I/O 资源较少(例如 51 系列只有 P1 口完全为用户开放),在一些场合下,如使用键盘及 LED 数码管显示时,就必须外接接口电路才能满足系统要求.在本例中,若只使用单片机进行控制,需 10 根以上的端口与 DS12887 进行通信,驱动四个数码管采用静态方式需要四个 74LS165,增进了设计成本.CPLD 在系统编程及丰富的 I/O 资源(如 EPM7128SLC84-15 有 59 根 I/O 线)在上述场合下就显示出极大的优势,作为一种尝试,我们仅用一片 EPM7128SLC84-15 芯片没有附加任何扩展芯片,实现了键盘、4 位 LED 数码管及 DS12887 的控制显示.取得较好效果.

## 1 硬件结构

### 1.1 结构框图及功能

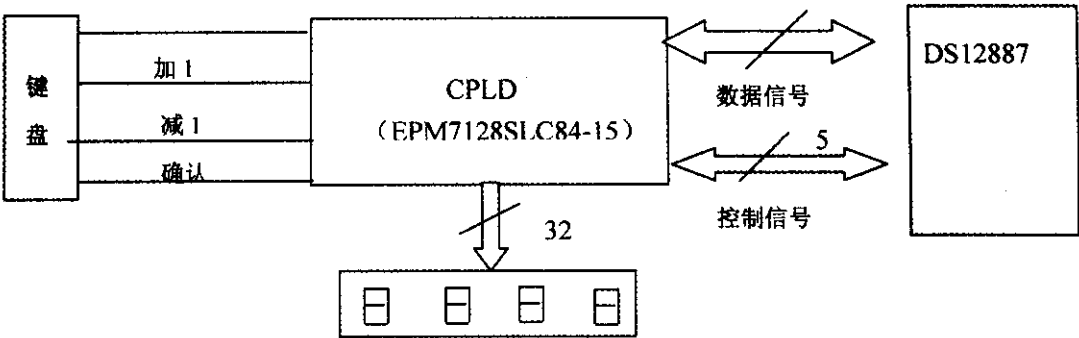


图 1 系统结构框图

Fig.1 Block Diagram of the System

图 1 中,键盘模块实现了日历时钟的校对功能.共阳极 4 位 LED 数码管采用静态显示方式,在 CPLD 内部用 VHDL 编程完成并串转换,形成 32 位串行移位寄存器结构,由于 EPM7128SLC84-15 芯片高电平拉电流为 4 mA,低电平灌电流为 12 mA,因此可以直接驱动 LED 数码管静态显示<sup>[2]</sup>.日

\* 收稿日期:2004-12-21  
基金资助:内蒙古教育厅基金资助(ZC001)  
作者简介:管睿(1979~),男,内蒙古巴盟人,内蒙古大学 2003 级硕士研究生.

历时钟模块电路如图 3 所示.

1.2 CPLD 与 DS12887 电路结构及功能

DS12887 为 24 脚双列直插式芯片,引脚如图 2 所示. 内部有 128 个非易失性 RAM,四个控制寄存器. 其中 0 至 13 的 14 个字节为系统 RAM,其余 114 个字节供用户使用. 该芯片的主要特点是:断电情况下十年以上不丢失数据,计秒、分、时、天、星期、日、月、年,并有润年补偿功能,可以用二进制数码或 BCD 码表示时间、日历和警报.

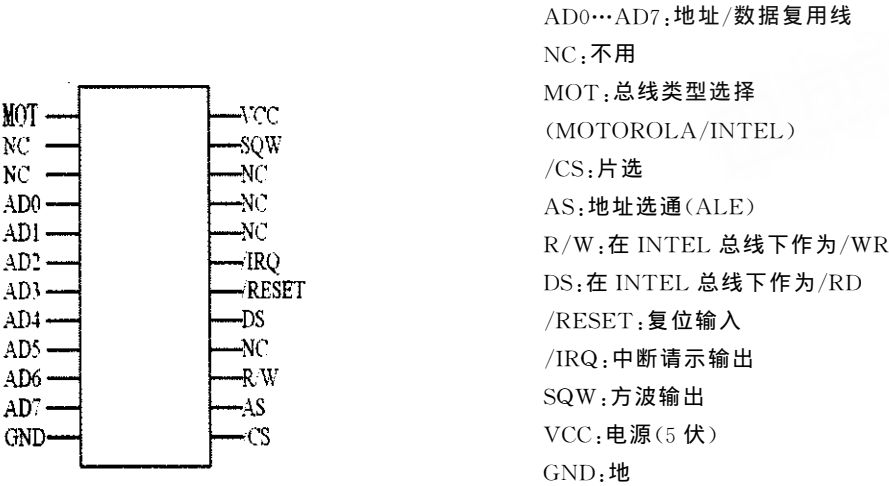


图 2 DS12887 引脚  
Fig. 2 Pinouts of ds12887

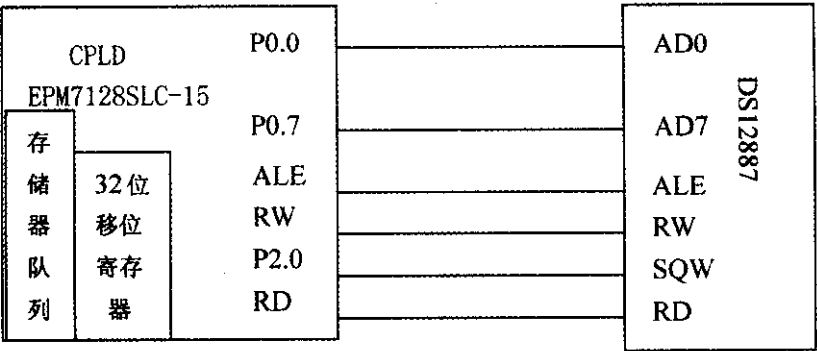


图 3 CPLD 与 DS12887 电路  
Fig. 3 Circuits of cpld &. ds12887

图 3 中 CPLD 的 2 脚外接 1 MHz 的有源晶振作为系统工作时钟,在 CPLD 内 4 分频后得到 250 kHz 频率作为 32 位移位寄存器的发送时钟.

2 VHDL 编程及仿真

该系统的电路设计参考单片机 DS12887 的电路结构<sup>[1]</sup>,并用 VHDL 实现了 INTEL8051 系列的总线时序<sup>[3]</sup>(图 4),限于篇幅,本文仅给出软件流程图和总线时序部分的详细 VHDL 源程序.

2.1 软件流程

在 CPLD 内部完成数据存储,移位等功能,充分体现了 CPLD 的优点. 与 DS12887 的通信时序请参见图 5.

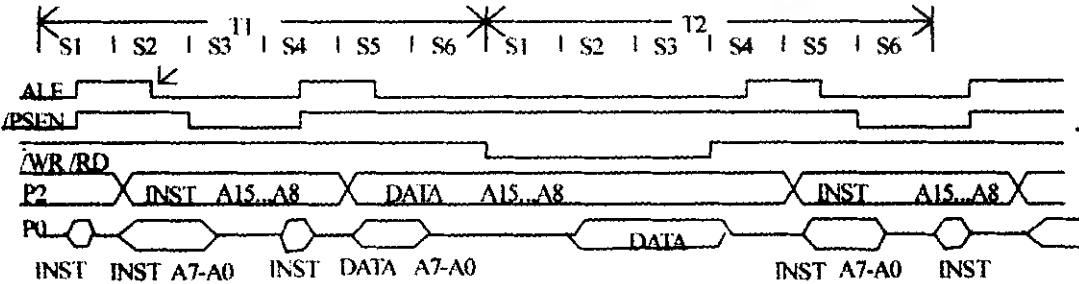
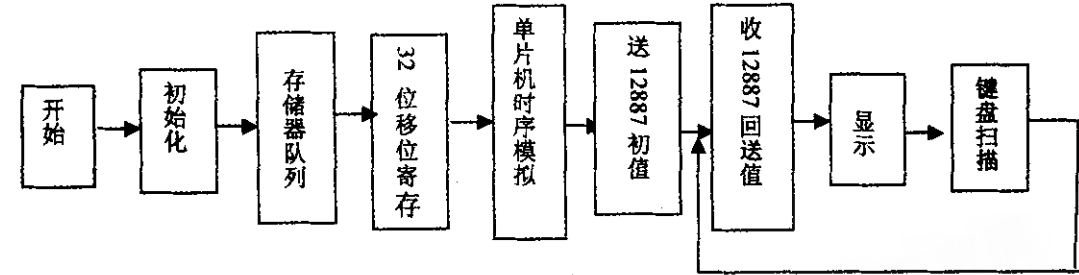


图 4 8051 单片机总线时序  
Fig. 4 Timing diagram of MCU

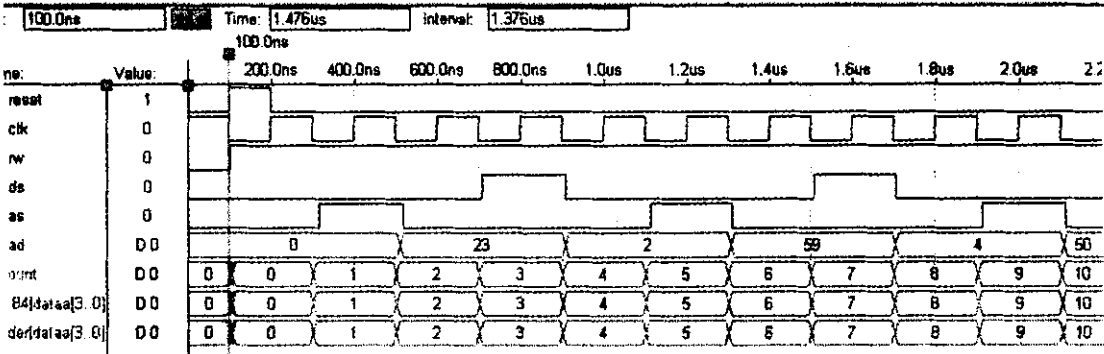


图 5 DS12887 一位数据写仿真图

Fig. 5 Imitated diagram of writing one word data

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
entity cp1d_c1 is
    port(clk,reset:in std_logic;
         rw,ds,as:out std_logic;
         ad:out std_logic_vector(7 downto 0));
end cp1d_c1;
architecture behav of cp1d_c1 is
    signal ount:std_logic_vector(3 downto 0);
    signal 万为数据atch:std_logic_vector(7 downto 0);
begin
    process (clk,reset)
    begin
        if reset='1' then
            ount<="0000";
        elsif clk'event and clk='0' then
            if (ount="1100") then
                ount<="0000";
            else
                ount<=ount+1;
                rw<='1';
            end if;
        end if;
    end process;
```

```
process (ount)
begin
    case ount is
when "0000" =>ad _latch<="00000000";
    as<='0';
    ds<='0';
when "0001" =>ad _latch<="00010111";
    as<='0';
    ds<='0';
when "0011" =>ad _latch<="00010111";
    as<='0';
    ds<='1';
when "0100" =>ad _latch<="00000010";
    as<='0';
    ds<='0';
when "0101" =>ad _latch<="00000010";
    as<='1';
    ds<='0';
when "0110" =>ad _latch<="00111011";
    as<='0';
    ds<='0';
when "0111" =>ad _latch<="00111011";
    as<='0';
    ds<='1';
when "1000" =>ad _latch<="00000100";
    as<='0';
    ds<='0';
when "1001" =>ad _latch<="00000100";
    as<='1';
    ds<='0';
when "1010" =>ad _latch<="00110010";
    as<='0';
    ds<='0';
when "1011" =>ad _latch<="00110010";
    as<='0';
    ds<='1';
    when
others=>ad _lath<="00000000";
    end case;
    ad<=ad _latch;
    end process;
end behav;
```

在 MAX+PLUSII 平台上编译、仿真、下载运行,达到了预期效果. 由于不涉及外部程序存储器,因此在仿真图中,指令地址与代码为空.

3 结束语

该系统对 DS12887 的控制,完全模仿了单片机总线时序,也可以使用独立控制方式编程,程序会更简洁一些. 另外,由于我们采用的 EPM7128SLC84-15 芯片内部仅有 2500 个门,因此内部设计的存储器容量较小,当需要存储器容量较大时,应选取大容量的芯片或外接存储器,与 AT89C51 之类单片机相比是其不足之处.

参考文献:

[1] 侯崇升. 利用 DS12887 时钟芯片实现定时电路 [J]. 国外电子测量技术,2002,21(1):18~21.  
[2] 宋万杰. CPLD 技术及应用 [M]. 西安电子科技大学出版社,2000. 265~167.  
[3] 潘松. VHDL 实用教程 [M]. 2000. 288~291.

The Displaying System of Calenda & Clock Based on CPLD Chip

JIAN Rui,LI Shu-hua,SUN Li-li,ZHANG Peng-ju

(Department of Electrocnic Engineering,NeiMongol University,Hohhot 010021,PRC)

**Abstract:** Using one CPLD chip as a controlling chip,programmed with VHDL language,the system realizes the controlling to calenda & clock chip DS12887 and LED display. Time can be adjusted through keyboard. The system fully uses the resources of CPLD,the volume is small,and the stability is excellent.

**Key words:** CPLD;DS12887;MCU;VHDL

作者：[菅睿](#)，[李树华](#)，[孙莉莉](#)，[张鹏举](#)，[JIAN Rui](#)，[LI Shu-hua](#)，[SUN Li-li](#)，[ZHANG Peng-ju](#)  
作者单位：[内蒙古大学电子系](#)，[呼和浩特](#)，[010021](#)  
刊名：[内蒙古大学学报（自然科学版）](#) **ISTIC PKU**  
英文刊名：[ACTA SCIENTIARUM NATURALIUM UNIVERSITATIS NEIMONGOL](#)  
年，卷(期)：[2005](#)，[36](#) (4)  
被引用次数：[1次](#)

参考文献(3条)

1. [侯崇升](#) [利用DS12887时钟芯片实现定时电路](#)[期刊论文]-[国外电子测量技术](#) 2002(01)
2. [宋万杰](#) [CPLD技术及应用](#) 2000
3. [潘松](#) [VHDL实用教程](#) 2000

本文读者也读过(10条)

1. [王祝炯](#).[WANG Zhu-jiong](#) [基于CPLD芯片的数字控制器实现](#)[期刊论文]-[仪器仪表用户](#)2007, 14(5)
2. [陈文建](#).[谢家纯](#).[徐军](#).[易波](#) [基于单片机和CPLD的串行通信帧协议转换系统](#)[期刊论文]-[计算机应用](#) 2003, 23(z2)
3. [张鹏举](#).[李树华](#).[窦海峰](#).[菅睿](#).[ZHANG Peng-ju](#).[LI Shu-hua](#).[DOU Hai-feng](#).[JIAN Rui](#) [用单片机及CPLD实现的多功能控制系统设计](#)[期刊论文]-[内蒙古大学学报（自然科学版）](#) 2005, 36(3)
4. [江冰](#).[赵辉](#).[陈小钢](#) [DS12C887在水位测量系统中的应用](#)[期刊论文]-[微计算机信息\(测控仪表自动化\)](#) 2002(7)
5. [孟宪玮](#).[李德胜](#).[封绍武](#) [实时时钟/日历芯片在地质仪器中的应用](#)[会议论文]-2000
6. [周志毅](#) [路灯无线监控系统外围站研究](#)[学位论文]1999
7. [沈周义](#).[许克滨](#).[SHEN Zhouyi](#).[XU Kebin](#) [采用CPLD增强单片机P89C669外部设备扩展能力](#)[期刊论文]-[现代电子技术](#)2007, 30(13)
8. [陈爱萍](#).[何智勇](#).[CHEN Ai-ping](#).[HE Zhi-yong](#) [利率、汉字、日历时钟电子显示屏的设计](#)[期刊论文]-[控制工程](#)2000, 7(5)
9. [王建国](#).[王玉辉](#).[樊勇](#).[马宏杰](#) [基于CPLD技术的高速数据采集及其在流量计设计中的应用](#)[期刊论文]-[仪表技术与传感器](#)2004(2)
10. [刘勇](#).[张龙](#).[吴晓松](#).[卢春](#) [实时时钟芯片 M48T86 及其应用](#)[期刊论文]-[国外电子元器件](#)2002(11)

引证文献(1条)

1. [邵勇](#).[张国强](#).[康安明](#) [一种DSP对地址数据总线复用器件的驱动方法](#)[期刊论文]-[工矿自动化](#) 2010(7)

本文链接：[http://d.wanfangdata.com.cn/Periodical\\_nmgdxxb200504016.aspx](http://d.wanfangdata.com.cn/Periodical_nmgdxxb200504016.aspx)