

# 单片机与CPLD接口及数码管驱动设计

●●●

作者 / 田开坤

上期《51 单片机加 CPLD 让系统更高效》中,笔者详细介绍了一种 MCU+CPLD 系统设计方案,通过对 MCU 和 CPLD 的二次编程设计,实现不同的功能。本篇将结合 Mini51 板,详细介绍 MCU 与 CPLD 以总线接口方式实现地址锁存、地址译码、数码管驱动电路的设计,并给出数码管显示实例“9999 计数器”流程图和源程序。

Mini51 板整体接口示意图如图 1 所示,MCU 通过数据线、地址线、控制线与 CPLD 相连,由 CPLD 完成低 8 位地址锁存,地址译码,以及 MCU 与外围其它对象之间的接口电路。

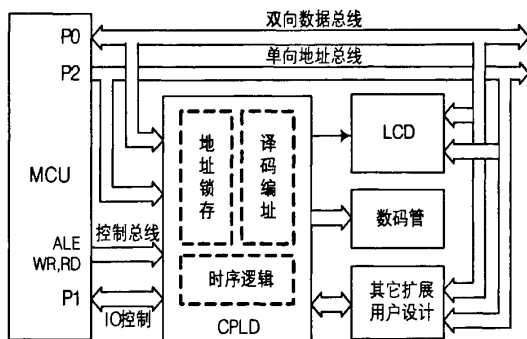


图1 Mini51板单片机与CPLD接口框图

## 一、MCU常用接口模块电路设计

### 1. 低八位地址锁存

51 单片机 P0 口分时复用,配合 ALE 信号,在总线模式下分时作为低 8 位地址线和数据线复用。在 Max+plusII 中,可以直接调用集成器件库 74373,电路图如图 2 所示,在 CPLD 内部实现低 8 位地址锁存。仿真波形图如图 3 所示,在 ALE 下降沿完成 P0 口数据锁存,并在 ALE 低电平阶段保持作为低 8 位地址 A[7..0]。

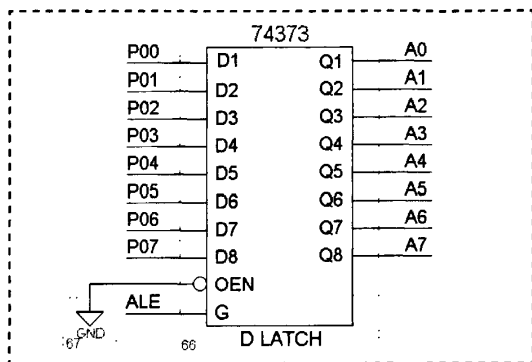


图2 地址低8位锁存电路

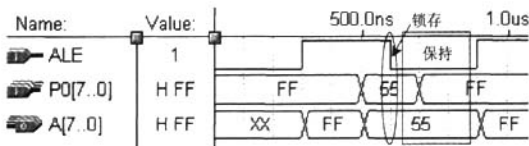


图3 地址锁存仿真时序图

### 2. 地址译码

考虑实际 IC 引脚资源,Mini51 板地址线由 A15 (P27) 和 A7 ~ A0 (P0+ALE 外部锁存) 构成。在 MCU 系统中,很多外部对象,如 AD、DA、键盘、RAM 等等,都需要统一编址,以便单片机通过总线进行读写控制,这就需要对地址线进行译码。这里选用 4-16 译码器 74154 译码,A15 和低 5 位地址参与编址,在 Max+plusII 中,直接调用集成器件库 74154,电路如图 4 所示。译码得到 16 个地址 Y[15..0],地址编码详见表 1。

### 3. 寄存器与数据锁存

所谓寄存器,实际上就是能够存储数据的电路,常用 D 触发器 (DFF) 实现,DFF 电路符号和真值表如图 5 所示,DFF 能够在时钟上升沿将置数端 D 的

数据锁存并输出 Q，而在其它时刻，Q 输出保持不变，利用 DFF 的这种特性，我们就可以用 CPLD 内部大量 DFF 单元配置数据寄存器，这里我们选择集成器件 8D 数据锁存器 74273，电路如图 6 所示，P0 口接 74273 输入 D，WR (P3.6) 接 74273 时钟输入 CLK。

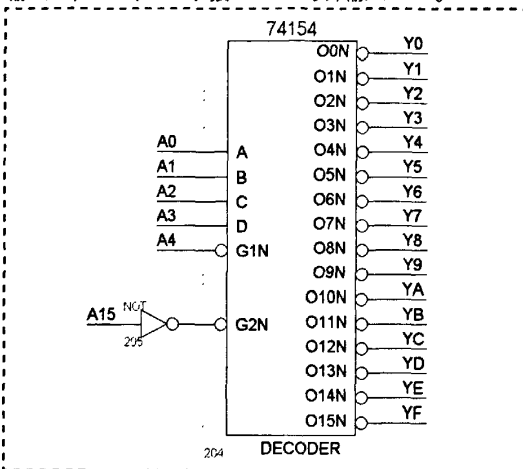


图4 4-16地址译码电路

表1 地址编码一览表

| P2[7..0]+A[7..0]<br>(无关位用“#”表示) | 典型地址      |           | 译码输出  |
|---------------------------------|-----------|-----------|-------|
|                                 | (无关位为“1”) | (无关位为“0”) |       |
| 1###-####<br>##0-0000           | FFE0H     | 8000H     | Y0    |
| 1###-####<br>##0-0001           | FFE1H     | 8001H     | Y1    |
| .....                           | .....     | .....     | ..... |
| 1###-####<br>##0-1111           | FFEFH     | 800FH     | YF    |

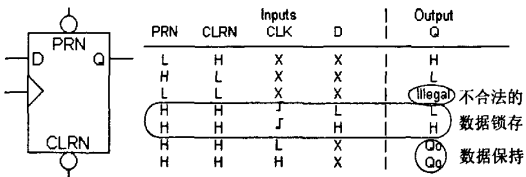


图5 D触发器及其真值表

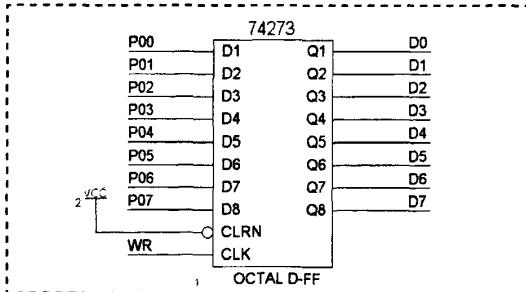


图6 数据锁存器电路

MCU 执行 MOVX 指令时，如图 7 所示，在 T0 时间段，ALE 下降沿完成 P0 口送出的低八位地址锁存，T1 时刻，MCU 在 WR (P3.6) 引脚输出负脉冲，此时 P0 口上送出要写入的数据，在 WR (接 273 的 CLK) 上升沿完成数据锁存，之后 WR 保持高电平，此时 74273 输出 Q 就是刚才写入的数据，并将一直保持下去，直到下一次写操作更新。

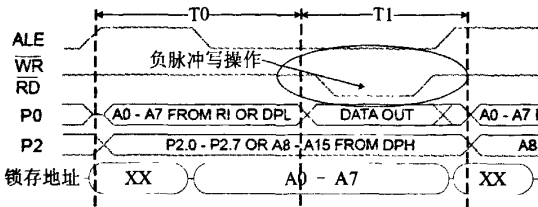


图7 单片机总线时序图

外部对象写操作汇编指令如下：

MOV A,#55H ;将要锁存的数据 0x55 送累加器。

MOVX @DPTR,A ;启动总线写操作，将累加器的数据通过总线送出。

#### 4. 数码的CPLD驱动方案

Mini51 板有四位联体数码管，电路如图 8 所示，直接将数码管与 CPLD 的 IO 脚相连，电阻 R 做限流保护用。数码管动态扫描是常用的电路接口方式，它优点是占用 IO 口少，硬件电路简单，缺点是需要较 CPU 较高频率循环扫描，直接驱动占用 CPU 资源多，编程复杂。这里使用 CPLD 驱动，对 MCU 而言和静态驱动一样，编程简单。

共阳极四联体数码管内部结构如图 9 所示，所有码管的段码 (a,b,c,d,e,f,g,dp) 并联在一起，位选 (S0,S1,S2,S3) 为独立引脚。由于这种特殊结构，使得这种多联体数码管只能采用动态扫描方式驱动。

CPLD 驱动数码管原理如图 10 所示，CPLD 内部给数码管配置显示缓冲寄存器，将每个数码管要显示的数据由寄存器存储，数据选择器在计数器的驱动下把各数码管显示的数据分时送出，同时计数器通过 2-4 译码，产生数码管位选信号选择对应的数码管，这一过程按一定频率时钟循环进行，从而实现数码管的动态扫描显示。对 MCU 而言，只需要更新显示缓冲区的数据即可。

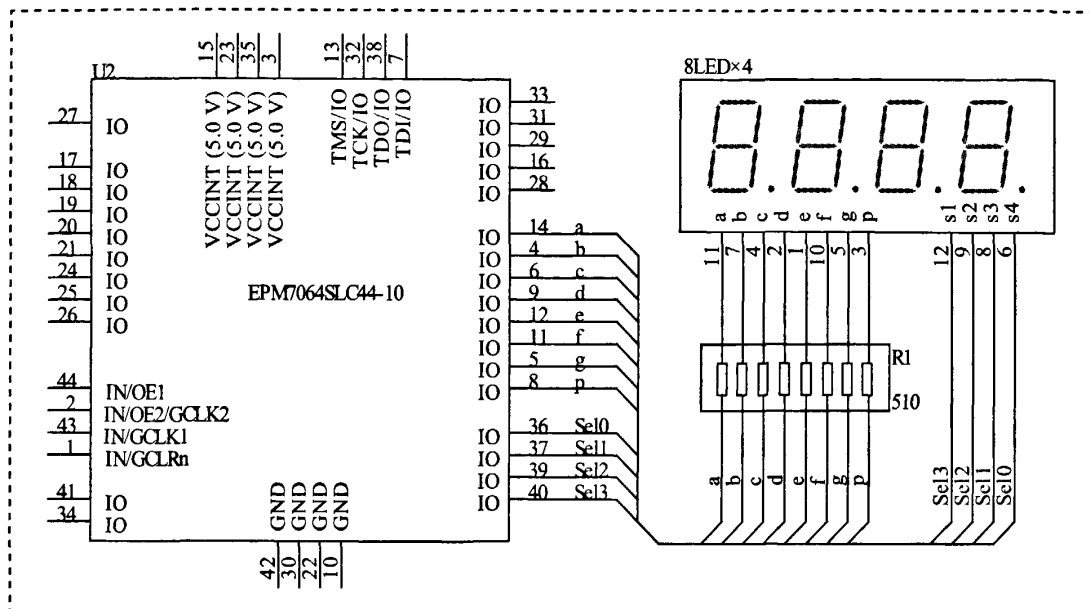


图8 数码管硬件电路图

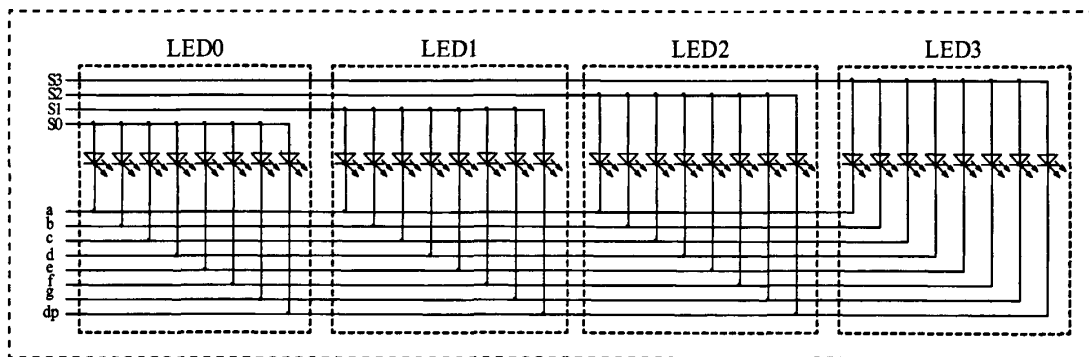


图9 共阳极四联体数码管内部电路图

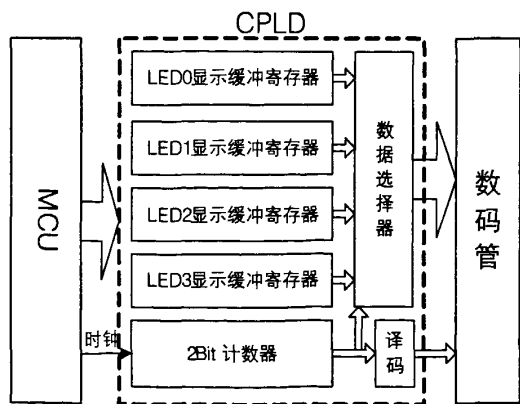


图10 CPLD驱动的数码管扫描电路原理框图

根据以上显示原理，电路如图 11 所示，在

Max+plusII 环境中直接调用 8D 数据锁存器 74273b 做显示缓冲器，数据输入端口接单片 P0 口，CLR 接 VCC（也可以接 MCU 的某个 IO 实现清零），CLK 由 WR 与译码地址 YC ~ YF 相或，数据选择器 led\_sel、计数器 counter、2-4 译码器 decode2\_4 均由 Max+plusII 集成 LPM（参数可配置）模块配置向导直接生成。显示缓冲器输出给 4 选 1 数据选择器由 led\_sel 控制分时送显，时钟由 MCU ALE 信号由 div\_clk 分频后给计数器 counter，计数器输出接数据选择器得到数码管段码 DISP[7..0]，计数器输出经过 2-4 译码器 decode2\_4 译码得 SEG[4..1]，SEG[4..1] 依次译码为 8、4、2、1（共阳极数码管决定），保证每时间段只有一

只数码管点亮，数码管显示 DISP[7..0] 的内容。

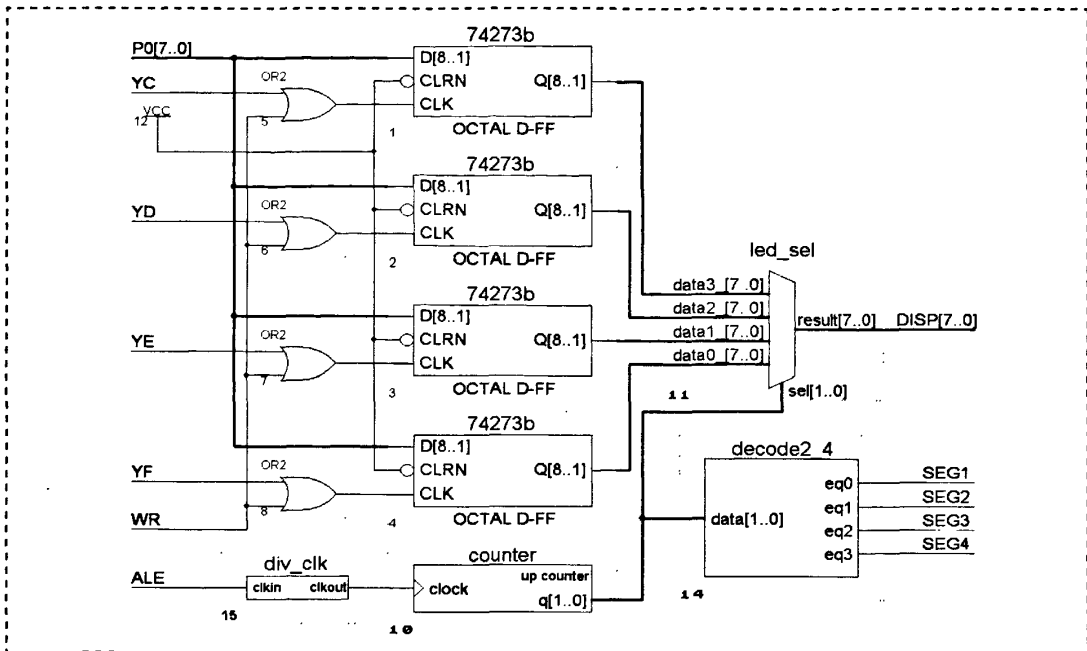


图11 数码管CPLD驱动电路图

以上电路用硬件描述语言设计如下：

```
module Mini51CPLDV23(P0,ALE,P27,WR,DISP,SEG);
input [7:0]P0;
input ALE,P27,WR;
output [7:0] DISP;
output [3:0] SEG;
wire [7:0]addr;
reg [7:0]daA,daB,daC,daD;
reg [1:0]i;
reg [3:0]div;
assign addr = ALE?P0 : addr; // 低八位地址锁存
always @(negedge WR)
// 带地址的显示缓冲期数据输入
begin
case({P27,addr[4:0]})
6'b10_1100:daA <= P0;
6'b10_1101:daB <= P0;
6'b10_1110:daC <= P0;
6'b10_1111:daD <= P0;
default:
begin
daA<=daA; daB<=daB; daC<=daC; daD<=daD;
```

```
end
endcase
end
always@(posedge ALE) // 扫描分频和循环计数器
begin
div <= div+1;
if(div==4'Hf) i <= i+1;
end
assign DISP=(i==0)?daA:((i==1)?daB:((i==2)?
daC:daD));// 数据选择器
assign SEG =(i==0)?8:((i==1)?4:((i==2)?2:1));
// 扫描译码器
endmodule
```

以上设计，编译完成无误后，进行引脚绑定后再编译得到 Mini51CPLD.pof 文件，通过并口下载线 ByteblasterMV 编程 CPLD 即可。

## 二、数码管显示9999计数器

这里给出 9999 计数器实例，程序流程图如图 12 所示，由 MCU 定时器循环加 1，数码管显示，从

0000 到 9999 计数。

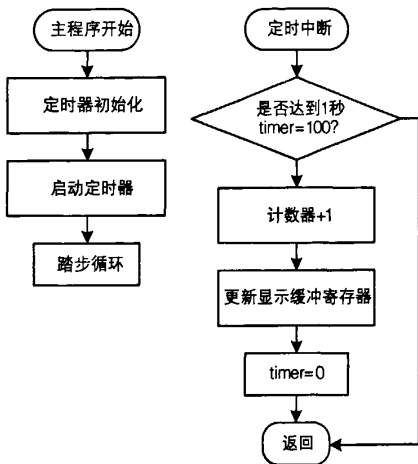


图12 9999计数器流程图

首先在 keil 环境创建工程 counter9999.uv2，单片机选择 STC 的 STC89C52，编写以下 c 代码：

#include "STC89C51RC.H" //STC 单片机头文件，相当与一般 51 单片机的 reg51.h

#include <absacc.h> // 单片机 C 语言绝对地址宏定义头文件，例如对 XBYTE 的定义

// 根据显示缓冲寄存器 CLK 始终编制信号 YC、YD、YE、YF 确定地址为 0xffec、0xffed、0xffee、0xffef

#define SEG1 XBYTE[0xffec] // 定义外部对象数码管的地址

#define SEG2 XBYTE[0xffed]

#define SEG3 XBYTE[0xffee]

#define SEG4 XBYTE[0xffef]

unsigned char ledmap[] =

// 共阳极数码管字符译码表

```
{
0xc0,0xf9,0xa4,0xb0,0x99, //0,1,2,3,4,
0x92,0x82,0xf8,0x80,0x90, //5,6,7,8,9,
};
```

unsigned int counter; // 定义计数器全局变量

void timer2\_init(void) // 单片机定时器初始化，定时中断控制计数器计数速率

```
{
```

T2MOD = 0; //16 位自动重载模式，RCAP2HL 为预估值

TH2=0;

TL2=0;

RCAP2H = 0; // 定时器中断会自动重新装载给 TH2

RCAP2L = 0; // 定时器中断会自动重新装载给 TL2

TR2 = 1;

ET2 = 1;

```
}
```

// 定时中断服务

void Timer2(void) interrupt 5 using 2 // Keil C51 中断函数入口定义

```
{
```

static unsigned char time=0; // 定义局部静态变量

TF2 = 0; // 清除定时器溢出中断标志

if(time++ > 100) // 计数器每 1s (10ms × 100) 加 1

```
{
```

counter ++; // 全局计数器加一

// 结果处理，按十进制取模查表，写入 CPLD 数码

管显示缓冲寄存器

SEG1 = ledmap[counter/1000%10];

SEG2 = ledmap[counter/100%10];

SEG3 = ledmap[counter/10%10];

SEG4 = ledmap[counter%10];

time = 0;

```
}
```

```
}
```

main()

```
{
```

timer2\_init(); // 定时器初始化

EA = 1; // 开启定时器

while(1); // 原地踏步等待，计数任务由定时器驱动

```
}
```

编译得到 counter9999.hex，PC 机通过串口连接 Mini51 板，执行 STCISP 下载软件，将代码下载到 MCU，即可看到数码管显示计数器效果。

### 三、总结

通过以上介绍，我们清楚了 MCU 与 CPLD 的接口电路和几种常用功能模块设计。当你熟悉 MCU 时序和精通 CPLD 设计后，还可以根据实际需要，对 CPLD 电路进行裁剪，比如使用 LCD 代替数码管后，那么数码管驱动电路就可以删除，节约 CPLD 的内部资源用作其它设计。对于初学者来说，精通 MCU 总线时序是关键，之后才能根据外部对象的需要，灵活应用 CPLD 扩展 MCU 接口，才能体会到 MCU 与 CPLD 结合的强大功能。

读者需本文 Mini51 电路板和答疑解惑，用户可直接发离线文件到 QQ：1320160388

END

作者: [田开坤](#)  
作者单位:  
刊名: [电子制作](#)  
英文刊名: [ELECTRONICS DIY](#)  
年, 卷(期): 2011(2)

## 本文读者也读过(10条)

1. [王团部](#), [李向仓](#), [马刚](#), [WANG Tuanbu](#), [LI Xiangcang](#), [MA Gang](#) 数码管驱动电路ICM7218及其应用[期刊论文]-[现代电子技术](#)2006, 29(21)
2. [徐道兵](#), [Xu Daobing](#) 大尺寸数码管的动态驱动和保护电路设计[期刊论文]-[单片机与嵌入式系统应用](#)2009(3)
3. [刘磊](#), [顾斌](#), [龚美霞](#) CPLD的串口电路设计[期刊论文]-[电子制作](#)2011(2)
4. [李林](#), [LI Lin](#) 基于CH452A的数码管驱动及键盘控制的系统设计[期刊论文]-[现代机械](#)2010(4)
5. [陈越](#), [李中帅](#), [林少茵](#) 用Verilog设计CPLD器件的单片机总线接口模块[期刊论文]-[科技风](#)2008(5)
6. [刘昆山](#) 用AT89S51单片机控制八路LED显示[期刊论文]-[电子制作](#)2010, 03(3)
7. [原传煜](#) CPLD扩展MCS-51单片机I/O接口的应用研究[期刊论文]-[电大理工](#)2010(1)
8. [赵明富](#), [田泽正](#), [王超](#), [肖继银](#) CPLD在LED广告屏中的应用研究[期刊论文]-[河南科技学院学报\(自然科学版\)](#)2008, 36(4)
9. [何海滨](#) 汉字点阵显示设计[期刊论文]-[电子制作](#)2010(1)
10. [陈静](#), [付饶](#), [CHEN Jing](#), [FU Rao](#) 用单片机+CPLD实现液晶显示[期刊论文]-[现代显示](#)2005(4)

本文链接: [http://d.wanfangdata.com.cn/Periodical\\_dzzz201102007.aspx](http://d.wanfangdata.com.cn/Periodical_dzzz201102007.aspx)