

基于 CPLD 的电机数字测速及显示

孙绍功, 张文明, 刘兆甲, 王 滨
(沈阳大学机械工程学院, 沈阳 110044)

[摘 要] 本文介绍了电机的测速及显示原理。主要论述了一种不同于常用测速及显示技术的方法, 它采用全数字电子计数测频法测速、使用 4 位 7 段数码管显示转速, 具有编程实现容易、单片实现测速和显示等特点。

[关键词] 测速; 显示; CPLD

[中图分类号] TM301.2 [文献标识码] B [文章编号] 1000-3983 (2009) 01-0064-03

Digital Measuring and Displaying of Motor Speed Based on CPLD

SUN Shao-gong, ZHANG Wen-ming, LIU Zhao-jia, WANG Bin

(Mechanical Engineering College, Shenyang University, Shenyang 110044, China)

Abstract: The paper introduces the theories of measuring and displaying motor speed. It mainly expounds on a particular method different from that of common speed measurement and display. It adopts a calibrating frequency method by full digital electric counting for speed measurement, and uses four digits through seven segments LED components to show speed. Furthermore, this method possesses some unique characteristics such as easy programming, high integration implementing speed measurement and display on a single chip, and so on.

Key words: speed measurement; displaying; CPLD

1 引言

在电机控制场合, 电机转速是闭环控制不可缺少的物理量。能实时并精确地检测出电机的转速, 是实现电机控制的关键。这就需要测速系统能够高速而准确地将速度测出来。同时为了便于操作者观察和操作, 需要采用七段数码管等元器件将速度直观地显示出来。

CPLD(Complex Programmable Logic Device)是一种复杂可编程逻辑器件, 具有丰富的I/O引脚资源, 不但可实现常规的逻辑器件功能, 还可实现复杂的时序逻辑功能^[1-2]。这里采用的是上海沪生公司生产的JX03型CPLD实验板, 板上有一片Altera公司生产的EPM7064SLC44-10芯片, 它属于MAX7000S系列CPLD, 计数器工作频率可达175.4MHz, 具有64个宏单元, 44个管脚, 管脚延迟时间最大仅为10ns^[3]。板上带有4个数码管, 完全可以满足电机的测速和显示。

2 信号输入基本原理

信号的输入按图接好电路。当电机转动, 挡板挡住光线时输出信号为 5V, 对应逻辑电平 1, 当挡板没

有挡住光线时输出信号为 0V, 对应逻辑电平 0。将信号输出端接在 CPLD 的输入端。这就可以实现信号的输入。

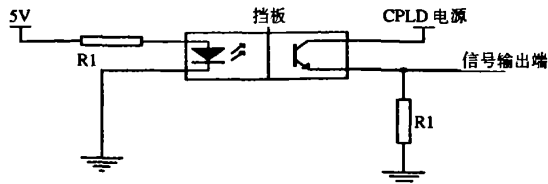


图1 信号输入原理图

自制实物连接如图2所示。

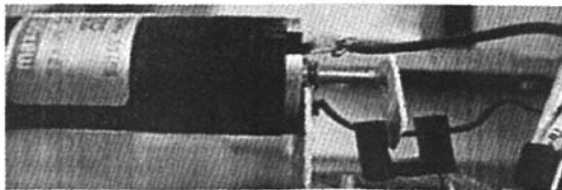


图2 实物连接图

3 速度测量原理

本文介绍的是电子计数测频法, 其原理如图3所

示。为在确定的闸门时间 T 内记录被测信号的脉冲个数 N ，则被测信号的频率为： $f=N/T$ 。如果把闸门时间设为 $1s$ ，则 $f=N$ ，即速度为 $1s$ 时电机的转速。

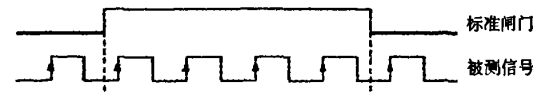


图3 测频法原理

4 速度显示原理

JX03 型 CPLD 实验板的 4 个 7 段数码管的连接并不是把每个数码管都独立地与 CPLD 电路连接，而是把所有的数码管的输入信号连在一起。这样做的好处有两点：其一是节约 CPLD 的 I/O 口；其二是降低功耗。每次向数码管写数据时，通过片选信号选通其中一个数码管，然后把数据写入该数码管。因此每一时

刻只有一个数码管是亮的。为了能持续看到数码管上面的显示内容，必须对数码管进行扫描，即依次并循环地点亮各个数码管。利用人眼的视觉暂停效应，在一定的扫描频率下，人眼就会看到好几个数码管一起点亮。每个数码管消耗的功率比较大，如果所有的数码管一起点亮，其功率很大。利用扫描的方法，那么每个时刻只有一个数码管是亮的，因此大大减少了功耗。

扫描频率的大小必须合适才能达到很好的效果。如果扫描频率太小，则每个数码管开启和关断的时间间隔就会大于人眼的视觉暂停时间，那么就会产生闪烁现象。而扫描频率太大会造成数码管的频繁开启和关断，大大增加数码管的功耗（开启和关断的时刻功耗很大）。一般来说，根据需

要选择合适的扫描频率。根据上述原则设计的电路图如图 4 所示。

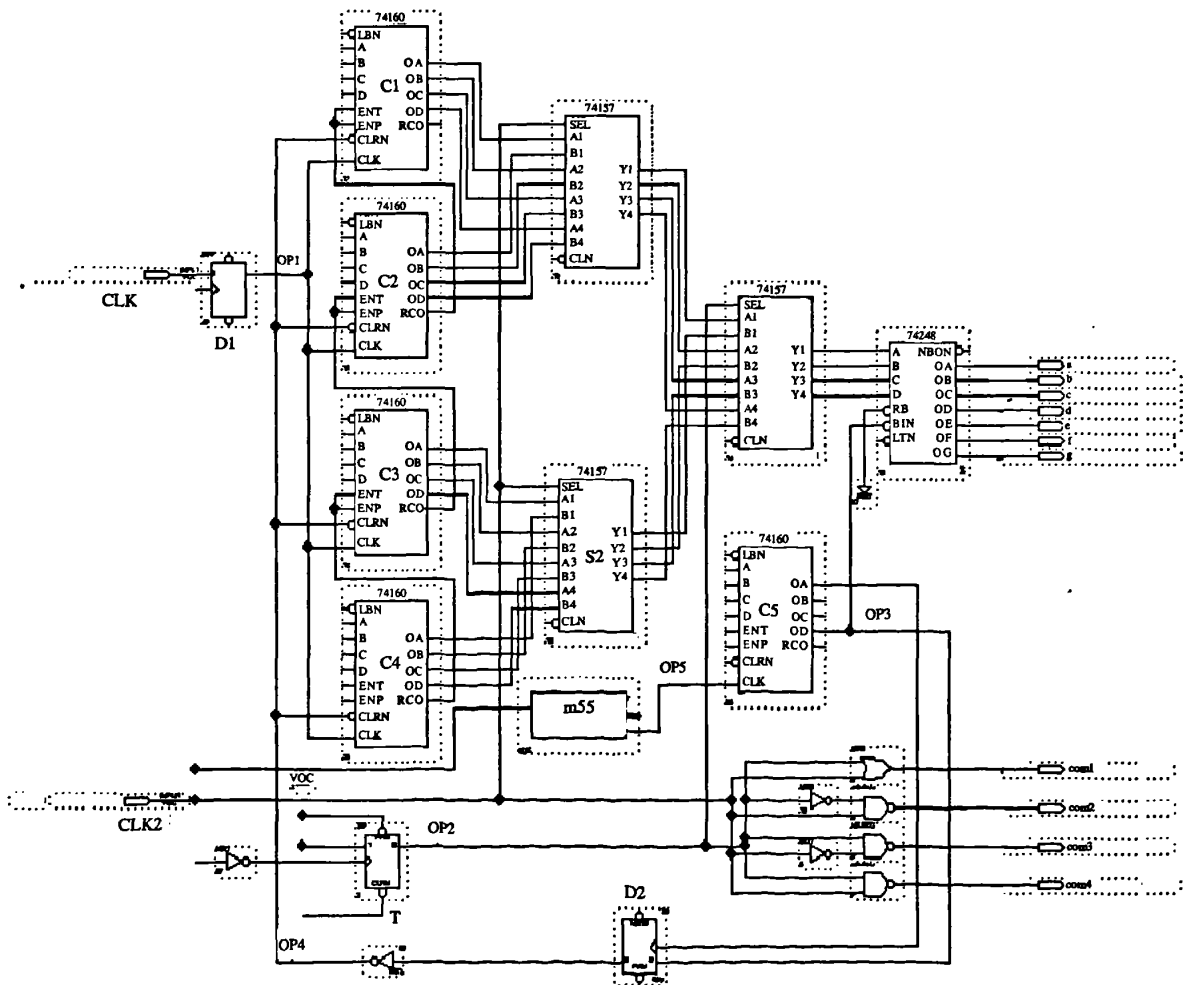


图4 显示原理图

图中信号 clk 为信号输入端,通过(D1)D 触发器滤除毛刺,作为 4 个 74160 模十计数器的计数脉冲。为了便于观察,计数器用 C 来表示。开始时 C4 从 0 开始计数, C4 的 RCO 进位位为低电平,并且与 C3 的 ENP、ENT 相连,导致 C3 不计数。同理 C2, C1 也不计数,当信号每经过一个上升沿时, C4 计数一次,直到计数为 9 时, C4 的 RCO 位变为高电平,也使 C3 的 ENP、ENT 位变为高电平,使 C3 开始计数一次,同时 C4 重新由 0 开始计数, C4 的 RCO 位变为低电平,使 C3 保持原计数状态。同理 C2, C1 也是一样的,这样就完成了计数的连续性。因此, C4、C3、C2、C1 依次对应个位、十位、百位、千位计数输出,这样就可以实现电机的四位转数显示。但如上所述,数码管不是同时显示的,为此需要一个数据选择器,实现 4 个数码管的轮流显示。74157 为数据选择器,为了便于观察用 S 来表示。74248 为 4 线-7 段译码器,实现数据在数码管上的最终显示。

clk2 为全局时钟脉冲信号,经 T 触发器二分频,形成波形如图 5 的 op2。op2 和 clk2 形成 4 个计数状态

00, 01, 10, 11。当 op2, clk2 逻辑电平为 00 时,数码管公共端 com1 低有效,数码管 1 正常工作,同时 S1, S2, S3 的 SEL 位为 0,则 S1 选择 C1, S2 选择 C3, S3 选择 C1,这时数码管 1 显示的是千位,即 C1 的计数输出。同理当 op2, clk2 逻辑电平为 01 时,数码管公共端 com2 低有效,数码管 2 正常工作,显示的是百位,即 C2 的计数输出。当 op2, clk2 逻辑电平为 10 时,数码管公共端 com3 低有效,数码管 3 正常工作,显示的是十位,即 C3 的计数输出。当 op2, clk2 逻辑电平为 11 时,数码管公共端 com4 低有效,数码管 4 正常工作,显示的是个位,即 C4 的计数输出。这样就完成了数码管的逐个显示。这就可以进行电机转过转数的累计显示。用 m55 和 c5 产生的波形 op3 对 74248 的 BIN 位进行控制,低电平不显示,高电平显示。用波形 op4 进行计数器的 CLRn 位的控制,低电平清零,高电平计数。值得注意的是当 op3 的负脉冲期间所计的脉冲数恰好等于 clk2 的频率时,显示出来的数值才是电机 1s 转过的转数。这样测出的电机转速最终在 4 个数码管上显示出来。

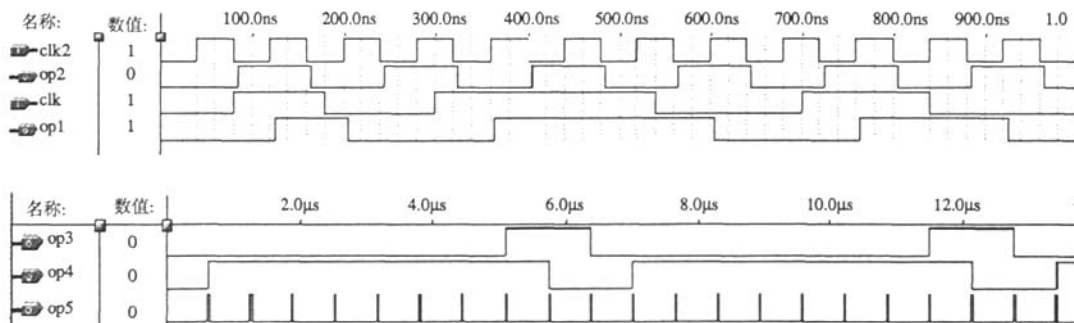


图 5 电路仿真波形图

5 结束语

通过仿真波形和实验检验,用 CPLD 来对电机进行测速和显示是可行的,较之其他电机测速方法具有编程实现容易、单片内同时解决测速和显示的优点。

【参考文献】

- [1] 亿特科技. CPLD/FPGA 应用系统设计与产品开发[M]. 人民邮电出版社, 2005.
- [2] 任晓东, 文博. CPLD/FPGA 高级应用开发指南[M]. 电子工业出版社, 2003.
- [3] 冯涛, 王程. 可编程逻辑器件开发技术—MAX+plus II 入门与提高[M]. 人民邮电出版社, 2002.

- [4] 李杨, 等. CPLD 在飞行体加速度测试系统中的应用[J]. 仪器仪表学报增刊, 2006.
- [5] 王诚, 薛小刚, 钟信潮. FPGA/CPLD 设计工具[M]. 人民邮电出版社, 2005.
- [6] 李宜达. 数字逻辑电路设计与实现[M]. 科学出版社, 2004.

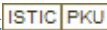
【收稿日期】2007-07-24

【作者简介】

孙绍功 (1971-), 沈阳大学材料加工专业在读硕士, 现从事焊接自动化研究。



基于CPLD的电机数字测速及显示

作者: [孙绍功](#), [张文明](#), [刘兆甲](#), [王滨](#), [SUN Shao-gong](#), [ZHANG Wen-ming](#), [LIU Zhao-jia](#), [WANG Bin](#)
作者单位: [沈阳大学机械工程学院, 沈阳, 110044](#)
刊名: [大电机技术](#) 
英文刊名: [LARGE ELECTRIC MACHINE AND HYDRAULIC TURBINE](#)
年, 卷(期): 2009 (1)
被引用次数: 1次

参考文献(6条)

1. 亿特科技 [CPLD/FPGA应用系统设计与产品开发](#) 2005
2. 任晓东; 文博 [CPLD/FPGA高级应用开发指南](#) 2003
3. 冯涛; 王程 [可编程逻辑器件开发技术-MAX+plus II入门与提高](#) 2002
4. 李杨 [CPLD在飞行体加速度测试系统中的应用](#) [期刊论文]-[仪器仪表学报](#) 2006 (增刊)
5. 王诚; 薛小刚; 钟信潮 [FPGA/CPLD设计工具](#) 2005
6. 李宜达 [数字逻辑电路设计与实现](#) 2004

本文读者也读过(10条)

1. [刘廷霞](#), [姜润强](#), [余毅](#), [张海波](#) [基于CPLD的全数字测速法](#) [期刊论文]-[长春理工大学学报](#) 2004, 27 (3)
2. [王海伦](#), [余世明](#) [汽车轮胎压力智能检测系统的无线传输](#) [期刊论文]-[电气时代](#) 2005 (8)
3. [林建文](#), [王叔伟](#), [吴玉兰](#), [吴娟](#) [用DSP实现CPLD多方案现场可编程配置](#) [期刊论文]-[单片机与嵌入式系统应用](#) 2005 (3)
4. [张鑫](#), [宗剑](#) [基于CPLD的电机保护装置设计](#) [期刊论文]-[电工技术](#) 2004 (2)
5. [游国栋](#), [呼守信](#), [宋建成](#) [基于CPLD的双速双回路磁力起动器BCD码检测技术](#) [期刊论文]-[煤矿机电](#) 2004 (5)
6. [黄天成](#), [霍鹏](#), [Huang, Tianshu](#), [Huo, Peng](#) [基于DSP+CPLD的新型智能监测系统设计与开发](#) [期刊论文]-[微计算机信息](#) 2006, 22 (23)
7. [张哲](#) [电子技术专业实践教学存在的问题及对策](#) [期刊论文]-[辽宁教育学院学报](#) 2009, 26 (2)
8. [吴仲光](#), [杨宇芷](#) [多个高速事件实时同步计数的CPLD实现方法](#) [期刊论文]-[四川大学学报\(自然科学版\)](#) 2002, 39 (1)
9. [肖强晖](#), [瞿遂春](#), [XIAO Qiang-hui](#), [QU Sui-chun](#) [CPLD器件在电力电子保护系统中的应用](#) [期刊论文]-[长沙电力学院学报 \(自然科学版\)](#) 2005, 20 (2)
10. [冯长伟](#), [FENG Changwei](#) [DSP与CPLD在微机保护与测控系统中的应用](#) [期刊论文]-[辽宁工程技术大学学报 \(自然科学版\)](#) 2007, 26 (3)

引证文献(1条)

1. [李新安](#), [李秀娟](#) [基于FPGA和PCI的高精度测速板卡的设计与实现](#) [期刊论文]-[现代电子技术](#) 2010 (21)

本文链接: http://d.wanfangdata.com.cn/Periodical_ddjjs200901016.aspx