

TMS320F2810, TMS320F2811, TMS320F2812 TMS320C2810, TMS320C2811, TMS320C2812

数字信号处理器

Data Manual



PRODUCTION DATA information is current as of publication date.
Products conform to specifications per the terms of the Texas
Instruments standard warranty. Production processing does not
necessarily include testing of all parameters.

Literature Number: ZHCS894T
April 2001—Revised May 2012

内容

1	TMS320F281x, TMS320C281x DSP	10
1.1	特性	10
1.2	开始使用	11
2	简介	12
2.1	说明	12
2.2	器件概述	13
2.3	引脚分配	14
2.3.1	GHH/ZHH 封装的端子分配	14
2.3.2	PGF 封装的引脚分配	15
2.3.3	PBK 封装的引脚分配	16
2.4	信号说明	17
3	功能概述	26
3.1	内存映射	27
3.2	简要说明	31
3.2.1	C28x CPU	31
3.2.2	内存总线（哈佛总线架构）	32
3.2.3	外设总线	32
3.2.4	实时 JTAG 和分析	32
3.2.5	外部接口 (XINTF)（只适用于 2812）	32
3.2.6	闪存（只适用于 F281x）	32
3.2.7	ROM（只适用于 C281x）	33
3.2.8	M0, M1 SARAM	33
3.2.9	L0, L1, H0 SARAM	33
3.2.10	引导 ROM	33
3.2.11	安全性	34
3.2.12	外设中断扩展 (PIE) 块	34
3.2.13	外部中断 (XINT1, XINT2, XINT13, XNMI)	35
3.2.14	振荡器和锁相环 (PLL)	35
3.2.15	安全装置	35
3.2.16	外设时钟	35
3.2.17	低功率模式	35
3.2.18	外设帧 0, 1, 2 (PFn)	35
3.2.19	通用输入/输出 (GPIO) 复用器	36
3.2.20	32 位 CPU 定时器 (0, 1, 2)	36
3.2.21	控制外设	36
3.2.22	串行端口外设	37
3.3	寄存器映射	38
3.4	器件仿真寄存器	40
3.5	外部接口, XINTF（只适用于 2812）	41
3.5.1	时序寄存器	42
3.5.2	XREVISION 寄存器	42
3.6	中断	43
3.6.1	外部中断	46
3.7	系统控制	47
3.8	OSC 和 PLL 块	49
3.8.1	输入时钟损耗	50
3.9	基于 PLL 的时钟模块	51
3.10	外部参考振荡器时钟选项	51
3.11	安全装置块	52
3.12	低功率模式块	53
4	外设	54

4.1	32 位 CPU 定时器 0/1/2	54
4.2	事件管理器模块 (EVA, EVB)	57
4.2.1	通用 (GP) 定时器	60
4.2.2	完全比较单元	60
4.2.3	可编程死区发生器	60
4.2.4	PWM 波形生成	60
4.2.5	双更新 PWM 模式	60
4.2.6	PWM 特性	60
4.2.7	捕捉单元	61
4.2.8	正交编码器脉冲 (QEP) 电路	61
4.2.9	外部 ADC 转换开始	61
4.3	增强型模数转换器 (ADC) 模块	61
4.4	增强型控制器局域网 (eCAN) 模块	67
4.5	多通道缓冲串行端口 (McBSP) 模块	72
4.6	串行通信接口 (SCI) 模块	76
4.7	串行外设接口 (SPI) 模块	79
4.8	GPIO MUX	82
5	开发支持	85
5.1	器件和开发支持工具命名规则	85
5.2	文档支持	86
5.3	社区资源	88
6	电气规范	89
6.1	绝对最大额定值	89
6.2	建议的运行条件	89
6.3	建议运行条件下的电气特性 (除非另外注明)	90
6.4	流耗	91
6.5	流耗图	93
6.6	减少流耗	94
6.7	针对 DSP 的无信号缓冲的仿真器连接	95
6.8	电源排序要求	95
6.9	信号转换电平	98
6.10	时序参数符号	99
6.11	定时参数的通用注释	99
6.12	测试负载电路	99
6.13	器件时钟表	100
6.14	时钟要求和特性	101
6.14.1	输入时钟要求	101
6.14.2	输出时钟特性	102
6.15	复位时序	102
6.16	低功耗模式唤醒时序	106
6.17	事件管理器接口	110
6.17.1	PWM 时序	110
6.17.2	中断时序	112
6.18	通用输入/输出 (GPIO) - 输出时序	113
6.19	通用输入/输出 (GPIO) - 输入时序	114
6.20	串行外设接口 (SPI) 主控模式时序	115
6.21	串行外设接口 (SPI) 受控模式时序	121
6.22	外部接口 (XINTF) 时序	125
6.23	XINTF 信号与 XCLKOUT 对齐	129
6.24	外部接口读取时序	130
6.25	外部接口写入时序	132
6.26	带有一个外部等待状态的外部接口读取准备就绪时序	133
6.27	带有一个外部等待状态的外部接口写入准备就绪时序	136

6.28	$\overline{\text{XHOLD}}$ 和 $\overline{\text{XHOLDA}}$	139
6.29	$\overline{\text{XHOLD}}$ / $\overline{\text{XHOLDA}}$ 时序	140
6.30	片载模数转换器	142
6.30.1	ADC 绝对最大额定值	142
6.30.2	在推荐运行条件下的 ADC 电气特性	143
6.30.3	针对不同 ADC 配置的流耗	144
6.30.4	ADC 加电控制位时序	145
6.30.5	详细说明	145
6.30.5.1	基准电压	145
6.30.5.2	模拟输入	145
6.30.5.3	转换器	145
6.30.5.4	转换时间	145
6.30.6	顺序采样模式（单通道）(SMODE = 0)	146
6.30.7	同步采样模式（双通道）(SMODE=1)	147
6.30.8	技术规范和术语的定义	148
6.31	多通道缓冲串行端口 (McBSP) 模块	149
6.31.1	McBSP 发送和接收时序	149
6.31.2	McBSP 作为 SPI 主控或者受控时序	152
6.32	闪存时序（只适用于 F281x）	156
6.33	ROM 时序（只适用于 C281x）	158
6.34	从 F281x 器件到 C281x 器件的迁移	159
7	修订历史记录	160
8	机械数据	161

图片列表

2-1	TMS320F2812 和 TMS320C2812 179 焊球 GHH/ZHH MicroStar BGA™ (底视图)	14
2-2	TMS320F2812 和 TMS320C2812 176 引脚 PGF LQFP (顶视图)	15
2-3	TMS320F2810, TMS320F2811, TMS320C2810, 和 TMS320C2811 128 引脚 PBK LQFP (顶视图)	16
3-1	功能方框图	27
3-2	F2812/C2812 内存映射	28
3-3	F2811/C2811 内存映射	29
3-4	F2810/C2810 内存映射	29
3-5	外部接口方框图	41
3-6	中断源	43
3-7	使用 PIE 块的中断复用	44
3-8	时钟和复位域	47
3-9	OSC 和 PLL 块	49
3-10	推荐的晶振/时钟连接	51
3-11	安全装置模块	52
4-1	CPU 定时器	54
4-2	CPU 定时器中断信号和输出信号	55
4-3	事件管理器 A 功能方框图	60
4-4	F281x 和 C281x ADC 模块方框图	63
4-5	与内部基准的 ADC 引脚连接	64
4-6	与外部基准的 ADC 引脚连接	65
4-7	eCAN 方框图和接口电路	68
4-8	eCAN 内存映射	70
4-9	带有 FIFO 的 McBSP 模块	73
4-10	串行通信接口 (SCI) 模块方框图	78
4-11	串行外设接口模块方框图 (受控模式)	81
4-12	GPIO / 外设引脚复用	84
5-1	TMS320x281x 器件命名规则	86
6-1	F2812/F2811/F2810 在频率范围内的典型流耗	93
6-2	F2812/F2811/F2810 在频率范围内的典型流耗	94
6-3	C2812/C2811/C2810 频率范围内典型流耗	94
6-4	C2812/C2811/C2810 频率范围内典型流耗	94
6-5	针对 DSP 的无信号缓冲的仿真器连接	95
6-6	F2812/F2811/F2810 典型加电和断电序列-选项 2	97
6-7	输出电平	98
6-8	输入电平	98
6-9	3.3V 测试负载电路	99
6-10	时钟时序	102
6-11	微计算机模式中的加电复位 (XMP/MC=0) (请见注释 D)	104
6-12	微处理器模式中的加电复位 (XMP/MC=1)	105
6-13	微计算机模式中的热复位	105
6-14	写入 PLLCR 寄存器所产生的结果	105
6-15	IDLE 进入和退出时序	106
6-16	STANDY 进入和退出时序	108
6-17	使用 XNMI 的 HALT 唤醒	109
6-18	PWM 输出时序	110
6-19	TDIRx 时序	111
6-20	EVASOC 时序	111

6-21	$\overline{\text{EVBSOC}}$ 时序	111
6-22	外部中断时序	112
6-23	通用输出时序	113
6-24	GPIO 输入限定符 - 针对 QUALPRD=1 的示例图	114
6-25	通用输入时序	115
6-26	SPI 主控模式外部时序 (时钟相位 = 0)	117
6-27	SPI 主控外部时序 (时钟相位 = 1)	120
6-28	SPI 受控模式外部时序 (时钟相位 = 0)	122
6-29	SPI 受控模式外部时序 (时钟相位 = 1)	124
6-30	XTIMCLK 和 SYSCLKOUT 之间的关系	128
6-31	示例读取访问	131
6-32	示例写入访问	132
6-33	使用同步 XREADY 访问的样本读取	134
6-34	使用异步 XREADY 访问的样本读取	135
6-35	使用同步 XREADY 访问的写入	137
6-36	使用异步 XREADY 访问的写入	138
6-37	外部接口保持波形	140
6-38	$\overline{\text{XHOLD}}/\overline{\text{XHOLDA}}$ 时序要求 ($\text{XCLKOUT} = 1/2 \text{XTIMCLK}$)	141
6-39	ADC 模拟输入阻抗模型	145
6-40	ADC 加电控制位时序	145
6-41	顺序采样模式 (单通道) 时序	146
6-42	同步采样模式时序	147
6-43	McBSP 接收时序	151
6-44	McBSP 发送时序	151
6-45	作为 SPI 主控或者受控时的 McBSP 时序: CLKSTP=10b, CLKXP=0	152
6-46	作为 SPI 主控或者受控时的 McBSP 时序: CLKSTP= 11b, CLKXP= 0	153
6-47	作为 SPI 主控或者受控时的 McBSP 时序: CLKSTP= 10b, CLKXP= 1	154
6-48	作为 SPI 主控或者受控时的 McBSP 时序: CLKSTP= 11b, CLKXP= 1	155

图表列表

2-1	硬件特性	13
2-2	信号说明	17
3-1	F2812 和 F2811 中的闪存扇区地址	30
3-2	F2810 中闪存扇区的地址	30
3-3	等待状态	31
3-4	引导模式选择	33
3-5	使用安全代码模块的影响	34
3-6	外设帧 0 寄存器	38
3-7	外设帧 1 寄存器	38
3-8	外设帧 2 寄存器	39
3-9	器件仿真寄存器	40
3-10	XINTF 配置和控制寄存器映射	42
3-11	XREVISION 寄存器位定义	42
3-12	PIE 外设中断	44
3-13	PIE 配置和控制寄存器	45
3-14	外部中断寄存器	46
3-15	PLL、计时、安全装置和低功率模式寄存器	48
3-16	PLLCR 寄存器位定义	50
3-17	可能的 PLL 配置模式	51
3-18	F281x 和 C281x 低功耗模式	53
4-1	CPU 定时器 0, 1, 2 配置和控制寄存器	56
4-2	针对 EVA 和 EVB 的模块和信号名称	57
4-3	EVA 寄存器	58
4-4	ADC 寄存器	66
4-5	3.3V eCAN 收发器用于 TMS320F281x 和 TMS320C281x DSP	69
4-6	CAN 寄存器	71
4-7	McBSP 寄存器	74
4-8	SCI-A 寄存器	77
4-9	SCI-B 寄存器	77
4-10	SPI 寄存器	80
4-11	GPIO 复用寄存器	82
4-12	GPIO 数据寄存器	83
5-1	TMS320x281x 外设选择指南	86
6-1	在 150MHz SYSCLKOUT 上的低功耗模式期间的推荐运行条件下, 电源引脚的 TMS320F281x 流耗	91
6-2	在 150MHz SYSCLKOUT 上的低功耗模式期间的推荐运行条件下, 电源引脚的 TMS320C281x 流耗	92
6-3	不同外设的典型流耗 (150MHz 上时)	95
6-4	建议的“低压降稳压器”	96
6-5	TMS320F281x 和 TMS320C281x 时钟表和命名规则	100
6-6	输入时钟频率	101
6-7	XCLKIN 时序要求 - PLL 旁通或者被启用	101
6-8	XCLKIN 时序需求 - PLL 被禁用	101
6-9	可能的 PLL 配置模式	101
6-10	XCLKOUT 开关特性 (PLL 被绕过或者被禁用)	102
6-11	复位 \overline{XRS} 时序要求	102
6-12	IDLE 模式时序要求	106
6-13	IDLE 模式开关特性	106
6-14	STANDBY 模式时序要求	107

6-15	STANDBY 模式开关特性	107
6-16	HALT 模式时序要求	109
6-17	HALT 模式开关特性	109
6-18	PWM 开关特性	110
6-19	定时器和捕捉单元时序要求	110
6-20	外部 ADC 转换开始 - EVA - 开关特性	111
6-21	外部 ADC 转换开始 - EVB - 开关特性	111
6-22	中断开关特性	112
6-23	中断时序要求	112
6-24	通用输出开关特性	113
6-25	通用输入时序要求	115
6-26	SPI 主控模式外部时序 (时钟相位 = 0)	116
6-27	SPI 主控模式外部时序 (时钟相位 = 1)	118
6-28	SPI 受控模式外部时序 (时钟相位 = 0)	121
6-29	SPI 受控模式外部时序 (时钟相位 = 1)	123
6-30	XTIMING 中配置的参数和脉冲持续时间之间的关系	125
6-31	XINTF 时钟配置	128
6-32	外部内存接口读取开关特性	130
6-33	外部存储器接口读取时序要求	130
6-34	外部存储器接口写入开关特性	132
6-35	外部存储器接口读取开关特性 (读取准备就绪, 1 个等待状态)	133
6-36	外部存储器接口读取时序要求 (读取就绪, 1 个等待状态)	133
6-37	同步 XREADY 时序要求 (读取准备就绪, 1 个等待状态)	133
6-38	异步 XREADY 时序要求 (读取准备就绪, 1 个等待状态)	133
6-39	外部存储器接口写入开关特性 (写入准备就绪, 1 个等待状态)	136
6-40	同步 XREADY 时序要求 (写入准备就绪, 1 个等待状态)	136
6-41	异步 XREADY 时序要求 (写入准备就绪, 1 个等待状态)	136
6-42	XHOLD/XHOLDA 时序要求 (XCLKOUT=XTIMCLK)	140
6-43	XHOLD/XHOLDA 时序要求 (XCLKOUT = 1/2 XTIMCLK)	141
6-44	DC 技术规范	143
6-45	AC 技术规范	144
6-46	针对不同 ADC 配置的流耗 (在 25MHz ADCCLK 上)	144
6-47	ADC 加电延迟	145
6-48	顺序采样模式时序	146
6-49	同步采样模式时序	147
6-50	McBSP 时序要求	149
6-51	McBSP 开关特性	150
6-52	McBSP 作为 SPI 主控或者受控时序要求 (CLKSTP=10b, CLKXP=0)	152
6-53	McBSP 作为 SPI 主控或者受控开关特性 (CLKSTP= 10b, CLKXP= 0)	152
6-54	作为 SPI 主控或者受控时的 McBSP 时序要求 (CLKSTP=11b, CLKXP=0)	153
6-55	McBSP 作为 SPI 主控或者受控时的开关特性 (CLKSTP= 11b, CLKXP= 0)	153
6-56	McBSP 作为 SPI 主控或者受控时的时序要求 (CLKSTP= 10b, CLKXP= 1)	154
6-57	McBSP 作为 SPI 主控或者受控时的开关特性 (CLKSTP= 10b, CLKXP= 1)	154
6-58	McBSP 作为 SPI 主控或者受控时的时序要求 (CLKSTP= 11b, CLKXP= 1)	155
6-59	McBSP 作为 SPI 主控或者受控时的开关特性 (CLKSTP= 11b, CLKXP= 1)	155
6-60	对于 A 和 S 温度材料的闪存耐受度	156
6-61	闪存对于 Q 温度材料的耐受度	156
6-62	150MHz SYSCLKOUT 上的闪存参数:	156

6-63	闪存 / OTP 访问时序	157
6-64	不同频率上所要求的最小闪存等待状态 (F281x 器件)	157
6-65	ROM 访问时序	158
6-66	不同频率上所要求的最小 ROM 等待状态 (C281x 器件)	158
8-1	针对 179 焊球 GHH 封装的热阻特性	161
8-2	针对 179 焊球 ZHH 封装的热阻特性	161
8-3	针对 176 引脚 PGF 封装的热阻特性	161
8-4	针对 128 引脚 PBK 封装的热阻特性	161

数字信号处理器

查询样品: [TMS320F2810](#), [TMS320F2811](#), [TMS320F2812](#), [TMS320C2810](#), [TMS320C2811](#), [TMS320C2812](#)

1 TMS320F281x, TMS320C281x DSP

1.1 特性

- 高性能静态 **CMOS** 技术
 - **150MHz** (6.67ns 周期时间)
 - 低功耗 (**135MHz** 时为 **1.8V** 内核电压
150MHz 时为 **1.9V** 内核电压, **3.3V I/O**) 设计
- **JTAG** 边界扫描支持⁽¹⁾
- 高性能 **32 位 CPU (TMS320C28x™)**
 - **16 x 16** 和 **32 x 32** 介质访问控制 (**MAC**) 运算
 - **16 x 16** 双 **MAC**
 - 哈佛 (**Harvard**) 总线架构
 - 连动运算
 - 快速中断响应和处理
 - 统一存储器编程模型
 - **4M** 线性程序/数据地址访问
 - 高效代码 (使用 **C/C++** 和汇编语言)
 - **TMS320F24x/LF240x** 处理器源代码兼容
- 片载存储器
 - 闪存器件: 高达 **128K x 16** 闪存
(四个 **8K x 16** 和六个 **16K x 16** 扇区)
 - **ROM** 器件: 高达 **128K x 16 ROM**
 - **1K x 16** 一次性可编程 (**OTP**) **ROM**
 - **L0** 和 **L1: 4K x 16** 每个单独访问 **RAM (SARAM)** 的 2 个块
 - **H0: 8K x 16 SARAM** 的 1 个块
 - **M0** 和 **M1: 1K x 16** 每个 **SARAM** 的 2 个块
- 引导 **ROM (4K x 16)**
 - 带有软件引导模式
 - 标准算术表
- 外部接口 (**2812**)
 - 超过 **1M x 16** 的总体内存
 - 可编程等待状态
 - 可编程读/写选通定时
 - 三个单独的芯片选择
- 字节序: 小端序
- 时钟和系统控制
 - 支持动态锁相环 (**PLL**) 比率变化
 - 片载振荡器
 - 安全装置定时器模块
- 三个外部中断
- 可支持 **45** 个外设中断的外设中断扩展 (**PIE**) 块
- 三个 **32 位 CPU** 定时器
- **128 位安全密钥/锁**
 - 保护闪存 / **ROM/OTP** 和 **L0/L1SARAM**
 - 防止固件逆向工程操作
- 电机控制外设
 - 两个事件管理器 (**EVA, EVB**)
 - 与 **240xA** 器件兼容
- 串行端口外设
 - 串行外设接口 (**SPI**)
 - 两个串行通信接口 (**SCI**), 标准通用异步收发器 (**UART**)
 - 增强型控制器局域网络 (**eCAN**)
 - 多通道缓冲串行端口 (**McBSP**)
- **12 位模数转换器 (ADC), 16 个通道**
 - **2 x 8** 通道输入复用器
 - 两个采样保持
 - 单一/同步转换
 - 快速转换速率: **80ns/12.5**每秒百万次采样 (**MSPS**)
- 多达 **56** 个通用 **I/O (GPIO)** 引脚
- 高级仿真特性
 - 分析和断点功能
 - 借助硬件的实时调试
- 开发工具包括
 - **ANSI C/C++** 编译器/汇编语言/连接器
 - **Code Composer Studio™ IDE**
 - **DSP/BIOS™**
 - **JTAG** 扫描控制器⁽¹⁾
- 低功耗模式和省电模式
 - 支持 **IDLE** (空闲)、**STANDBY** (待机)、**HALT** (暂停) 模式
 - 可禁用独立外设时钟

(1) IEEE 标准 1149.1-1990 IEEE 标准测试访问端口和边界扫描架构



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

MicroStar BGA, TMS320C28x, Code Composer Studio, DSP/BIOS, C28x, TMS320C2000, TI, TMS320C54x, TMS320C55x, TMS320 are trademarks of Texas Instruments.

eZdsp is a trademark of Spectrum Digital Incorporated.

All other trademarks are the property of their respective owners.

- 封装选项
 - 179 焊球 **MicroStar BGA™** 带有外部存储器接口 (**GHH, ZHH**)(2812)
 - 带有外部存储器接口 (**PGF**) (2812) 的 176 引脚薄型四方扁平封装 (**LQFP**)
 - 无外部存储器接口 (**PBK**) (2810, 2811) 的 128 引脚 **LQFP** 封装
- 温度选项
 - **A**: -40°C 至 85°C (**GHH, ZHH, PGF, PBK**)
 - **S**: -40°C 至 125°C (**GHH, ZHH, PGF, PBK**)
 - **Q**: -40°C 至 125°C (**PGF, PBK**) [Q100 标准]

1.2 开始使用

这个部分给出了首次进行 C28x™ 器件开发时所采取步骤的概述。有关这些步骤的详细情况，请参阅：

- 《开始使用 TMS320C28x 数字信号控制器》（文献号：SPRAAM0）。
- C2000 开始使用网站 (<http://www.ti.com/c2000getstarted>)
- TMS320F28x MCU 开发和实验板套件 (<http://www.ti.com/f28xkits>)

2 简介

这个部分提供了每个器件特性的汇总、列出了引脚分配、并描述了每个引脚的功能。这个文档还给出了外设的详细描述、电气规范、参数测量信息、和与可用封装相关的机械数据。

2.1 说明

TMS320F2810, TMS320F2811, TMS320F2812, TMS320C2810, TMS320C2811, 和 TMS320C2812 器件, TMS320C28x™ DSP 系列产品成员, 是针对要求严格控制应用的高度集成、高性能解决方案。在 [节 3](#), 功能概述中对功能块和内存映射进行了说明。

在整个文档中, TMS320F2810, TMS320F2811, and TMS320F2812 分别被简写为 F2810, F2811, F2812。F281x 代表所有三个闪存器件。TMS320C2810, TMS320C2811, 和 TMS320C2812 分别被简写为 C2810, C2811, 和 C2812。C281x 代表所有三个 ROM 器件。2810 代表 F2810 和 C2810 器件; 2811 代表 F2811 和 C2811 器件; 2812 代表 F2812 和 C2812 器件。

2.2 器件概述

表 2-1 提供了每个器件特性的汇总。

表 2-1. 硬件特性⁽¹⁾

功能:	类型 ⁽²⁾	F2810	F2811	F2812	C2810	C2811	C2812
指令周期 (150MHz 时)	-	6.67ns	6.67ns	6.67ns	6.67ns	6.67ns	6.67ns
单周期访问 RAM (SARAM) (16 位字)	-	18K	18K	18K	18K	18K	18K
3.3V 片载闪存 (16 位字)	-	64K	128K	128K	-	-	-
片载 ROM (16 位字)	-	-	-	-	64K	128K	128K
针对片载闪存 / SARAM/OTP/ROM 的代码安全	-	支持	支持	支持	支持	支持	支持
引导 ROM	-	支持	支持	支持	支持	支持	支持
OTP ROM (1K x 16)	-	支持	支持	支持	支持 ⁽³⁾	支持 ⁽³⁾	支持 ⁽³⁾
外部存储器接口	0	-	-	支持	-	-	支持
事件管理器 A 和 B (EVA 和 EVB)	-	EVA, EVB	EVA, EVB	EVA, EVB	EVA, EVB	EVA, EVB	EVA, EVB
• 通用 (GP) 定时器	-	4	4	4	4	4	4
• 比较 (CMP)/PWM	0	16	16	16	16	16	16
• 捕捉 (CAP) / 正交编码脉冲 (QEP) 通道	0	6/2	6/2	6/2	6/2	6/2	6/2
安全装置定时器	-	支持	支持	支持	支持	支持	支持
12 位模数转换器 (ADC)	0	支持	支持	支持	支持	支持	支持
• 通道		16	16	16	16	16	16
32 位 CPU 定时器	-	3	3	3	3	3	3
串行外设接口 (SPI)	0	支持	支持	支持	支持	支持	支持
串行通信接口 A 和 B (SCIA 和 SCIB)	0	SCIA, SCIB	SCIA, SCIB	SCIA, SCIB	SCIA, SCIB	SCIA, SCIB	SCIA, SCIB
控制器局域网 (CAN)	0	支持	支持	支持	支持	支持	支持
多通道缓冲串行端口 (McBSP)	0	支持	支持	支持	支持	支持	支持
数字 I/O 引脚 (共用)	-	56	56	56	56	56	56
外部中断	-	3	3	3	3	3	3
电源电压	-	1.8V 内核 (135MHz), 1.9V 内核 (150MHz), 3.3V I/O					
封装	128 引脚 PBK	-	支持	支持	-	支持	支持
	176 引脚 PGF		-	-	支持	-	支持
	179 焊球 GHH		-	-	支持	-	支持
	179 焊球 ZHH		-	-	支持	-	支持
温度选项	A: -40°C 至 85°C	-	支持	支持	支持	支持	支持
	S: -40°C 至 125°C	-	支持	支持	支持	支持	支持
	Q: -40°C 至 125°C (Q100 标准)	-	支持	支持	只提供 PGF 封装	支持	只提供 PGF 封装
产品状态 ⁽⁴⁾	-	TMS	TMS	TMS	TMS	TMS	TMS

(1) 《TMS320F2810, TMS320F2811, TMS320F2812, TMS320C2810, TMS320C2811, TMS320C2812 DSP 芯片勘误表》(文献编号 [SPRZ193](#)) 已经发布在德州仪器 (TI) 的网站上。它将按需要进行更新。

(2) 一个类型变化代表一个外设模块中的主要功能特性的差异。在一个外设类型内, 器件之间会有细微差异, 而这些差异不会影响模块的基本功能性。这些特定器件差异显示在《TMS320x28xx, 28xxx DSP 外设参考手册》(文献号 [SPNU566](#)) 列表中和外设参考指南中。

(3) 在 C281x 器件上, OTP 被一个 ROM 的 1K x 16 块所取代。

(4) 器件级说明, 请见节 5.1, 器件和开发支持工具命名规则。

2.3 引脚分配

图 2-1 图示了 179 焊球 GHH 和 ZHH 焊球栅格阵列 (BGA) 封装的焊球位置。图 2-2 显示了 176 引脚 PGF 薄型四方扁平 (LQFP) 封装的引脚分配, 而图 2-3 显示了 128 引脚 PBK LQFP 的引脚分配。表 2-2 说明了每个引脚的功能。

2.3.1 GHH/ZHH 封装的端子分配

每个端子功能的说明请见表 2-2。

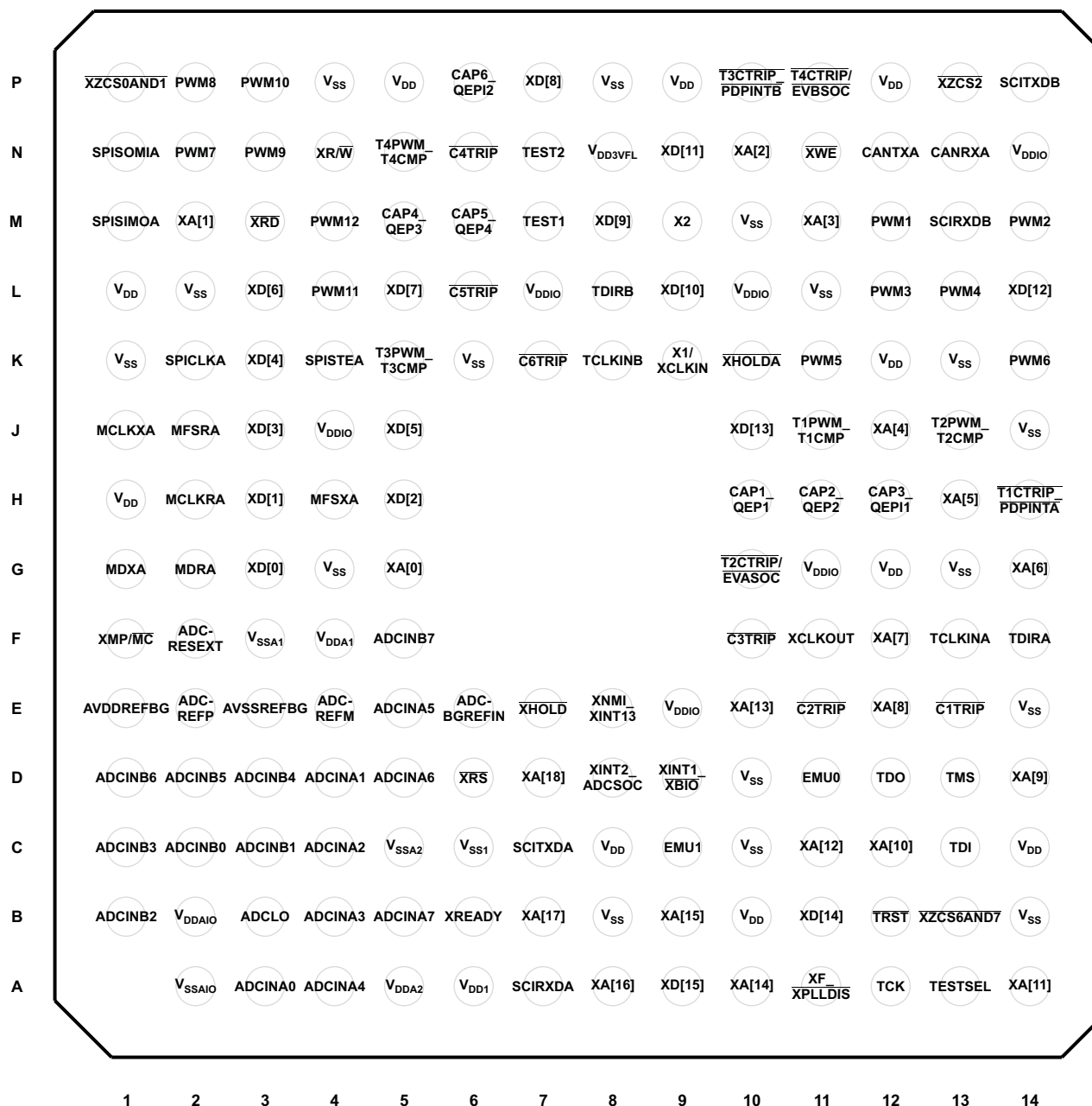


图 2-1. TMS320F2812 和 TMS320C2812 179 焊球 GHH/ZHH MicroStar BGA™ (底视图)

2.3.2 PGF 封装的引脚分配

图 2-2 中显示了 TMS320F2812 和 TMS320C2812 176 引脚 PGF 薄型四方扁平封装 (LQFP) 的引脚分配。每个引脚功能的说明请见表 2-2。

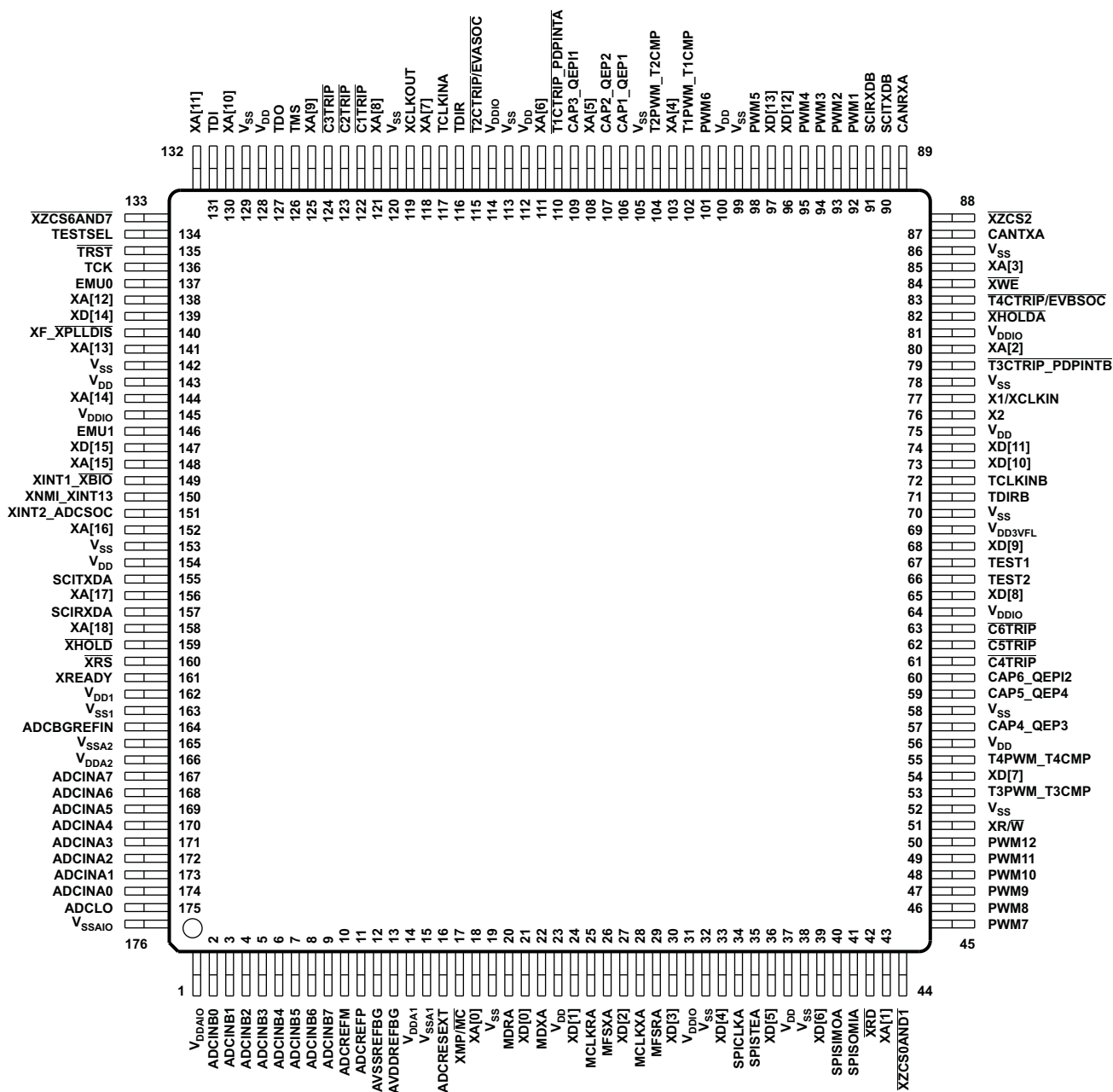


图 2-2. TMS320F2812 和 TMS320C2812 176 引脚 PGF LQFP (顶视图)

2.3.3 PBK 封装的引脚分配

图 2-3 中显示了 TMS320F2810, TMS320F2811, TMS320C2810, 和 TMS320C2811 128 引脚 PBK 薄型四方扁平封装 (LQFP) 的引脚分配。每个引脚功能的说明请见表 2-2

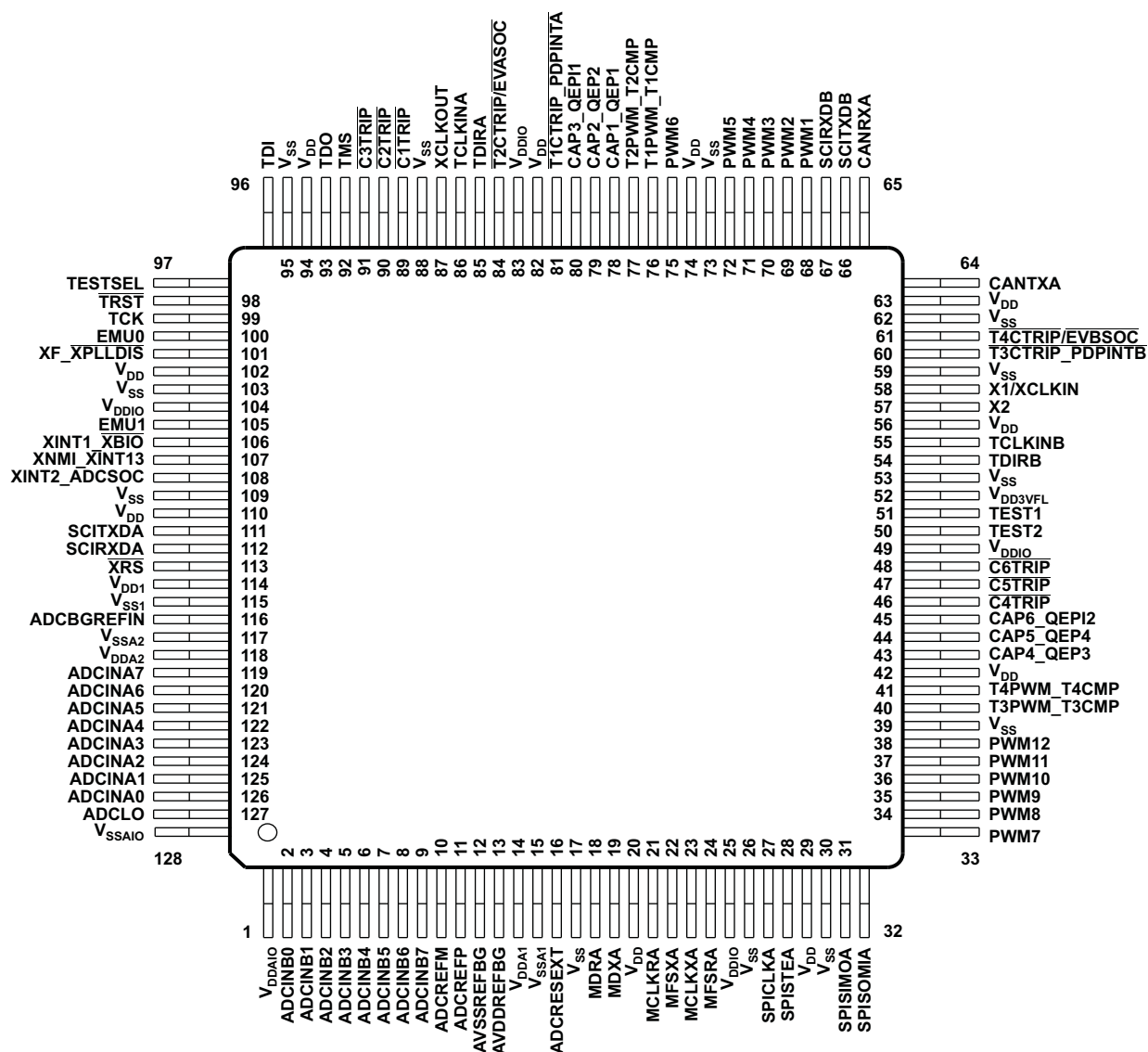


图 2-3. TMS320F2810, TMS320F2811, TMS320C2810, 和TMS320C2811 128 引脚 PBK LQFP (顶视图)

2.4 信号说明

表 2-2 指定了 F281x 和 C281x 器件的信号。所有数字输入是 TTL 兼容的。所有输出为带有 CMOS 电平的 3.3V 电压。输入不是 5V 耐压。使用了一个 100 μ A（或者 20 μ A）的上拉/下拉。

表 2-2. 信号说明⁽¹⁾

名称	引脚编号			I/O/Z ⁽²⁾	PU/PD ⁽³⁾	说明
	179 焊球 GHH/ZHH 封装	176 引脚 PGF 封装	128 引脚 PBK 封装			
XINTF 信号（只适用于 2812 器件）						
XA[18]	D7	158	-	O/Z	-	19 位 XINTF 地址总线
XA[17]	B7	156	-	O/Z	-	
XA[16]	A8	152	-	O/Z	-	
XA[15]	B9	148	-	O/Z	-	
XA[14]	A10	144	-	O/Z	-	
XA[13]	E10	141	-	O/Z	-	
XA[12]	C11	138	-	O/Z	-	
XA[11]	A14	132	-	O/Z	-	
XA[10]	C12	130	-	O/Z	-	
XA[9]	D14	125	-	O/Z	-	
XA[8]	E12	121	-	O/Z	-	
XA[7]	F12	118	-	O/Z	-	
XA[6]	G14	111	-	O/Z	-	
XA[5]	H13	108	-	O/Z	-	
XA[4]	J12	103	-	O/Z	-	
XA[3]	M11	85	-	O/Z	-	
XA[2]	N10	80	-	O/Z	-	
XA[1]	M2	43	-	O/Z	-	
XA[0]	G5	18	-	O/Z	-	
XD[15]	A9	147	-	I/O/Z	PU	16 位 XINTF 数据总线
XD[14]	B11	139	-	I/O/Z	PU	
XD[13]	J10	97	-	I/O/Z	PU	
XD[12]	L14	96	-	I/O/Z	PU	
XD[11]	N9	74	-	I/O/Z	PU	
XD[10]	L9	73	-	I/O/Z	PU	
XD[9]	M8	68	-	I/O/Z	PU	
XD[8]	P7	65	-	I/O/Z	PU	
XD[7]	L5	54	-	I/O/Z	PU	
XD[6]	L3	39	-	I/O/Z	PU	
XD[5]	J5	36	-	I/O/Z	PU	
XD[4]	K3	33	-	I/O/Z	PU	
XD[3]	J3	30	-	I/O/Z	PU	
XD[2]	H5	27	-	I/O/Z	PU	
XD[1]	H3	24	-	I/O/Z	PU	
XD[0]	G3	21	-	I/O/Z	PU	

(1) 对于除 TDO, XCLKOUT, XF, XINTF, EMU0, 和 EMU1 引脚（输出缓冲器的驱动强度为 8mA）之外的所有引脚，输出缓冲器的典型驱动强度为 4mA。

(2) I = 输入, O = 输出, Z = 高阻抗

(3) PU = 引脚有内部上拉电阻; PD = 引脚有内部下拉电阻。Section 6.3, 推荐运行条件下电气特性, 中指定了上拉/下拉强度, 在边界扫描模式中, 上拉/下拉被启用。

表 2-2. 信号说明⁽¹⁾ (continued)

名称	引脚编号			I/O/Z ⁽²⁾	PU/PD ⁽³⁾	说明
	179 焊球 GHH/ZHH 封装	176 引脚 PGF 封装	128 引脚 PBK 封装			
XMP/MC	F1	17	-	I	PD	微处理器/微计算机模式选择。微处理器和微计算机模式间的切换。当处于高电平时，区域 7 在外部接口上启用。当为低电平时，区域 7 被从外部接口禁用，可访问片载引导 ROM 作为替代。在复位时，这个信号被锁存在 XINTCNF2 寄存器中，并且用户可在软件中修改这个位。复位后，XMP/MC 引脚的状态被忽略。
XHOLD	E7	159	-	I	PU	外部保持请求。XHOLD，当有效时（低电平），请求 XINIF 释放外部总线并将所有总线和选通闸门置于一个高阻抗状态。当任一当前的访问完成并且在 XINIF 上没有等待的访问时，XINIF 将释放总线。
XHOLDA	K10	82	-	O/Z	-	外部保持应答。当 XININ 已经准予一个 XHOLD 请求时，XHOLDA 被驱动至有效（低电平）。所有 XINIF 总线和选通闸门将处于高阻抗状态。当 XHOLD 信号被释放时，XHOLDA 被释放。当 XHOLDA 为有效（低电平）时，外部器件应该只驱动外部总线。
XZCS0AND1	P1	44	-	O/Z	-	XINTF 区域 0 和区域 1 芯片选择。当执行一个到 XINIF 区域 0 或者区域 1 的访问时，XZCS0AND1 为低电平。
XZCS2	P13	88	-	O/Z	-	XINTF 区域 2 芯片选择。当执行到 XINIF 区域 2 的访问时，XZCS2 为有效（低电平）。
XZCS6AND7	B13	133	-	O/Z	-	XINIF 区域 6 和区域 7 芯片选择。当执行一个到 XINIF 区域 6 或者区域 7 的访问时，XZCS6AND7 为有效（低电平）。
XWE	N11	84	-	O/Z	-	写入启用。低电平有效写入选通脉冲。以每个区域为基础，写入选通脉冲的波形由 XTIMINGx 寄存器内的建立、激活、和跟踪周期指定。
XRD	M3	42	-	O/Z	-	读取启用。低电平有效读取选通脉冲。以每个区域为基础，读取选通脉冲的波形由 XTIMINGx 寄存器内的建立、激活、和跟踪周期指定。注释：XRD 和 XWE 信号是相互排斥的。
XR/W	N4	51	-	O/Z	-	只读不写选通脉冲。通常保持高电平。当为低电平时，XR/W 表明写入周期被激活；当为高电平时，XR/W 表明读取周期有效。
XREADY	B6	161	-	I	PU	就绪信号。当被置为 1 时，表明外设已经为完成访问做好准备。XREADY 可被配置成一个同步或者异步输入。更多细节请见时序图。

表 2-2. 信号说明⁽¹⁾ (continued)

名称	引脚编号			I/O/Z ⁽²⁾	PU/PD ⁽³⁾	说明
	179 焊球 GHH/ZHH 封装	176 引脚 PGF 封装	128 引脚 PBK 封装			
JTAG 和混合信号						
X1/XCLKIN	K9	77	58	I	-	振荡器输入 - 输入到内部振荡器。这个引脚也被用于提供一个外部时钟。28x 可由一个外部时钟源操作，只要适当的电压电平在 X1/XCLKIN 引脚上被驱动。应该注意的是，X1/XCLKIN 引脚以 1.8V（或者 1.9V）内核数字电源（V _{DD} ）为基准，而不是 3.3V I/O 电源（V _{DDIO} ）。可使用一个钳位二极管来钳制一个缓冲时钟信号，从而确保逻辑高电平不会超过 V _{DD} （1.8V 或者 1.9V）或者可能由振荡器使用的一个 1.8V 电压。
X2	M9	76	57	O	-	振荡器输出
XCLKOUT	F11	119	87	O	-	取自 SYSCLKOUT 的输出时钟被用于外部等待状态生成并作为一个通用时钟源。XCLKOUT 或者与 SYSCLKOUT 的频率相同，或者为 SYSCLKOUT 频率的 1/2 或者 1/4。复位时，XCLKOUT=SYSCLKOUT/4。通过将 XINTCNF2 寄存器中的位 3 (CLKOFF) 设定为 1，可将 XCLKOUT 信号关闭。与其它 GPIO 引脚不同，复位时，不将 XCLKOUT 引脚置于一个高阻抗状态。
TESTSEL	A13	134	97	I	PD	测试引脚。为 TI 保留。必须接地。
$\overline{\text{XRS}}$	D6	160	113	I/O	PU	器件复位（输入）和安全装置复位（输出）。 器件复位。 $\overline{\text{XRS}}$ 导致器件终止执行。PC 将指向包含在位置 0x3FFFC0 中的地址。当 $\overline{\text{XRS}}$ 被置为高电平时，在 PC 指向的位置开始执行。当一个安全装置复位发生时，这个引脚被 DSP 驱动至低电平。安全装置复位期间， $\overline{\text{XRS}}$ 引脚将在 512 个XCLKIN 周期的安全装置复位持续时间内被驱动至低电平。 这个引脚的输出缓冲器是一个有内部上拉电阻（100μA，典型值）的开漏器件。建议由一个开漏器件驱动这个引脚。
TEST1	M7	67	51	I/O	-	测试引脚。为 TI 保留。在 F281x 器件上，TEST1 必须保持未连接。在 C281x 器件上，这个引脚是一个“无连接(NC)”（也就是说，这个引脚不被连接至器件内部的任何电路）。
TEST2	N7	66	50	I/O	-	测试引脚。为 TI 保留。在 F281x 器件上，TEST2 必须保持未连接。在 C281x 器件上，这个引脚为“无连接 (NC)”（即，这个引脚未被连接至器件内部的任一电路）。

表 2-2. 信号说明⁽¹⁾ (continued)

名称	引脚编号			I/O/Z ⁽²⁾	PU/PD ⁽³⁾	说明
	179 焊球 GHH/ZHH 封装	176 引脚 PGF 封装	128 引脚 PBK 封装			
JTAG						
$\overline{\text{TRST}}$	B12	135	98	I	PD	使用内部下拉进行 JTAG 测试复位。 $\overline{\text{TRST}}$ ，当被驱动为高电平时，使扫描系统获得器件运行的控制权。如果这个信号未连接或者被驱动至低电平，此器件在功能模式下运转，并且测试复位信号被忽略。 注释： 不要在 $\overline{\text{TEST}}$ 上使用上拉电阻器；它有一个内部下拉器件。 $\overline{\text{TRST}}$ 是一个高电平有效测试引脚并且必须在正常器件运行期间一直保持低电平。在一个低噪声环境中， $\overline{\text{TRST}}$ 可保持悬空。在其它情况下，强烈建议使用一个外部下拉电阻器。这个电阻器的值应该基于适用于这个设计的调试器推进源代码的驱动强度。一个 2.2k Ω 电阻器一般提供足够的保护。由于这是应用专用的，建议针对调试器和应用的正确运行对每个目标板进行验证。
TCK	A12	136	99	I	PU	带有内部上拉电阻的 JTAG 测试时钟
TMS	D13	126	92	I	PU	带有内部上拉电阻的 JTAG 测试模式选择 (TMS)。这个串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。
TDI	C13	131	96	I	PU	带有内部上拉电阻的 JTAG 测试数据输入 (TDI)。TDI 在 TCK 的上升沿上所选择的寄存器（指令或者数据）内计时。
TDO	D12	127	93	O/Z	-	JTAG 扫描输出，测试数据输出 (TDO)。所选寄存器（指令或者数据）的内容被从 TCK 下降沿上的 TDO 移出。
EMU0	D11	137	100	I/O/Z	PU	仿真器引脚 0。当 $\overline{\text{TRST}}$ 被驱动至高电平时，这个引脚被用作一个到（或者来自）仿真器系统的中断并且在 JTAG 扫面过程中被定义为输入/输出。这个引脚也被用于将器件置于边界扫面模式中。在 EMU0 引脚处于逻辑高电平状态并且 EMU1 引脚处于逻辑低电平状态时， $\overline{\text{TRST}}$ 引脚的上升沿将把器件锁存在边界扫面模式。 注释： 建议在这个引脚上连接一个外部上拉电阻器。这个电阻器的值应该基于适用于这个设计的调试器推进源代码的驱动强度。通常一个 2.2k Ω 至 4.7k Ω 的电阻器已可以满足要求。由于这是应用专用的，建议针对调试器和应用正确运行对每个目标板进行验证。
EMU1	C9	146	105	I/O/Z	PU	仿真器引脚 1。当 $\overline{\text{TRST}}$ 被驱动至高电平时，这个引脚被用作一个到（或者来自）仿真器系统的中断并且在 JTAG 扫面过程中被定义为输入/输出。这个引脚也被用于将器件置于边界扫面模式中。在 EMU0 引脚处于逻辑高电平状态并且 EMU1 引脚处于逻辑低电平状态时， $\overline{\text{TRST}}$ 引脚的上升沿将把器件锁存在边界扫面模式。 注释： 建议在这个引脚上连接一个外部上拉电阻器。这个电阻器的值应该基于适用于这个设计的调试器推进源代码的驱动强度。通常一个 2.2k Ω 至 4.7k Ω 的电阻器已可以满足要求。由于这是应用专用的，建议针对调试器和应用的正确运行对每个目标板进行验证。
ADC 模拟输入信号						

表 2-2. 信号说明⁽¹⁾ (continued)

名称	引脚编号			I/O/Z ⁽²⁾	PU/PD ⁽³⁾	说明
	179 焊球 GHH/ZHH 封装	176 引脚 PGF 封装	128 引脚 PBK 封装			
ADCINA7	B5	167	119	I	-	针对 采样和保持A 的 8 通道模拟输入。在 V _{DDA1} , V _{DDA2} , 和 V _{DDAIO} 引脚被完全加电之 前, 不应驱动 ADC 引脚。
ADCINA6	D5	168	120	I	-	
ADCINA5	E5	169	121	I	-	
ADCINA4	A4	170	122	I	-	
ADCINA3	B4	171	123	I	-	
ADCINA2	C4	172	124	I	-	
ADCINA1	D4	173	125	I	-	
ADCINA0	A3	174	126	I	-	
ADCINB7	F5	9	9	I	-	针对 采样和保持B 的 8 通道模拟输入。 在V _{DDA1} , V _{DDA2} , 和 V _{DDAIO} 引脚被完全加电之 前, 不应驱动 ADC 引脚。
ADCINB6	D1	8	8	I	-	
ADCINB5	D2	7	7	I	-	
ADCINB4	D3	6	6	I	-	
ADCINB3	C1	5	5	I	-	
ADCINB2	B1	4	4	I	-	
ADCINB1	C3	3	3	I	-	
ADCINB0	C2	2	2	I	-	
ADCREFP	E2	11	11	I/O	-	ADC 电压基准输出 (2V)。要求一个 10μF 的低 ESR (低于 1.5Ω) 陶瓷旁路电容器接至模拟接 地。 [如果软件位被针对这个模式启用, 可接受外部 基准输入 (2V)。1-10μF 低 ESR 电容器可被用 在外部基准模式中。] 注释: 使用 ADC 时钟速率从系统中使用的电容 器数据表中得出 ESR 技术规格。
ADCREFM	E4	10	10	I/O	-	ADC 电压基准输出 (1V)。要求一个 10μF 的低 ESR (低于 1.5Ω) 陶瓷旁路电容器接至模拟接 地。 [如果软件位被针对这个模式启用, 可接受外部 基准输入 (1V)。1-10μF 低 ESR 电容器可被用 在外部基准模式中。] 注释: 使用 ADC 时钟速率从系统中使用的电容 器数据表中得出 ESR 技术规格。
ADCRESEXT	F2	16	16	O	-	ADC 外部电流偏置电阻器。 针对 1-18.75MHz 的 ADC 时钟范围, 使用 24.9kΩ±5% 的电阻值; 针对 18.75MHz-25MHz 的 ADC 时钟范围, 使用 20kΩ±5% 的电阻值。
ADCBGREFIN	E6	164	116	-	-	测试引脚。为 TI 保留。必须被保持未连接。
AVSSREFBG	E3	12	12	-	-	ADC 模拟 GND
AVDDREFBG	E1	13	13	-	-	ADC 模拟电源 (3.3V)
ADCLO	B3	175	127	-	-	常用低侧模拟输入。连接到模拟接地。
V _{SSA1}	F3	15	15	-	-	ADC 模拟 GND
V _{SSA2}	C5	165	117	-	-	ADC 模拟 GND
V _{DDA1}	F4	14	14	-	-	ADC 模拟 3.3V 电源
V _{DDA2}	A5	166	118	-	-	ADC 模拟 3.3V 电源
V _{SS1}	C6	163	115	-	-	ADC 数字 GND
V _{DD1}	A6	162	114	-	-	ADC 数字 1.8V (或 1.9V) 电源
V _{DDAIO}	B2	1	1	-	-	3.3V 模拟 I/O 电源引脚
V _{SSAIO}	A2	176	128	-	-	模拟 I/O 接地引脚

电源信号

表 2-2. 信号说明⁽¹⁾ (continued)

名称	引脚编号			I/O/Z ⁽²⁾	PU/PD ⁽³⁾	说明
	179 焊球 GHH/ZHH 封装	176 引脚 PGF 封装	128 引脚 PBK 封装			
V _{DD}	H1	23	20	-	-	1.8V 或者 1.9V 内核数字电源引脚。对于电压要求，请见Section 6.2，建议运行条件。
V _{DD}	L1	37	29	-	-	
V _{DD}	P5	56	42	-	-	
V _{DD}	P9	75	56	-	-	
V _{DD}	P12	-	63	-	-	
V _{DD}	K12	100	74	-	-	
V _{DD}	G12	112	82	-	-	
V _{DD}	C14	128	94	-	-	
V _{DD}	B10	143	102	-	-	
V _{DD}	C8	154	110	-	-	
V _{SS}	G4	19	17	-	-	内核与数字 I/O 接地引脚
V _{SS}	K1	32	26	-	-	
V _{SS}	L2	38	30	-	-	
V _{SS}	P4	52	39	-	-	
V _{SS}	K6	58	-	-	-	
V _{SS}	P8	70	53	-	-	
V _{SS}	M10	78	59	-	-	
V _{SS}	L11	86	62	-	-	
V _{SS}	K13	99	73	-	-	
V _{SS}	J14	105	-	-	-	
V _{SS}	G13	113	-	-	-	
V _{SS}	E14	120	88	-	-	
V _{SS}	B14	129	95	-	-	
V _{SS}	D10	142	-	-	-	
V _{SS}	C10	-	103	-	-	
V _{SS}	B8	153	109	-	-	3.3V I/O 数字电源引脚
V _{DDIO}	J4	31	25	-	-	
V _{DDIO}	L7	64	49	-	-	
V _{DDIO}	L10	81	-	-	-	
V _{DDIO}	N14	-	-	-	-	
V _{DDIO}	G11	114	83	-	-	3.3V 闪存内核电源引脚。在加电序列的要求被满足后，这个引脚应该被一直连接至 3.3V。这个引脚被用作 ROM 部件中的 V _{DDIO} 并且也必须被接至 ROM 部件中的 3.3V。
V _{DDIO}	E9	145	104	-	-	
V _{DD3VFL}	N8	69	52	-	-	
GPIO 或者外设信号						
GPIO 或者 EVA 信号						
GPIOA0-PWM1 (O)	M12	92	68	I/O	PU	GPIO 或者 PWM 输出引脚 #1
GPIOA1-PWM2 (O)	M14	93	69	I/O	PU	GPIO 或者 PWM 输出引脚 #2
GPIOA2-PWM3 (O)	L12	94	70	I/O	PU	GPIO 或者 PWM 输出引脚 #3
GPIOA3-PWM4 (O)	L13	95	71	I/O	PU	GPIO 或者 PWM 输出引脚 #4
GPIOA4-PWM5 (O)	K11	98	72	I/O	PU	GPIO 或者 PWM 输出引脚 #5
GPIOA5-PWM6 (O)	K14	101	75	I/O	PU	GPIO 或者 PWM 输出引脚 #6
GPIOA6-T1PWM_T1CMP(I)	J11	102	76	I/O	PU	GPIO 或者定时器 1 输出
GPIOA7-T2PWM_T2CMP(I)	J13	104	77	I/O	PU	GPIO 或者定时器 2 输出

表 2-2. 信号说明⁽¹⁾ (continued)

名称	引脚编号			I/O/Z ⁽²⁾	PU/PD ⁽³⁾	说明
	179 焊球 GHH/ZHH 封装	176 引脚 PGF 封装	128 引脚 PBK 封装			
GPIOA8-CAP1_QEP1 (I)	H10	106	78	I/O	PU	GPIO 或者捕捉输入 #1
GPIOA9-CAP2_QEP2 (I)	H11	107	79	I/O	PU	GPIO 或者捕捉输入 #2
GPIOA10-CAP3_QEP1 (I)	H12	109	80	I/O	PU	GPIO 或者捕捉输入 #3
GPIOA11-TDIRA (I)	F14	116	85	I/O	PU	GPIO 或者定时器方向
GPIOA12-TCLKINA (I)	F13	117	86	I/O	PU	GPIO 或者定时器时钟输入
GPIOA13-C1TRIP (I)	E13	122	89	I/O	PU	GPIO 或者比较 1 输出触发
GPIOA14-C2TRIP (I)	E11	123	90	I/O	PU	GPIO 或者比较 2 输出触发
GPIOA15-C3TRIP (I)	F10	124	91	I/O	PU	GPIO 或者比较 3 输出触发
GPIOB 或者 EVB 信号						
GPIOB0-PWM7 (O)	N2	45	33	I/O	PU	GPIO 或者 PWM 输出引脚 #7
GPIOB1-PWM8 (O)	P2	46	34	I/O	PU	GPIO 或者 PWM 输出引脚 #8
GPIOB2-PWM9 (O)	N3	47	35	I/O	PU	GPIO 或者 PWM 输出引脚 #9
GPIOB3-PWM10 (O)	P3	48	36	I/O	PU	GPIO 或者 PWM 输出引脚 #10
GPIOB4-PWM11 (O)	L4	49	37	I/O	PU	GPIO 或者 PWM 输出引脚 #11
GPIOB5-PWM12 (O)	M4	50	38	I/O	PU	GPIO 或者 PWM 输出引脚 #12
GPIOB6-T3PWM_T3CMP(I)	K5	53	40	I/O	PU	GPIO 或者定时器 3 输出
GPIOB7-T4PWM_T4CMP(I)	N5	55	41	I/O	PU	GPIO 或者定时器 4 输出
GPIOB8-CAP4_QEP3 (I)	M5	57	43	I/O	PU	GPIO 或者捕捉输入 #4
GPIOB9-CAP5_QEP4 (I)	M6	59	44	I/O	PU	GPIO 或者捕捉输入 #5
GPIOB10-CAP6_QEP2 (I)	P6	60	45	I/O	PU	GPIO 或者捕捉输入 #6
GPIOB11-TDIRB (I)	L8	71	54	I/O	PU	GPIO 或者定时器方向
GPIOB12-TCLKINB (I)	K8	72	55	I/O	PU	GPIO 或者定时器时钟输入
GPIOB13-C4TRIP (I)	N6	61	46	I/O	PU	GPIO 或者比较 4 输出触发
GPIOB14-C5TRIP (I)	L6	62	47	I/O	PU	GPIO 或者比较 5 输出触发
GPIOB15-C6TRIP (I)	K7	63	48	I/O	PU	GPIO 或者比较 6 输出触发
GPIOD 或者 EVA 信号						
GPIOD0-T1CTRIIP_PDPINTA(I)	H14	110	81	I/O	PU	GPIO 或者定时器 1 比较输出触发
GPIOD1-T2CTRIIP/EVASOC (I)	G10	115	84	I/O	PU	GPIO 或者定时器 2 比较输出触发或者外部 ADC 转换开始 EV-A
GPIOD 或者 EVB 信号						
GPIOD5-T3CTRIIP_PDPINTB (I)	P10	79	60	I/O	PU	GPIO 或者定时器 3 比较输出触发
GPIOD6-T4CTRIIP/EVBSOC (I)	P11	83	61	I/O	PU	GPIO 或者定时器 4 比较输出触发或者外部 ADC 转换开始 EV-B
GPIOE 或者中断信号						
GPIOE0-XINT1_XBIO (I)	D9	149	106	I/O/Z	-	GPIO 或者 XINT1 或者 XBIO 输入
GPIOE1-XINT2_ADCSOC(I)	D8	151	108	I/O/Z	-	GPIO 或者 XINT2 或者 ADC 转换开始
GPIOE2-XNMI_XINT13 (I)	E8	150	107	I/O	PU	GPIO 或者 XNMI 或者 XINT13
GPIOF 或者 SPI 信号						
GPIOF0-SPISIMOA (O)	M1	40	31	I/O/Z	-	GPIO 或者 SPI 从器件输入, 主器件输出
GPIOF1-SPISOMIA (I)	N1	41	32	I/O/Z	-	GPIO 或者 SPI 从器件输出, 主器件输入
GPIOF2-SPICLKA (I/O)	K2	34	27	I/O/Z	-	GPIO 或者 SPI 时钟
GPIOF3-SPISTEA (I/O)	K4	35	28	I/O/Z	-	GPIO 或者 SPI 从器件发送使能
GPIOF 或者 SCI-A 信号						
GPIOF4-SCITXDA (O)	C7	155	111	I/O	PU	GPIO 或者 SCI 异步串行端口 TX 数据

表 2-2. 信号说明⁽¹⁾ (continued)

名称	引脚编号			I/O/Z ⁽²⁾	PU/PD ⁽³⁾	说明
	179 焊球 GHH/ZHH 封装	176 引脚 PGF 封装	128 引脚 PBK 封装			
GPIOF5-SCIRXDA (I)	A7	157	112	I/O	PU	GPIO 或者 SCI 异步串行端口 RX 数据
GPIOF 或者 CAN 信号						
GPIOF6-CANTXA (O)	N12	87	64	I/O	PU	GPIO 或者 eCAN 发送数据
GPIOF7-CANRXA (I)	N13	89	65	I/O	PU	GPIO 或者 eCAN 接收数据
GPIOF 或者 McBSP 信号						
GPIOF8-MCLKXA (I/O)	J1	28	23	I/O	PU	GPIO 或者 McBSP 发送时钟
GPIOF9-MCLKRA (I/O)	H2	25	21	I/O	PU	GPIO 或者 McBSP 接收时钟
GPIOF10-MFSXA (I/O)	H4	26	22	I/O	PU	GPIO 或者 McBSP 发送帧同步
GPIOF11-MFSRA (I/O)	J2	29	24	I/O	PU	GPIO 或者 McBSP 接收帧同步
GPIOF12-MDXA (O)	G1	22	19	I/O	-	GPIO 或者 McBSP 被发送的串行数据
GPIOF13-MDRA (I)	G2	20	18	I/O	PU	GPIO 或者 McBSP 接收到的串行数据

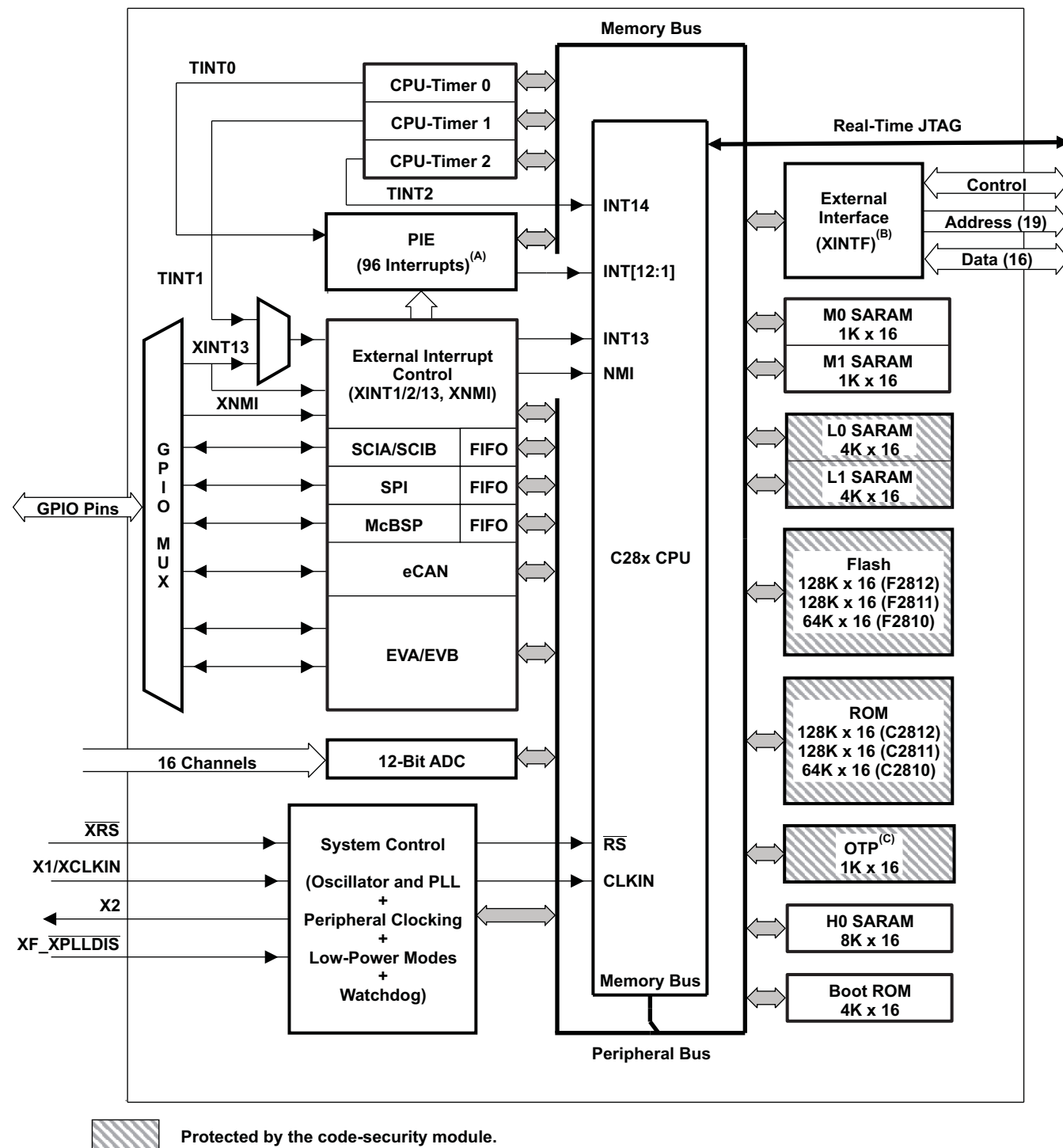
表 2-2. 信号说明⁽¹⁾ (continued)

名称	引脚编号			I/O/Z ⁽²⁾	PU/PD ⁽³⁾	说明
	179 焊球 GHH/ZHH 封装	176 引脚 PGF 封装	128 引脚 PBK 封装			
GPIOF 或者 XF CPU 输出信号						
GPIOF14-XF_XPLLDIS(O)	A11	140	101	I/O	PU	这个引脚有三个功能： 1. XF - 通用输出引脚。 2. XPLLDIS - 这个引脚在复位时被采样以检查 PLL 是否必须被禁用。 如果这个引脚倍感侧到为低电平，PLL 将被禁用。 当 PLL 被禁用时，HALT 和 STANDBY 模式不能使用。 3. GPIO-GPIO 功能
GPIOG 或者 SCI-B 信号						
GPIOG4-SCITXDB (O)	P14	90	66	I/O/Z	-	GPIO 或者 SCI 异步串行端口 TX 数据
GPIOG5-SCIRXDB (I)	M13	91	67	I/O/Z	-	GPIO 或者 SCI 异步串行端口接收数据

注

除了电源引脚之外，在 3.3V 电源轨达到建议运行条件之前，不应驱动任何引脚。然而，一个 I/O 引脚与 3.3V 电源一起斜升是可以接受的。

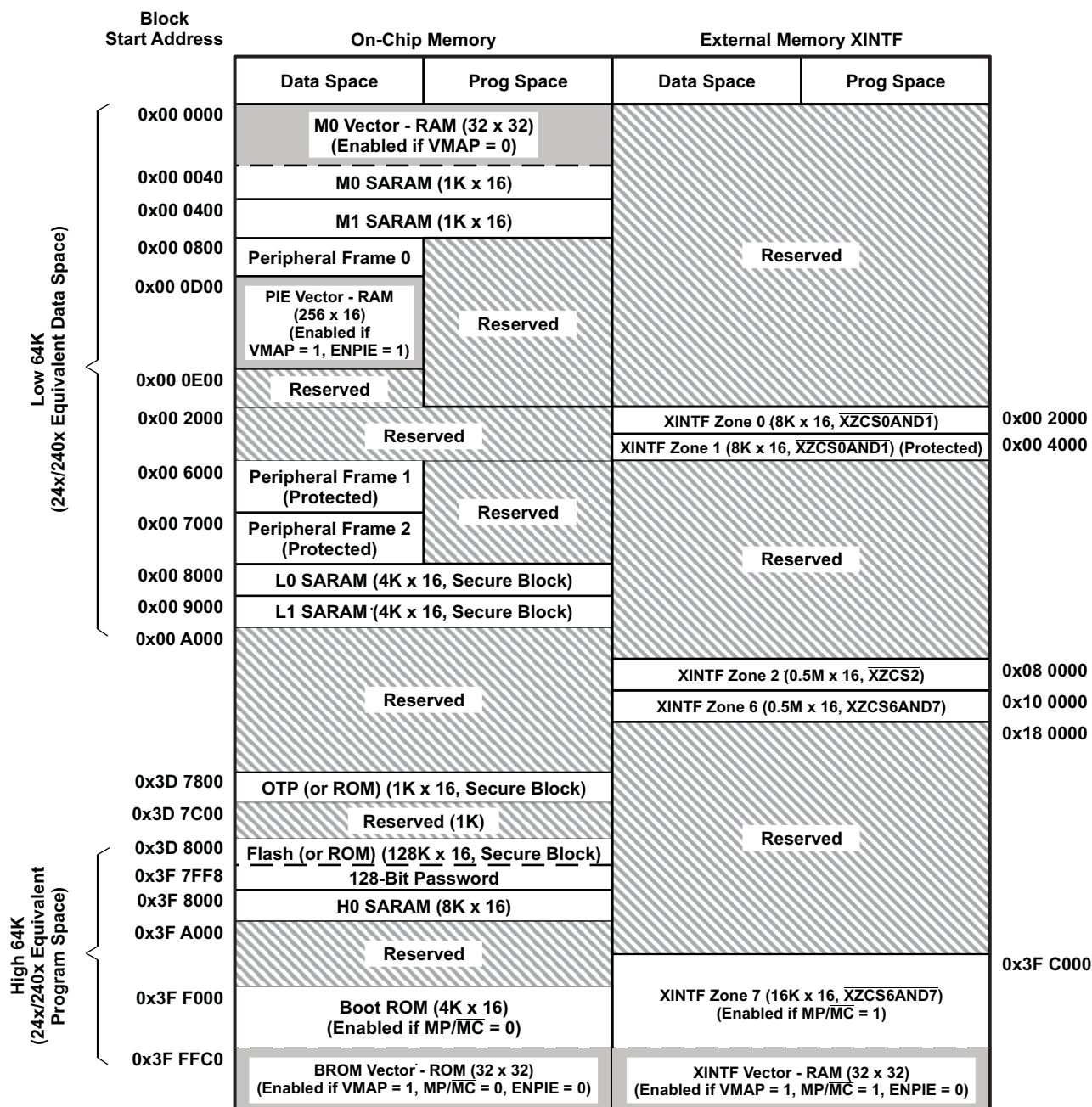
3 功能概述



- A. 96 个可能中断中的 45 个可在器件上使用。
- B. XINIF 只在 F2812 和 C2812 器件上提供。
- C. 在 C281x 器件上, OTP 被一个 ROM 的 1K x 16 块所取代。

图 3-1. 功能方框图

3.1 内存映射

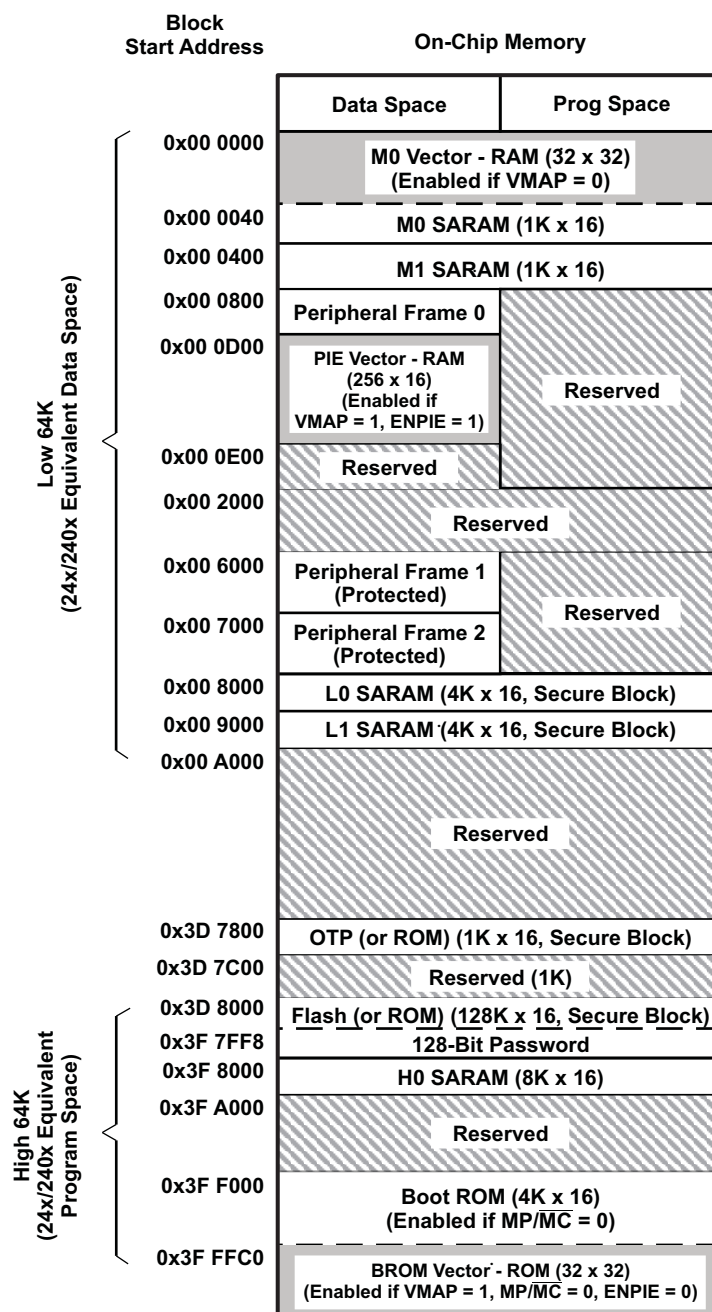


LEGEND:

Only one of these vector maps - M0 vector, PIE vector, BROM vector, XINTF vector - should be enabled at a time.

- 内存块不可缩放。
- 被保留的单元用于未来的扩展。应用不应访问这些区域。
- 引导 ROM 和区域 7 内存映射可在芯片内或者 XINIF 上被激活，这取决于 $\overline{MP/MC}$ ，但是不能同时激活。
- 外设帧 0，外设帧 1，和外设帧 2 内存映射只限于数据内存。一个用户程序不能访问这些处于程序空间内的内存映射。
- “受保护”意味着写后读操作的顺序被保存，而不是流水线顺序。
- 特定内存区域受 EALLOW 保护以防止配置之后的假写入。
- 区域 0 和区域 6 以及 区域 7 共用一样的芯片选择；因此，这些内存块有镜像单元。

图 3-2. F2812/C2812 内存映射

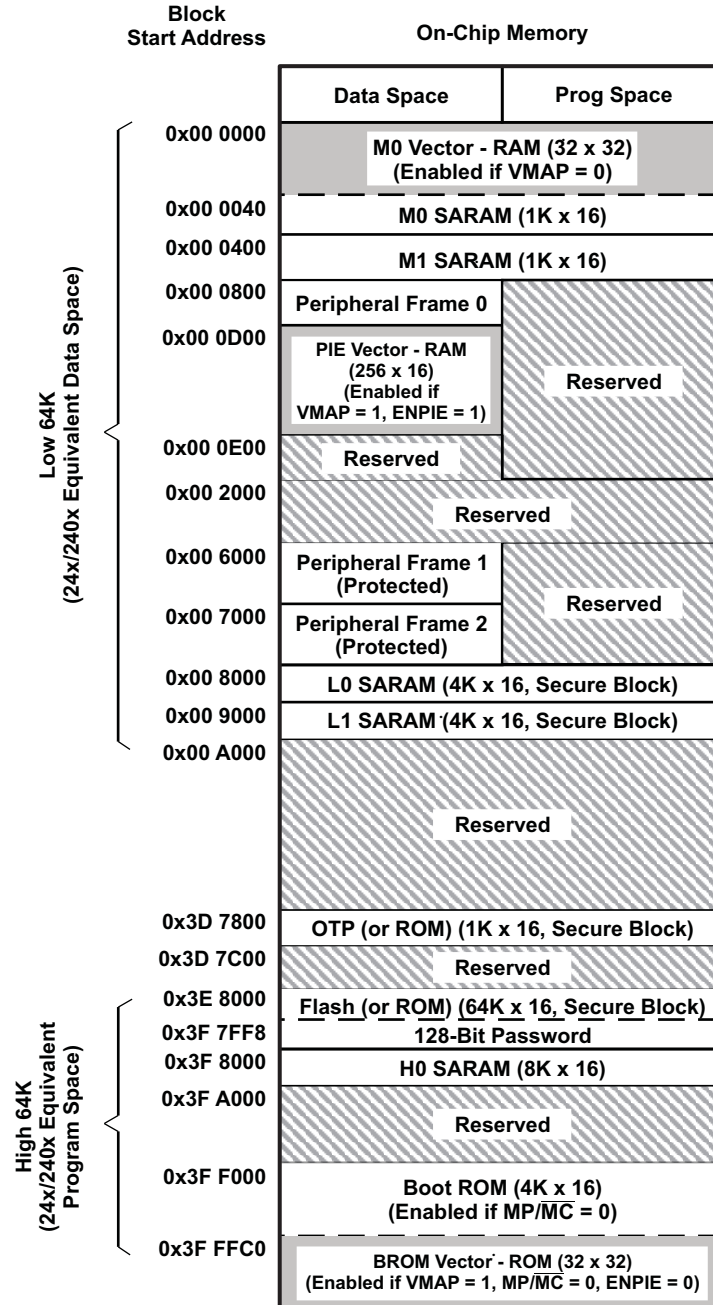


LEGEND:


Only one of these vector maps - M0 vector, PIE vector, BROM vector - should be enabled at a time.

- A. 内存块不可缩放。
- B. 被保留的单元用于未来的扩展。应用不应访问这些区域。
- C. 外设帧 0, 外设帧 1, 和外设帧 2 内存映射只限于数据内存。一个用户程序不能访问这些处于程序空间内的内存映射。
- D. “受保护”意味着写后读操作的顺序被保存, 而不是流水线顺序。
- E. 特定内存区域受 EALLOW 保护以防止配置之后的假写入。

图 3-3. F2811/C2811 内存映射



LEGEND:

 Only one of these vector maps - M0 vector, PIE vector, BROM vector - should be enabled at a time.

- A. 内存块不可缩放。
- B. 被保留的单元用于未来的扩展。应用不应访问这些区域。
- C. 外设帧 0, 外设帧 1, 和外设帧 2 内存映射只限于数据内存。一个用户程序不能访问这些处于程序空间内的内存映射。
- D. “受保护”意味着写后读操作的顺序被保存, 而不是流水线顺序。
- E. 特定内存区域受 EALLOW 保护以防止配置之后的假写入。

图 3-4. F2810/C2810 内存映射

表 3-1. F2812 和 F2811 中的闪存扇区地址

地址范围	程序和数据空间
0x3D 8000 0x3D 9FFF	扇区 J, 8K x 16
0x3D A000 0x3D BFFF	扇区 J, 8K x 16
0x3D C000 0x3D FFFF	扇区 H, 16K x 16
0x3E 0000 0x3E 3FFF	扇区 G, 16K x 16
0x3E 4000 0x3E 7FFF	扇区 F, 16K x 16
0x3E 8000 0x3E BFFF	扇区 E, 16K x 16
0x3E C000 0x3E FFFF	扇区 D, 16K x 16
0x3F 0000 0x3F 3FFF	扇区 C, 16K x 16
0x3F 4000 0x3F 5FFF	扇区 B, 8K x 16
0x3F 6000 0x3F 7F80 0x3F 7FF5 0x3F 7FF6 0x3F 7FF7 0x3F 7FF8 0x3F 7FFF	扇区 A, 8K x 16 当使用 代码安全模块时, 编程至 0x0000。 引导至闪存 (或者 ROM) 进入点 (这里为程序分支指令) 安全密码 (128 位) (不要设定为零)

表 3-2. F2810 中闪存扇区的地址

地址范围	程序和数据空间
0x3E 8000 0x3E BFFF	扇区 E, 16K x 16
0x3E C000 0x3E FFFF	扇区 D, 16K x 16
0x3F 0000 0x3F 3FFF	扇区 C, 16K x 16
0x3F 4000 0x3F 5FFF	扇区 B, 8K x 16
0x3F 6000 0x3F 7F80 0x3F 7FF5 0x3F 7FF6 0x3F 7FF7 0x3F 7FF8 0x3F 7FFF	扇区 A, 8K x 16 当使用 代码安全模块时, 编程至 0x0000。 引导至闪存 (或者 ROM) 进入点 (这里为程序分支指令) 安全密码 (128 位) (不要设定为零)

内存地址范围的“低 64K”映射进 240x 的数据空间。内存地址范围的“高 64K”映射进 24x/240x 的程序空间。24x/240x 兼容代码将只从内存区域的“高 64K”内执行。因此, 闪存/ROM 和 H0 SARAM 块的头 32K 可被用于运行 24x/240x 兼容代码 (如果 MP/MC 模式为低电平) 或者, 在 2812 上, 代码可以从 XINIF 区域 7 中执行 (如果 MP/MC 模式为高电平的话)。

XINIF 由 5 个独立的区域组成。一个区域有其自己的芯片选择，剩余的四个区域有两个共用的芯片选择。每个区域可使用其自身的时序（等待状态）进行编程，并可被设定为采样或者忽略外部就绪信号。这样可实现与外设的简便且无缝对接。

注

XINIF 区域 0 和区域 1 的芯片选择被合并成一个单一的芯片选择 ($\overline{XZCS0AND1}$)；并且 XINIF 区域 6 和区域 7 的芯片选择被合并成一个单一的芯片选择 ($\overline{XZCS6AND7}$)。详细信息，请见节 3.5，外部接口，XINIF（只适用于 2812）。

外设帧 1，外设帧 2，以及 XINTF 区域 1 被编成一组以这些块成为“受保护的写入/读取外设块”。“受保护”模式确保对这些所有的访问与文档中描述的一致。由于 C28x 的管线，在对不同内存位置读取之前的写入操作将出现在 CPU 内存总线上相反的顺序。这会导致特定外设应用中的问题，在此类应用中，用户认为写入会首先发生（如文档所描述的那样）。C28x CPU 支持一个块保护模式，在这个模式中，可对一个内存区域进行保护，以确保操作按照本文档所描述的那样发生（代价增加了额外周期以校正运行）。可对这个模式进行编程，并且，缺省情况下，它将保护所选的区域。

在 2812 上，复位时，如果 $\overline{XMP/\overline{MC}}$ 引脚被拉至高电平，XINTF 区域 7 被访问。这个信号选择微处理器或者微计算机模式运行。在微处理器模式中，区域 7 被映射到高位内存，这样从外部抽取矢量表。在这个模式中，引导 ROM 被禁用。在微计算机模式中，区域 7 被禁用，这样矢量取自引导 ROM。这使得用户能够从片载内存或者芯片外内存引导。 $\overline{XMP/\overline{MC}}$ 信号在复位时的状态被存储在 XINTCNF2 寄存器中的 $\overline{MP/\overline{MC}}$ 模式位中。用户能够在软件中改变这个模式，并因此控制引导 ROM 和 XINTF 区域 7 的映射。其它的内存块不会受到 $\overline{XMP/\overline{MC}}$ 的影响。

2812 XINTF 上不支持 I/O 空间。

表 3-3 中列出了内存映射区域内不同空间的等待状态在。

表 3-3. 等待状态

区域 (AREA)	等待状态	备注
M0 和 M1 SARAM	0 - 等待	固定的
外设帧 0	0 - 等待	固定的
外设帧 1	0 - 等待（写入） 2 - 等待（读取）	固定的
外设帧 2	0 - 等待（写入） 2 - 等待（读取）	固定的
L0 和 L1 SARAMs	0 - 等待	固定的
OTP（或 ROM）	可编程， 1 - 等待最小	由闪存寄存器设定。可在一个减少的 CPU 频率上执行 1 等待状态操作。更多信息，请见节 3.2.6，闪存（只适用于 F281x）。
闪存（或 ROM）	可编程， 0 - 等待最小	由闪存寄存器设定。可在一个减少的 CPU 频率上执行 0 等待状态操作。针对 16 个等待状态，CSM 密码位置为实线连接。更多信息，请见节 3.2.6，闪存（只适用于 F281x）。
H0 SARAM	0 - 等待	固定的
引导 - ROM	1 - 等待	固定的
XINTF	可编程， 1 - 等待最小	由 XINTF 寄存器设定。周期可由外部内存或者外设扩展。无法进行 0 等待操作。

3.2 简要说明

3.2.1 C28x CPU

此 C28x™ DSP 系列是 TMS320C2000™ DSP 平台上的最新产品。C28x 与 24x/240x 器件源代码兼容，因此现有的 240x 用户可以很好的平衡他们巨大的软件投资。此外，C28x 是一款非常高效的 C/C++ 引擎，此引擎不但使用户能够用高级语言开发他们的控制系统软件，还能够使用 C/C++ 开发数学算法。C28x 在处理 DSP 算术任务时与处理系统控制任务时同样有效，而系统控制任务通常由微控制器器件处理。这样的效率在很多系统中省却了对第二个处理器的需要。C28x 的 32 x 32 位 MAC 功能和它的 64 位处理能力，使

得 C28x 能够有效处理较高数字分辨率问题，否者的话，这些问题将需要一个更加昂贵的浮点处理器解决方案。添加了带有关键寄存器自动环境保存的快速中断响应，使得器件能够用最小的延迟处理很多异步事件。C28x 有一个具有流水线式存储器访问的 8 级深受保护管线。这个流水线式操作使得 C28x 能够高速执行而无需求助于昂贵的高速存储器。特别分支超前硬件大大减少了条件不连续而带来的延迟。特别存储条件操作进一步提升了性能。

3.2.2 内存总线（哈佛总线架构）

与很对 DSP 类型器件一样，多总线被用于在内存和外设以及 CPU 之间移动数据。C28x 内存总线架构包含一个程序读取总线、数据读取总线和数据写入总线。此程序读取总线由 22 条地址线路和 32 条数据线路组成。数据读取和写入总线由 32 条地址线路和 32 条数据线路组成。32 位宽数据总线可实现单周期 32 位运行。多总线结构，通常称为“哈佛总线”，使得 C28x 能够在一个单周期内取一个指令、读取一个数据值和写入一个数据值。所有连接在内存总线上的外设和内存对内存访问进行优先级设定。总的来说，内存总线访问的优先级可概括如下：

最高级： 数据写入（内存总线上不能同时进行数据和程序写入。）
 程序写入（内存总线上不能同时进行数据和程序写入。）
 数据读取
 程序读取（内存总线上不能同时进行程序读取和取指令。）

最低级： 取指令（内存总线上不能同时进行程序读取和取指令。）

3.2.3 外设总线

为了实现不同德州仪器 (TI™) DSP 系列器件间的外设迁移，F281x 和 C281x 采用了一个针对外设互连的外设总线标准。外设总线桥复用了多种总线，此总线将处理器“内存总线”组装进一个由 16 条地址线路和 16 条或者 32 条数据线路和相关控制信号组成的单总线中。在 F281x 和 C281x 上支持两个版本的外设总线。一个版本只支持 16 位访问（被称为外设帧 2）并且这个版本保留了与 C240x 兼容外设的兼容性。另外一个版本支持 16 位和 32 位访问（被称为外设帧 1）。

3.2.4 实时 JTAG 和分析

F281x C281x 执行标准 IEEE 1149.1 JTAG 接口。此外，F281x 和 C281x 支持实时运行模式，在处理器正在运行，执行代码并且处理中断时，可修改存储器内容、外设、和寄存器位置。用户也可以通过非时间关键代码进行单步操作，同时可在没有干扰的情况下启用即将被处理的时间关键中断。F281x 和 C281x 在 CPU 的硬件内执行实时模式。这是 F281x 和 C281x 所特有的功能，无需软件监控。此外，还提供了特别分析硬件，以使用户能够设定硬件断点或者数据/地址观察点并当一个匹配发生时生成不同的用户可选中断事件。

3.2.5 外部接口 (XINTF)（只适用于 2812）

这个异步接口由 19 条地址线路，16 条数据线路，和 3 个芯片选族线路组成。此芯片选择线路被映射到 5 个外部区域，即区域 0，1，2，6，和 7。区域 0 和 1 共用一个单一芯片选择线路；区域 6 和 7 也共用一个单一芯片选择线路。5 个区域中的每个区域可被设定为不同的等待状态数量、选通信号设置和保持时序，并且每个区域可被外部设定为扩展等待状态或者没有扩展等待状态。可编程等待状态、芯片选择和可编程选通时序可实现到外部存储器和外设的无缝对接。

3.2.6 闪存（只适用于 F281x）

F2812 和 F2811 包含 128K x 16 的嵌入式闪存存储器，这些存储器被分成四个 8K x 16 扇区，和六个 16K x 16 扇区。F2810 有 64K x 16 嵌入式闪存，这些闪存被分成两个 8K x 16 扇区，和三个 16K x 16 扇区。所有三个器件还包含一个单一 1K x 16 的 OTP 内存，其地址范围为 0x3D 7800-0x3D 7BFF。用户能够在不改变其它扇区的同时单独擦除、编辑、和验证一个闪存扇区。然而，不能使用闪存的一个扇区或者这个 OTP 来执行擦除/编辑其它扇区的闪存算法。提供了特殊内存流水线操作以使闪存模块实现更高性能。闪存 / OTP 被映射到程序和数据空间；因此，它可被用于执行代码或者存储数据信息。

注

F2810/F2811/F2812 闪存和 OTP 等待状态可由应用配置。这使得运行在较低频率上的应用能够将闪存配置为使用较少的等待状态。

可通过在闪存选项寄存器中启用闪存流水线操作模式来提升闪存的效能。这个模式被启用时，线性代码执行的效能将远远快于只由等待状态配置所表示的原始性能。使用闪存流水线模式的准确性能增加依应用而定。

与闪存选型、闪存等待状态、和 OTP 等待状态寄存器相关的更多信息，请见《TMS320x281x DSP 系统控制和中断参考指南》（文献编号 [SPRU078](#)）。

3.2.7 ROM（只适用于 C281x）

C2812 和 C2811 包含 128K x 16 的 ROM。C2810 有 64K x 16 的 ROM。除此之外，在闪存器件中提供一个取代 OTP 内存的 1K x 16 ROM 块。更多与如何向 TI 提交 ROM 代码的信息，请参阅《TMS320C28x CPU 和指令集参考指南》（文献编号 [SPRU430](#)）。

3.2.8 M0, M1 SARAM

所有 C28x 器件包含这两块单周期访问内存，每一个的大小为 1K x 16。复位时，堆栈指针指向块 M1 的开始位置。M0 与 240x 器件 B0, B1, B2 RAM 块重叠，因此 240x 器件上数据变量的映射能够保存在 C28x 器件上的同一个物理地址。M0 和 M1 块，与所有其它 C28x 器件上的内存块一样，被映射到程序和数据空间。因此，用户能够使用 M0 和 M1 来执行代码或者用于数据变量。分区在连接器内执行。C28x 器件提供了一个到编程器的统一内存映射。这使得用高级语言编程变得更加容易。

3.2.9 L0, L1, H0 SARAM

F281x 和 C281x 包含一个附加的 16K x 16 单周期访问 RAM，此 RAM 被分成三个块 (4K+4K+8K)。由于每个块可被独立访问，因此大大降低了管线延迟。每个块被映射到程序和数据空间。

3.2.10 引导 ROM

引导 ROM 由厂家使用引导载入软件进行设定。引导 ROM 程序在器件复位并检查了几个 GPIO 引脚后执行以确定应该进入哪一个引导模式。例如，用户可以选择执行已经出现在内部闪存中的代码或者通过几个串行端口中的一个将全新的软件下载至内部 RAM。还有其它的引导模式。引导 ROM 还包含用于数学相关算法中的标准表，例如 SIN/COS 波形。[表 3-4](#)显示了如何调用不同引导模式的细节。更多信息，请参阅《TMS320x281x DSP 引导 ROM 参考指南》（文献编号 [SPRU095](#)）。

表 3-4. 引导模式选择⁽¹⁾⁽²⁾

已选择的引导模式	GPIOF4 (SCITXDA)	GPIOF12 (MDXA)	GPIOF3 (SPISTEA)	GPIOF2 (SPICLK)
GPIO PU 状态 ⁽³⁾	PU	无 PU	无 PU	无 PU
跳转至闪存 / ROM 地址 0x3F7FF6。 在复位至所需的重定向代码执行之前，必须在这里编辑一个分支指令。	1	x	x	x
调用 SPI_Boot 来从一个外部串行 SPI EEPROM 中加载	0	1	x	x
调用 SCI_Boot 来从 SCI_A 中加载	0	0	1	1
跳转至 H0 SARAM 地址 0x3F8000	0	0	1	0
跳转至 OTP 地址 0x3D7800	0	0	0	1
调用 Parallel_Boot 来从 GPIO 端口 B 中载入	0	0	0	0

(1) 由于切换 SPICLK 来选择一个引导模式会对外部逻辑产生影响，所以应该格外小心。

(2) 如果选择的引导模式为闪存、H0、或者 OTP，那么引导载入程序不会载入外部代码。

(3) PU = 引脚有一个内部上拉电阻。无 PU = 引脚无内部上拉电阻。

3.2.11 安全性

F281x 和 C281x 支持高级别安全以保护用户固件不受逆向工程损坏。这个安全性特有一个 128 位密码（针对 16 个等待状态的硬编码），此密码由用户编辑入闪存。一个代码安全模块 (CSM) 被用于保护闪存 / ROM/OTP 和 L0/L1 SARAM 块。这个安全特性防止未经授权的用户通过 JTAG 端口检查内存内容，从外部内存执行代码或者试图引导加载一些将会输出安全内存内容的恶意软件。为了启用到安全块的访问，用户必须写入与存储在闪存 / ROM 密码位置内的值相匹配的正确的 128 位“KEY（密钥）”值。

注

- 当代码安全密码被编辑时，0x3F7F80 到 0x3F7FF5 间的所有地址不能被用作程序代码或者数据。这些位置必须被设定为 0x0000。
- 如果代码安全特性未被使用，地址 0x3F7F80 至 0x3F7FEF 可被用于代码或者数据。
- 在 ROM 器件上，无论代码安全性被使用与否，地址 0x3F7FF2-0x3F7FF5 和 0x3D7BFC-0x3D7BFF 为 TI 保留。用户应用无论如何不应使用这些位置。
- 128 位密码（位于 0x3F7FF8-0x3F7FFF）必须被设定为全零。这样做的话将永久锁住此器件。

表 3-5. 使用安全代码模块的影响

地址	代码安全状态	
	代码安全被启用	代码安全被禁用
0x3F7F80-0x3F7FEF	用 0x0000 填充	应用代码和数据 ⁽¹⁾
0x3F7FF0-0x3F7FF5		
0x3D7BFC-0x3D7BFF		
	应用代码和数据	

(1) 对于一些限制条件，请参阅《TMS320F2810, TMS320F2811, TMS320F2812, TMS320C2810, TMS320C2811, TMS320C2812 DSP 芯片勘误表》（文献编号 [SPRZ193](#)）。

Disclaimer

代码安全模块免责声明

这个器件所包含的代码安全模块 (CSM) 被设计用于对存储在相关内存（ROM 或者闪存）中的数据密码保护并且由德州仪器 (TI) 提供质量保证，与其标准条款和条件相一致，符合 TI 发布的规范以获得适用于这个器件的保修期。

但是，TI 不保证或表示 CSM 不会被损坏或破坏，或不能通过其它方法存取关联的存储器中存储的数据。而且，除了上述内容外，TI 也未对本器件的 CSM 或操作做任何保证或表示，包括任何隐含的用于特定用途的商用性或适用性保证。

在任何情况下，TI 对以任何方法使用 CSM 或本器件产生的任何必然、特殊、间接、偶然或严重伤害不负任何责任，无论 TI 是否被告知存在这种伤害的可能性。排除的损害包括但不限于数据丢失、信誉损失、无法使用、业务中断或其它经济损失。

3.2.12 外设中断扩展 (PIE) 块

PIE 块将许多中断源复用至中断输入的较小的集合中。PIE 块能够支持多达 96 个外设中断。在 F281x 和 C281x 上，外设使用 96 个可能中断中的 45 个。96 个中断被分成 8 块，并且每组被馈入 12 个 CPU 中断线路 (INT1 至 INT12) 中的 1 个。96 个中断中的每一个中断由其存储在一个可被用户写覆盖的专用 RAM 块中的矢量支持。在处理这个中断时，这个矢量由 CPU 自动抽取。抽取这个矢量以及保存关键 CPU 寄存器将花费 8 个 CPU 时钟周期。因此 CPU 能够对中断事件作出快速响应。可以通过硬件和软件控制中断的优先级。每个中断都可以在 PIE 块内启用/禁用。

3.2.13 外部中断 (XINT1, XINT2, XINT13, XNMI)

F281x 和 C281x 支持三个屏蔽的外部中断 (XINT 1, 2, 13)。XINT13 与一个非屏蔽外部中断 (XNMI) 组合在一起。组合的信号名称为 XNMI_XINT13。这些中断中的每一个可被选择用于负边沿或正边沿触发, 并且可被启用或禁用 (包括 XNMI 在内)。这些屏蔽的中断还包含一个 16 位自运行上数计数器, 当一个有效中断沿被检测到的时候, 此计数器被重置为 0。这个计数器可被用于为中断精确计时。

3.2.14 振荡器和锁相环 (PLL)

F281x 和 C281x 可由一个外部振荡器计时或者由一个连接到片载振荡器电路的晶振计时。提供的一个 PLL 支持高达 10 个输入时钟缩放比。PLL 比率可用软件中在器件运行时更改, 这使得用户需要低功耗运行时能够按比例降低运行频率。时序细节, 请参考 [Section 6](#), 电气规范。PLL 块可被设定为旁通模式。

3.2.15 安全装置

F281x 和 C281x 支持一个安全装置定时器。用户软件必须在一个特定的时间范围内定期复位 CPU 安全装置计数器; 否则, CPU 安全装置将生产一个到处理器的复位。如果需要, 可禁用安全装置。

3.2.16 外设时钟

在外设闲置时, 到每一个独立外设的时钟可被启用/禁用以减少功耗。此外, 到串行端口 (除了 eCAN) 和事件管理器、CAP 和 QEP 块的系统时钟可相对于 CPU 时钟进行缩放。这样可去除外设时序到逐渐增加的 CPU 时钟速度的耦合。

3.2.17 低功耗模式

F281x 和 C281x 器件是完全静态 CMOS 器件。提供三个低功耗模式:

- IDLE:** 将 CPU 置于低功耗模式。可有选择性地关闭外设时钟并且只有那些在 IDLE 期间必须运行的外设保持运行状态。来自激活外设的已启用的中断将把处理器从 IDLE 模式中唤醒。
- STANDBY:** 关闭到 CPU 和外设的时钟。在这个模式下, 振荡器和 PLL 仍然运行。一个外部中断事件将唤醒处理器和外设。在检测到中断事件之后的下一个有效周期上, 执行开始。。
- HALT:** 关断内部振荡器 基本上, 这个模式关断器件并将器件置于尽可能低的功耗模式中。只有复位或者 XNMI 才能将器件从这个模式中唤醒。

3.2.18 外设帧 0, 1, 2 (PFn)

F281x 和 C281x 将外设分为三个部分。外设映射如下:

PF0:	XINTF:	外部接口配置寄存器 (只适用于 2812)
	PIE:	PIE 中断启用和控制寄存器加上 PIE 矢量表
	闪存:	闪存控制、编程、擦除、验证寄存器
	定时器:	CPU - 定时器 0, 1, 2 寄存器
PF1:	CSM:	代码安全模块 KEY 寄存器
	eCAN:	eCAN 邮箱和控制寄存器
PF2:	SYS:	系统控制寄存器
	GPIO:	GPIO MUX 配置和控制寄存器
	EV:	事件寄存器 (EVA/EVB) 控制寄存器
	McBSP:	McBSP 控制 和 TX/RX 寄存器
	SCI:	串行通信接口 (SCI) 控制和 RX/TX 寄存器
	SPI:	串行外设接口 (SPI) 控制和 RX/TX 寄存器
	ADC:	12 位 ADC 寄存器

3.2.19 通用输入/输出 (GPIO) 复用器

大多数的外设信号与通用输入/输出 (GPIO) 信号复用。这个复用使得用户能够在外设信号或者功能不使用时将一个引脚用作 GPIO。复位时, 所有 GPIO 引脚被配置为输入。针对 GPIO 模式或者外设信号模式, 用户能够独立设定每一个引脚。对于特定的引脚, 用户还能够选择输入条件周期的数量来滤除有害的噪声毛刺脉冲。

3.2.20 32 位 CPU 定时器 (0, 1, 2)

CPU 定时器 0, 1, 和 2 是完全一样的 32 位定时器, 这些定时器带有可预先设定的周期和 16 位时钟预分频。此定时器有一个 32 位倒数寄存器, 此寄存器在计数器达到 0 时生成一个中断。这个计数器的减量为被预分频值设置所分频的 CPU 时钟速度的值。当此计数器达到 0 时, 它自动重新载入一个 32 位的周期值。CPU 定时器 2 为 DSP/BIOS 实时 OS 所预留, 并且被连接至 CPU 的 INT14。如果 DSP/BIOS 未被使用, CPU 定时器 2 也可用于普通用途。CPU 定时器 1 为通用定时器并被连接至 CPU 的 INT13。CPU 定时器 0 也为通用定时器并被连接至 PIE 块。

3.2.21 控制外设

F281x 和 C281x 支持以下用于嵌入式控制和通信的外设:

- EV:** 事件管理器模块包括通用定时器、完全比较 / PWM 单元、捕捉输入 (CAP) 和正交编码脉冲 (QEP) 电路。提供的这两个事件管理器可实现驱动两个三相电机或者四个两项电机。F281x 和 C281x 上的事件管理器与 240x 器件上的事件管理器兼容 (有一些小改进)。
- ADC:** ADC 块是一个 12 位、单端、16 通道转换器。它包含两个用于同步采样的采样保持单元。

3.2.22 串行端口外设

F281x 和 C281x 支持下列串行通信外设:

- eCAN:** 这是 CAN 外设的增强型版本。它支持 32 个邮箱、消息时间戳、并与 CAN 2.0B 兼容。
- McBSP:** 多通道缓冲串行端口 (McBSP) 连接到 E1/T1 线路、语音质量编解码器以实现最新应用或者高质量立体声音频 DAC 器件。McBSP 接收和发送寄存器由一个 16 级 FIFO 支持, 从而大大减少了处理这个外设所用的开销。
- SPI:** SPI 是一个高速、同步串行 I/O 端口, 此端口可在设定的位传输速率上将一个设定长度 (1 至 16 位) 的串行比特流移入和移出器件。通常情况下, SPI 用于 DSP 控制器和外部外设或者其它处理器之间的通信。典型应用包括外部 I/O 或者从诸如移位寄存器、显示驱动器、和 ADC 等器件的外设扩展。多器件通信由 SPI 的主控/受控操作支持。在 F281x 和 C281x 上, 此端口支持一个 16 级、接收发送 FIFO 来减少处理开销。
- SCI:** 串行通信接口是一个两线制异步串行端口, 通常被称为 UART。在 F281x 和 C281x 上, 此端口支持一个 16 级、接收发送 FIFO 来减少处理开销。

3.3 寄存器映射

F281x 和 C281x 器件包含三个外设寄存器空间。这些空间分类如下：

- 外设帧 0： 这些是直接映射到 CPU 内存总线的外设。
请见表 3-6。
- 外设帧 1： 这些是映射到 32 位外设总线的外设。
请见表 3-7。
- 外设帧 2： 这些是映射到 16 位外设总线的外设。
请见表 3-8。

表 3-6. 外设帧 0 寄存器⁽¹⁾

名称	地址范围	大小 (x 16)	访问类型 ⁽²⁾
器件仿真寄存器	0x00 0880-0x00 09FF	384	受 EALLOW 保护
被保留	0x00 0A00-0x00 0A7F	128	
闪存寄存器 ⁽³⁾	0x00 0A80-0x00 0ADF	96	受 EALLOW 保护 受 CSM 保护
代码安全模块寄存器	0x00 0AE0-0x00 0AEF	16	受 EALLOW 保护
被保留	0x00 0AF0-0x00 0B1F	48	
XINTF 寄存器	0x00 0B20-0x00 0B3F	32	不受 EALLOW 保护
被保留	0x00 0B40-0x00 0BFF	192	
CPU - 定时器 0/1/2 寄存器	0x00 0C00-0x00 0C3F	64	不受 EALLOW 保护
被保留	0x00 0C40-0x00 0CDF	160	
PIE 寄存器	0x00 0CE0-0x00 0CFF	32	不受 EALLOW 保护
PIE 矢量表	0x00 0D00-0x00 0DFF	256	受 EALLOW 保护
被保留	0x00 0E00-0x00 0FFF	512	

(1) 在帧 0 中的寄存器支持 16 位和 32 位访问。

(2) 如果寄存器受 EALLOW 保护，在用户执行 EALLOW 指令之前，不能执行写入操作。EDIS 指令会禁用写入操作。这防止了杂散代码或者指针损坏寄存器内容。

(3) 闪存寄存器也受到代码安全模块 (CSM) 的保护。

表 3-7. 外设帧 1 寄存器⁽¹⁾

名称	地址范围	大小 (x 16)	访问类型
eCAN 寄存器	0x00 6000-0x00 60FF	256 (128 x 32)	某些 eCAN 控制寄存器（以及在其它 eCAN 控制寄存器中选定的位）受 EALLOW 保护。
eCAN 邮箱 RAM	0x00 6100-0x00 61FF	256 (128 x 32)	不受 EALLOW 保护
被保留	0x00 6200-0x00 6FFF	3584	

(1) eCAN 控制寄存器只支持 32 位读取/写入操作。所有 32 位存取与偶数地址边界对齐。

表 3-8. 外设帧 2 寄存器⁽¹⁾

名称	地址范围	大小 (x 16)	访问类型
被保留	0x00 7000-0x00 700F	16	
系统控制寄存器	0x00 7010-0x00 702F	32	受 EALLOW 保护
被保留	0x00 7030-0x00 703F	16	
SPI-A 寄存器	0x00 7040-0x00 704F	16	不受 EALLOW 保护
SCI-A 寄存器	0x00 7050-0x00 705F	16	不受 EALLOW 保护
被保留	0x00 7060-0x00 706F	16	
外部中断寄存器	0x00 7070-0x00 707F	16	不受 EALLOW 保护
被保留	0x00 7080-0x00 70BF	64	
GPIO 复用寄存器	0x00 70C0-0x00 70DF	32	受 EALLOW 保护
GPIO 数据寄存器	0x00 70E0-0x00 70FF	32	不受 EALLOW 保护
ADC 寄存器	0x00 7100-0x00 711F	32	不受 EALLOW 保护
被保留	0x00 7120-0x00 73FF	736	
EV-A 寄存器	0x00 7400-0x00 743F	64	不受 EALLOW 保护
被保留	0x00 7440-0x00 74FF	192	
EV-B 寄存器	0x00 7500-0x00 753F	64	不受 EALLOW 保护
被保留	0x00 7540-0x00 774F	528	
SCI-B 寄存器	0x00 7750-0x00 775F	16	不受 EALLOW 保护
被保留	0x00 7760-0x00 77FF	160	
McBSP 寄存器	0x00 7800-0x00 783F	64	不受 EALLOW 保护
被保留	0x00 7840-0x00 7FFF	1984	

(1) 外设帧 2 只允许 16 位访问。所有 32 位访问被忽略（可能返回或写入无效数据）。

3.4 器件仿真寄存器

这些寄存器用于控制 C28x CPU 的保护模式和监视某些关键器件信号。表 3-9 中对这些寄存器进行了定义。

表 3-9. 器件仿真寄存器

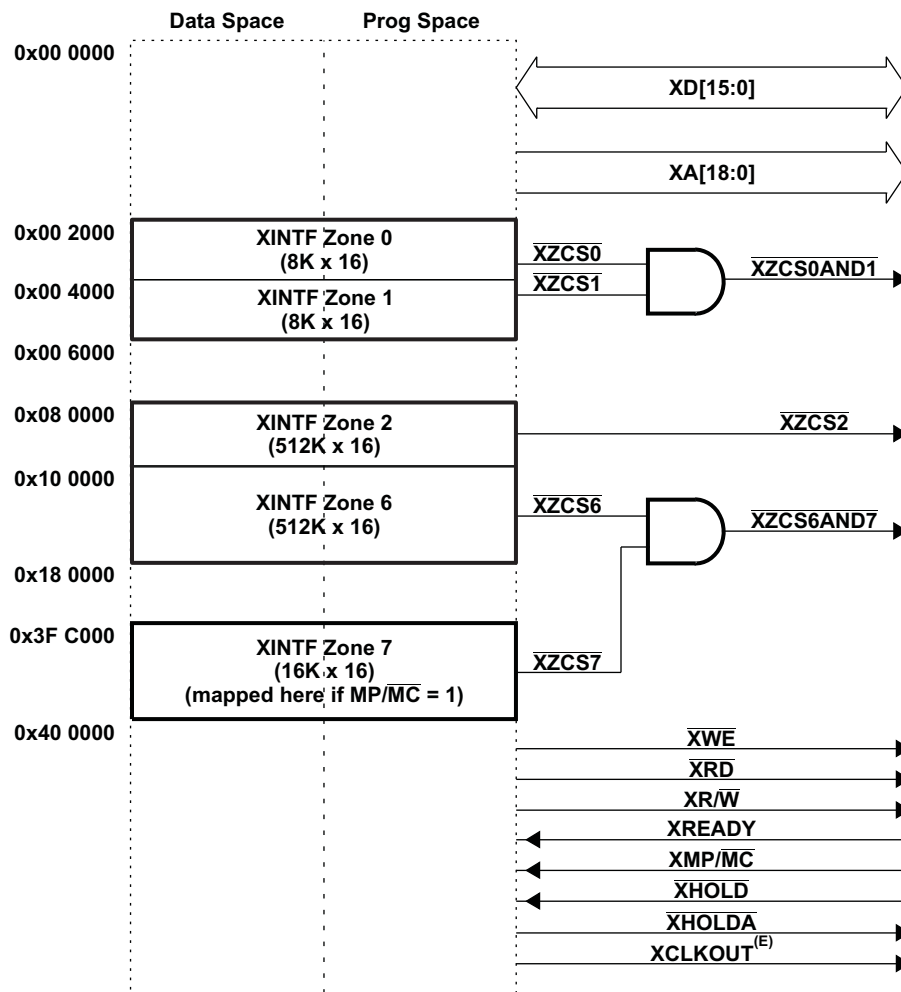
名称	地址范围	大小 (x16)	说明
DEVICECNF	0x00 0880-0x00 0881	2	器件配置寄存器
PARTID	0x00 0882	1	部件 ID 寄存器 0x0001 或者 0x0002-F281x 0x0003-C281x
REVID	0x00 0883	1	修订版本 ID 寄存器 0x0001 - 芯片修订版本 A 0x0002 - 芯片修订版本 B 0x0003 - 芯片修订版本 C, D 0x0004 - 被保留 0x0005 - 芯片修订版本 E 0x0006 - 芯片修订版本 F 0x0007 - 芯片修订版本 G
PROTSTART	0x00 0884	1	块保护起始地址寄存器
PROTRANGE	0x00 0885	1	块保护范围地址寄存器
被保留	0x00 0886-0x00 09FF	378	

3.5 外部接口, XINTF (只适用于 2812)

这一部分给出了在 2812 器件上执行的外部接口 (XINTF) 的顶视图。

外部接口是一个非复用异步总线, 与 C240x 外部接口相似。2812 上的外部接口被映射到图 3-5 中所示的 5 个固定区域中。

图 3-5 显示了 2812 XINTF 信号。



- XINTF 区域 7 的映射取决于 $\overline{\text{XMP/MC}}$ 器件输入信号和 $\overline{\text{MP/MC}}$ 模式位 (XINTCNF2 寄存器的位 8)。区域 0, 1, 2, 和 6 一直被启用。
- 每个区域可被设定为具有不同的等待状态、建立和保持时序, 并且由芯片选择 ($\overline{\text{XZCS0AND1}}$, $\overline{\text{XZCS2}}$, $\overline{\text{XZCS6AND7}}$) 支持, 当执行到一个特定区域的访问时切换。这些特性可实现到很多外部存储器和外设的无缝连接。
- 针对区域 0 和区域 1 的芯片选择内部组合在一起形成一个芯片选择 ($\overline{\text{XZCS0AND1}}$)。被连接到 $\overline{\text{XZCS0AND1}}$ 的任何外部存储器被双重映射到区域 0 和区域 1。
- 针对区域 6 和区域 7 的芯片选择内部组合在一起形成一个芯片选择 ($\overline{\text{XZCS6AND7}}$)。被连接到 $\overline{\text{XZCS6AND7}}$ 的任何外部存储器被双重映射到区域 6 和区域 7。这意味着, 如果区域 7 被禁用 (通过 $\overline{\text{MP/MC}}$ 模式), 那么仍然可通过区域 6 地址空间来访问很多外部存储器。
- XCLKOUT 也是 2810 和 2811 上的输出引脚。

图 3-5. 外部接口方框图

外部接口的运行和时序，可由表 3-10 中列出的寄存器控制。

表 3-10. XINTF 配置和控制寄存器映射

名称	地址	大小 (x 16)	说明
XTIMING0	0x00 0B20	2	XINTF 时序寄存器，区域 0 可作为两个 16 位寄存器或者一个 32 位寄存器进行访问。
XTIMING1	0x00 0B22	2	XINTF 时序寄存器，区域 1 可作为两个 16 位寄存器或者一个 32 位寄存器进行访问。
XTIMING2	0x00 0B24	2	XINTF 时序寄存器，区域 2 可作为两个 16 位寄存器或者一个 32 位寄存器进行访问。
XTIMING6	0x00 0B2C	2	XINTF 时序寄存器，区域 6 可作为两个 16 位寄存器或者一个 32 位寄存器进行访问。
XTIMING7	0x00 0B2E	2	XINTF 时序寄存器，区域 7 可作为两个 16 位寄存器或者一个 32 位寄存器进行访问。
XINTCNF2	0x00 0B34	2	XINTF 配置寄存器可作为两个 16 位寄存器或者一个 32 位寄存器进行访问。
XBANK	0x00 0B38	1	XINTF 组控制寄存器
XREVISION	0x00 0B3A	1	XINTF 修订版本寄存器

3.5.1 时序寄存器

XINTF 信号时序可被调节成与特定外部器件要求相匹配，诸如选通信号的建立和保持时间，以实现竞争避免和最大总线效率。对于每个基于内存要求的区域或者特定区域访问的外设，XINTF 时序参数可被独立配置。这使得程序设计人员能够在预区域的基础上大大提升总线效率。所有 XINTF 时序值与 XTIMCLK 相对应，如 Figure 6-30 所示，它等于 SYSCLKOUT，或者为 SYSCLKOUT 的一半。

与 XINTF 时序和配置寄存器位域相关的详细信息，请参阅《TMS320x281x DSP 外部接口 (XINTF) 参考指南》（文献编号 [SPRU067](#)）。

3.5.2 XREVISION 寄存器

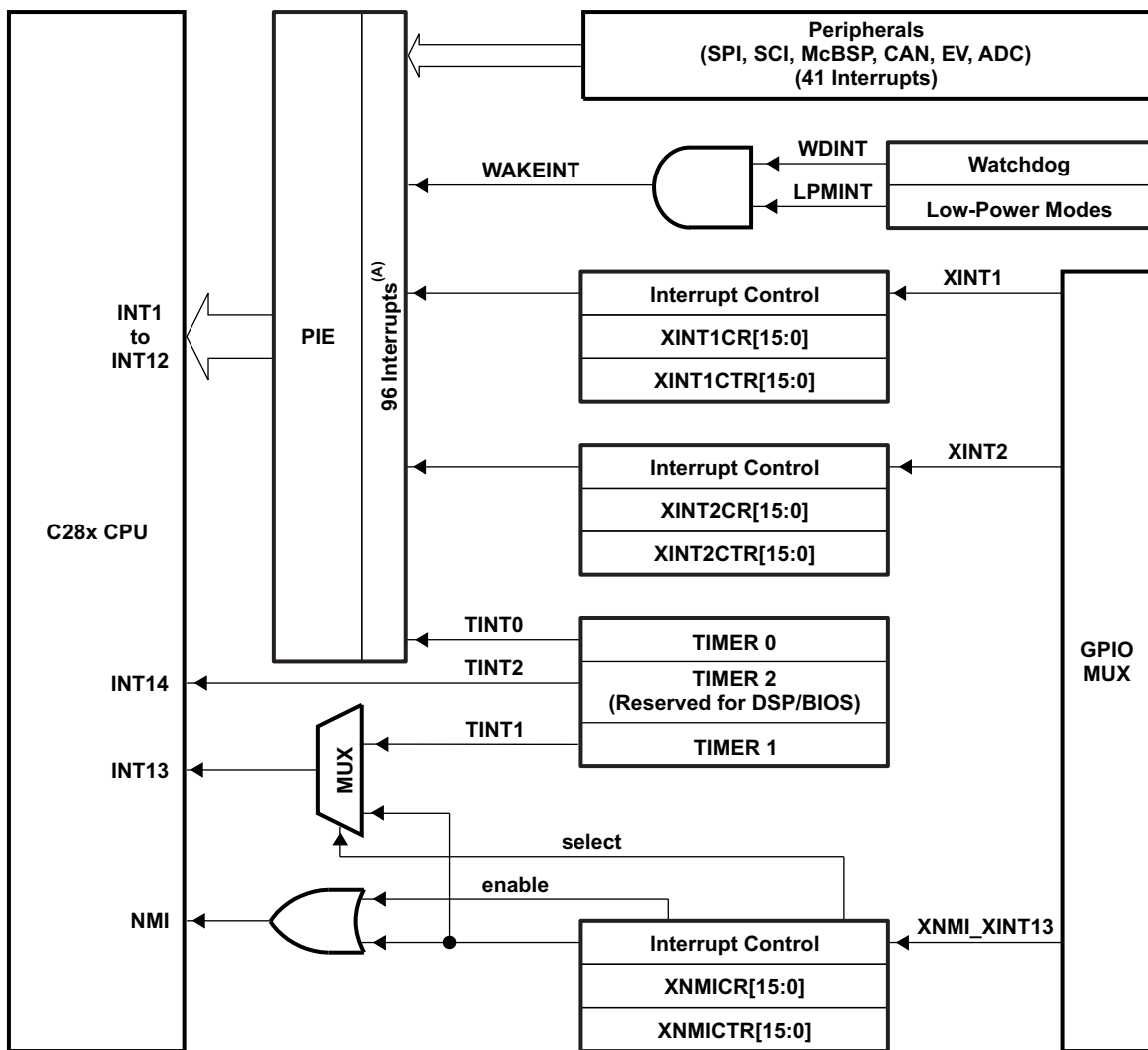
XREVISION 寄存器包含一个独特的数字用来识别产品中所使用的 XINTF 的特定版本。对于 2812，这个寄存器将按照表 3-11 中的说明进行配置。

表 3-11. XREVISION 寄存器位定义

位	名称	类型	复位	说明
15-0	修订版本	读	0x0004	当前 XINTF 修订版本 用于内部使用/参考。只用于测试用途。会有更改。

3.6 中断

图 3-6显示了如何在 F281x 和 C281x 器件内复用不同的中断源。



A. 在 96 个可能的中断中，目前有 45 个中断由外设使用。

图 3-6. 中断源

8 个 PIE 块中断被组合进一个 CPU 中断中。12 个 CPU 中断组，每组 8 个中断，相当于 96 个可能中断。在 F281x 和 C281x 上，这其中外设使用的 45 个中断显示在表 3-12 中。

TRAP #Vectornumber（矢量号）指令将程序控制发送至与指定的矢量相对用的中断处理例程。TRAP #0 尝试传送程序控制到复位矢量所指向的地址。然而，PIE 矢量表不含复位矢量。因此，当 PIE 被启用时，TRAP #0 不应被使用。这样做将导致未定义的运行状态。

当 PIE 被启用时，TRAP #1 至 TRAP #12 将传送程序控制到与 PIE 组内第一个矢量相对应的中断处理例程。例如：TRAP#1 从 INT1.1 中抽取矢量，TRAP#2 从 INT2.1 中抽取矢量，以此类推。

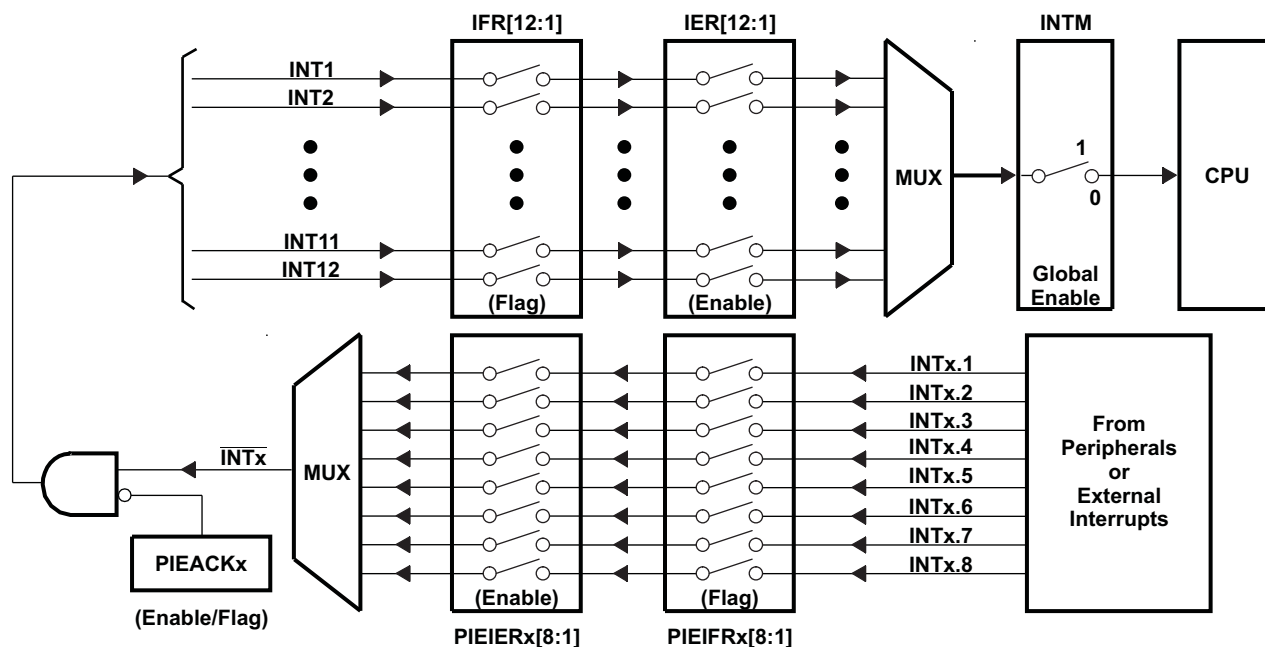


图 3-7. 使用 PIE 块的中断复用

表 3-12. PIE 外设中断⁽¹⁾

CPU 中断	PIE 中断							
	INTx.8	INTx.7	INTx.6	INTx.5	INTx.4	INTx.3	INTx.2	INTx.1
INT1	WAKEINT (LPM/WD)	TINT0 (TIMER 0)	ADCINT (ADC)	XINT2	XINT1	被保留	PDPINTB (EV-B)	PDPINTA (EV-A)
INT2	被保留	T1OFINT (EV-A)	T1UFINT (EV-A)	T1CINT (EV-A)	T1PINT (EV-A)	CMP3INT (EV-A)	CMP2INT (EV-A)	CMP1INT (EV-A)
INT3	被保留	CAPINT3 (EV-A)	CAPINT2 (EV-A)	CAPINT1 (EV-A)	T2OFINT (EV-A)	T2UFINT (EV-A)	T2CINT (EV-A)	T2PINT (EV-A)
INT4	被保留	T3OFINT (EV-B)	T3UFINT (EV-B)	T3CINT (EV-B)	T3PINT (EV-B)	CMP6INT (EV-B)	CMP5INT (EV-B)	CMP4INT (EV-B)
INT5	被保留	CAPINT6 (EV-B)	CAPINT5 (EV-B)	CAPINT4 (EV-B)	T4OFINT (EV-B)	T4UFINT (EV-B)	T4CINT (EV-B)	T4PINT (EV-B)
INT6	被保留	被保留	MXINT (McBSP)	MRINT (McBSP)	被保留	被保留	SPITXINTA (SPI)	SPIRXINTA (SPI)
INT7	被保留	被保留	被保留	被保留	被保留	被保留	被保留	被保留
INT8	被保留	被保留	被保留	被保留	被保留	被保留	被保留	被保留
INT9	被保留	被保留	ECAN1INT (CAN)	ECAN0INT (CAN)	SCITXINTB (SCI-B)	SCIRXINTB (SCI-B)	SCITXINTA (SCI-A)	SCIRXINTA (SCI-A)
INT10	被保留	被保留	被保留	被保留	被保留	被保留	被保留	被保留
INT11	被保留	被保留	被保留	被保留	被保留	被保留	被保留	被保留
INT12	被保留	被保留	被保留	被保留	被保留	被保留	被保留	被保留

- (1) 96 个可能中断中，目前有 45 个正在使用。其余中断保留供未来的器件使用。如果它们在 PIEIFRx 级被启用并且这个组中的中断没有一个被外设使用，这些中断可被用作软件中断。否则，在修改 PIEIFR 的同时意外地清除它们标志，来自外设的中断也许会丢失。
- 总的来说，在两个安全情况下，被保留的中断可被用作软件中断：
- 组内没有外设将中断置为有效。
 - 没有外设中断被分配到这个组（例如，PIE 组 12）。

表 3-13. PIE 配置和控制寄存器⁽¹⁾

名称	地址	大小 (x 16)	说明
PIECTRL	0x0000 0CE0	1	PIE, 控制寄存器
PIEACK	0x0000 0CE1	1	PIE, 确认寄存器
PIEIER1	0x0000 0CE2	1	PIE, INT1 组启用寄存器
PIEIFR1	0x0000 0CE3	1	PIE, INT1 组标志寄存器
PIEIER2	0x0000 0CE4	1	PIE, INT2 组启用寄存器
PIEIFR2	0x0000 0CE5	1	PIE, INT2 组标志寄存器
PIEIER3	0x0000 0CE6	1	PIE, INT3 组启用寄存器
PIEIFR3	0x0000 0CE7	1	PIE, INT3 组标志寄存器
PIEIER4	0x0000 0CE8	1	PIE, INT4 组启用寄存器
PIEIFR4	0x0000 0CE9	1	PIE, INT4 组标志寄存器
PIEIER5	0x0000 0CEA	1	PIE, INT5 组启用寄存器
PIEIFR5	0x0000 0CEB	1	PIE, INT5 组标志寄存器
PIEIER6	0x0000 0CEC	1	PIE, INT6 组启用寄存器
PIEIFR6	0x0000 0CED	1	PIE, INT6 组标志寄存器
PIEIER7	0x0000 0CEE	1	PIE, INT7 组启用寄存器
PIEIFR7	0x0000 0CEF	1	PIE, INT7 组标志寄存器
PIEIER8	0x0000 0CF0	1	PIE, INT8 组启用寄存器
PIEIFR8	0x0000 0CF1	1	PIE, INT8 组标志寄存器
PIEIER9	0x0000 0CF2	1	PIE, INT9 组启用寄存器
PIEIFR9	0x0000 0CF3	1	PIE, INT9 组标志寄存器
PIEIER10	0x0000 0CF4	1	PIE, INT10 组启用寄存器
PIEIFR10	0x0000 0CF5	1	PIE, INT10 组标志寄存器
PIEIER11	0x0000 0CF6	1	PIE, INT11 组启用寄存器
PIEIFR11	0x0000 0CF7	1	PIE, INT11 组标志寄存器
PIEIER12	0x0000 0CF8	1	PIE, INT12 组启用寄存器
PIEIFR12	0x0000 0CF9	1	PIE, INT12 组标志寄存器
被保留	0x0000 0CFA-0x0000 0CFF	6	被保留

(1) PIE 配置和控制寄存器未受 EALLOW 模式保护。PIE 矢量表受保护。

3.6.1 外部中断

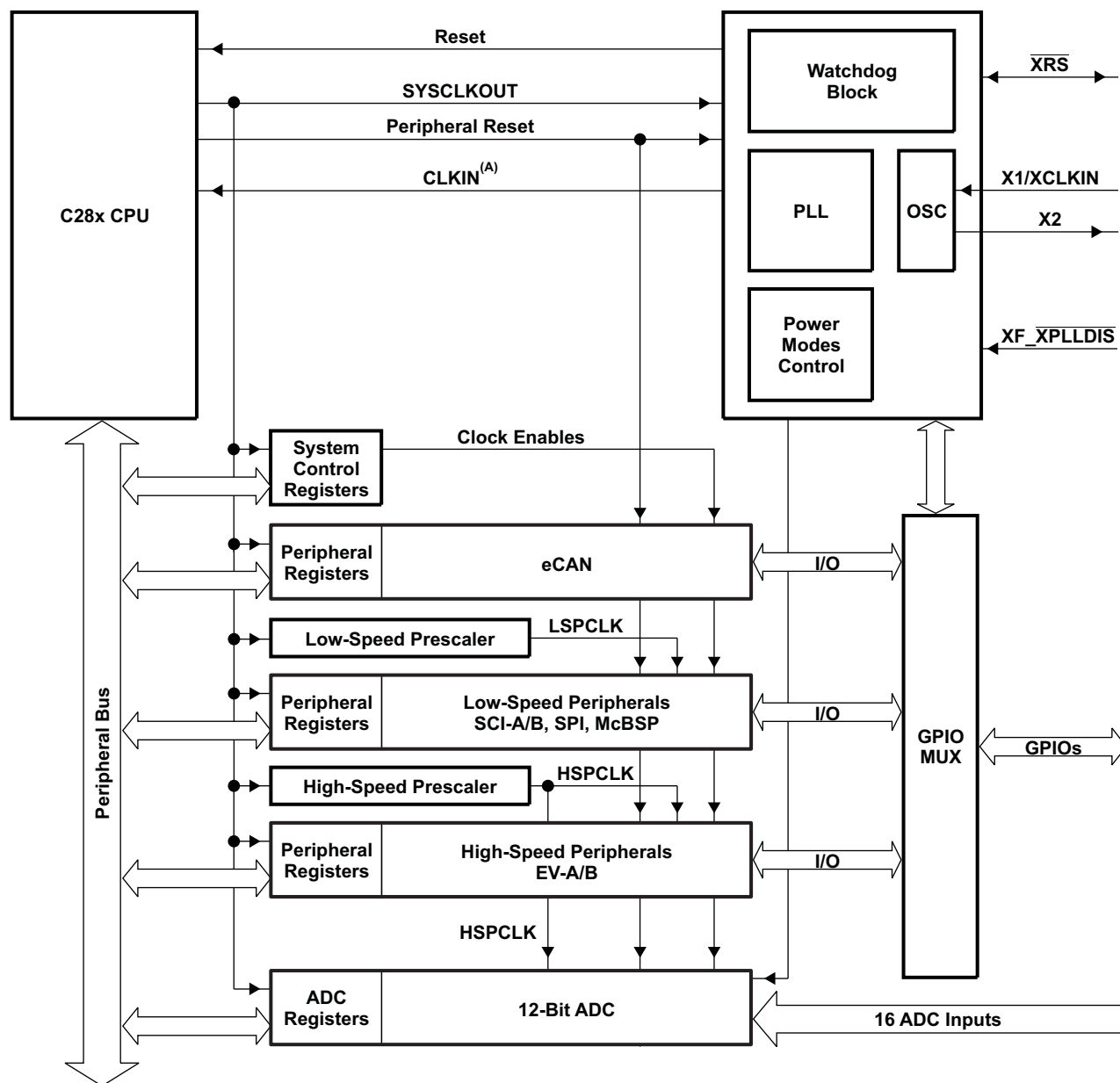
表 3-14. 外部中断寄存器

名称	地址	大小 (x 16)	说明
XINT1CR	0x00 7070	1	XINT1 控制寄存器
XINT2CR	0x00 7071	1	XINT2 控制寄存器
被保留	0x00 7072-0x00 7076	5	
XNMICR	0x00 7077	1	XNMI 控制寄存器
XINT1CTR	0x00 7078	1	XINT1 计数器寄存器
XINT2CTR	0x00 7079	1	XINT2 计数器寄存器
被保留	0x00 707A-0x00 707E	5	
XNMICTR	0x00 707F	1	XNMI 计数器寄存器

每个外部中断可被启用/禁用或者使用正边沿或者负边沿来限定中断。更多信息，请参阅《TMS320x281x DSP 系统控制和中断参考指南》（文献编号 [SPRU078](#)）。

3.7 系统控制

这个部分描述了 F281x 和 C281x 振荡器、PLL 和计时机制、安全装置功能和低功耗模式。图 3-8 显示了将进行讨论的 F281x 和 C281x 器件中的不同时钟和复位域。



A. CLKIN 是到 CPU 的时钟输入。SYSCLKOUT 是 CPU 的输出时钟。它们的频率相同。

图 3-8. 时钟和复位域

PLL、计时、安全装置狗和低功率模式由表 3-15 中列出的寄存器控制。

表 3-15. PLL、计时、安全装置和低功率模式寄存器⁽¹⁾

名称	地址	大小 (x 16)	说明
被保留	0x00 7010-0x00 7017	8	
被保留	0x00 7018	1	
被保留	0x00 7019	1	
HISPCP	0x00 701A	1	HSPCLK 时钟的高速外设时钟预分频器寄存器
LOSPCP	0x00 701B	1	低速外设时钟预分频寄存器用于 LSPCLK 时钟
PCLKCR	0x00 701C	1	外设时钟控制寄存器
被保留	0x00 701D	1	
LPMCR0	0x00 701E	1	低功耗模式控制寄存器 0
LPMCR1	0x00 701F	1	低功耗模式控制寄存器 1
被保留	0x00 7020	1	
PLLCR	0x00 7021	1	PLL 控制寄存器 ⁽²⁾
SCSR	0x00 7022	1	系统控制与状态寄存器
WDCNTR	0x00 7023	1	安全装置计数器寄存器
被保留	0x00 7024	1	
WDKEY	0x00 7025	1	安全装置复位密钥寄存器
被保留	0x00 7026-0x00 7028	3	
WDCR	0x00 7029	1	安全装置控制寄存器
被保留	0x00 702A-0x00 702F	6	

(1) 所有上述寄存器只能通过执行 EALLOW 指令才能访问。

(2) 只用通过 XRS 才能将 PLL 控制寄存器 (PLLCR) 被复位至一个已知的状态。仿真复位（通过 Code Composer Studio）将不会复位 PLLCR。

3.8 OSC 和 PLL 块

图 3-9 显示了 F281x 和 C281x 上的 OSC 和 PLL 块。

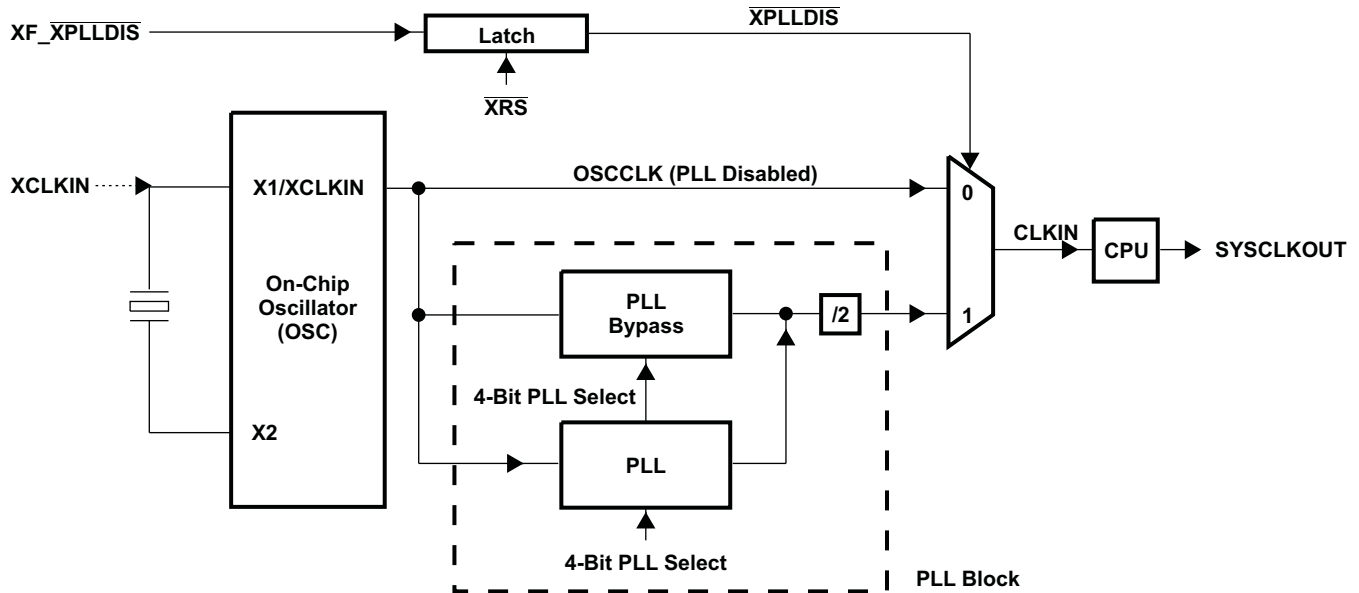


图 3-9. OSC 和 PLL 块

片载振荡器电路启用一个使用 X1/XCLKIN 和 X2 引脚连接至 F281x 和 C281x 器件的晶振。如果一个晶振未被使用，那么一个外部振荡器可以直接接至 X1/XCLKIN 引脚，而 X2 引脚保持未连接。这个情况下的逻辑高电平不应超过 V_{DD} 。PLLCR 位 [3:0] 设定计时比。

表 3-16. PLLCR 寄存器位定义

位	名称	类型	$\overline{\text{XRS}}$ RESET ⁽¹⁾	说明
15:4	被保留	R=0	0:0	
3:0	DIV	读/写	0, 0, 0, 0	SYSCLKOUT = (XCLKIN * n)/2，在这里 n 是 PLL 倍乘因子。
				位值 n SYSCLKOUT
				0000 PLL 被绕过 XCLKIN/2
				0001 1 XCLKIN/2
				0010 2 XCLKIN
				0011 3 XCLKIN * 1.5
				0100 4 XCLKIN * 2
				0101 5 XCLKIN * 2.5
				0110 6 XCLKIN * 3
				0111 7 XCLKIN * 3.5
				1000 8 XCLKIN * 4
				1001 9 XCLKIN * 4.5
				1010 10 XCLKIN * 5
				1011 11 被保留
				1100 12 被保留
				1101 13 被保留
				1110 14 被保留
				1111 15 被保留

(1) PLLCR 寄存器被 $\overline{\text{XRS}}$ 复位线路复位至一个已知状态。 如果一个复位由调试器发布，PLL 计时比不发生变化。

3.8.1 输入时钟损耗

在 PLL 启用模式，如果输入时钟 XCLKIN 或者振荡器时钟被移除或者缺失的话，PLL 仍将发布一个“跛行模式”时钟。这个跛行模式时钟将持续为 CPU 和典型频率为 1-4MHz 的外设计时。为了使这个特性正常运行，PLLCR 寄存器应该已经被写入一个非零值。

通常情况下，当输入时钟出现时，安全装置计数器将减量来启动一个安全装置复位或者 WDINT 中断。然而，当外部输入时钟发生故障时，安全装置计数器停止减量（也就是说，安全装置计数器不会随着跛行模式时钟而改变）。这个条件可被应用固件用来检测输入时钟故障并为系统启动所需的关断过程。

注

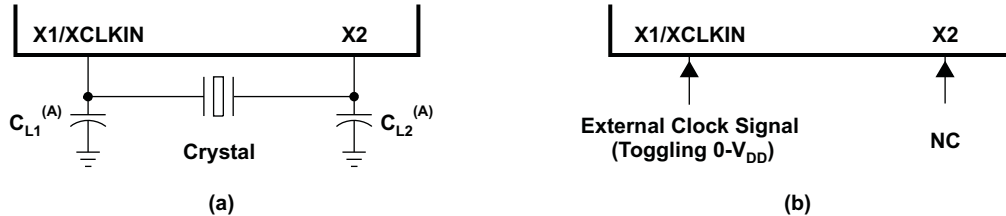
在正确 CPU 运行频率绝对关键的应用中应该执行一个机制，通过这个机制，只要输入时钟出现故障，DSP 就被保持在复位状态。例如，只要电容器充满电，一个 R-C 电路可被用于触发 DSP 的 $\overline{\text{XRS}}$ 引脚。一个 I/O 引脚可被用于定期为电容器放电以防止其被完全充满。这样一个电路也将有助于检测 V_{DD3VFL} 电源轨的故障。

3.9 基于 PLL 的时钟模块

F281x 和 C281x 有一个片载、基于 PLL 的时钟模块。这个模块为器件提供所有需要的时钟信号，以及对低功耗模式进入的控制。PLL 具有 4 位比率控制以选择不同的 CPU 时钟频率。在写入 PLLCR 寄存器之前，安全装置模块应该被禁用。在 PLL 模式稳定后，它可被重新启用（如果需要的话），重新启用所需的时间为 131072 个 XCLKIN 周期。

基于 PLL 的时钟模块提供两种操作模式：

- 晶振运行：这个模式允许使用一个外部晶振/谐振器来为器件提供时基。
- 外部时钟源运行：这个模式允许内部振荡器旁通。此器件时钟由一个外部时钟源数生成并从 X1/XCLKIN 引脚输入。



- A. TI 建议客户让谐振器/晶振销售商明确他们的器件与 DSP 芯片一起工作的特性。谐振器/晶体销售商具有调谐谐振电路的设备和专业技术。销售商也可以在正确谐振值选择方面为客户提出建议，这些值可在整个运行范围内确保启动和稳定性。

图 3-10. 推荐的晶振/时钟连接

表 3-17. 可能的 PLL 配置模式

PLL 模式	注释	SYSCLKOUT
PLL 被禁用	复位时，通过将 XPLLDIS 引脚置为低电平来调用。PLL 块被完全禁用。到 CPU 的时钟输入 (CLKIN) 直接取自出现在 X1/XCLKIN 引脚上的时钟信号。	XCLKIN
PLL 被绕过	如果 PLL 未被禁用，加电时，PLL 使用的为缺省设置。PLL 本身被绕过。然而，在馈入 CPU 之前，PLL 块内的 /2 模块将这个 X1/XCLKIN 引脚上的时钟输入二分频。	XCLKIN/2
PLL 被启用	通过将一个非零值“n”写入 PLLCR 寄存器实现。现在，在馈入 CPU 之前，PLL 块内的 /2 模块将 PLL 的输出二分频。	(XCLKIN * n)/2

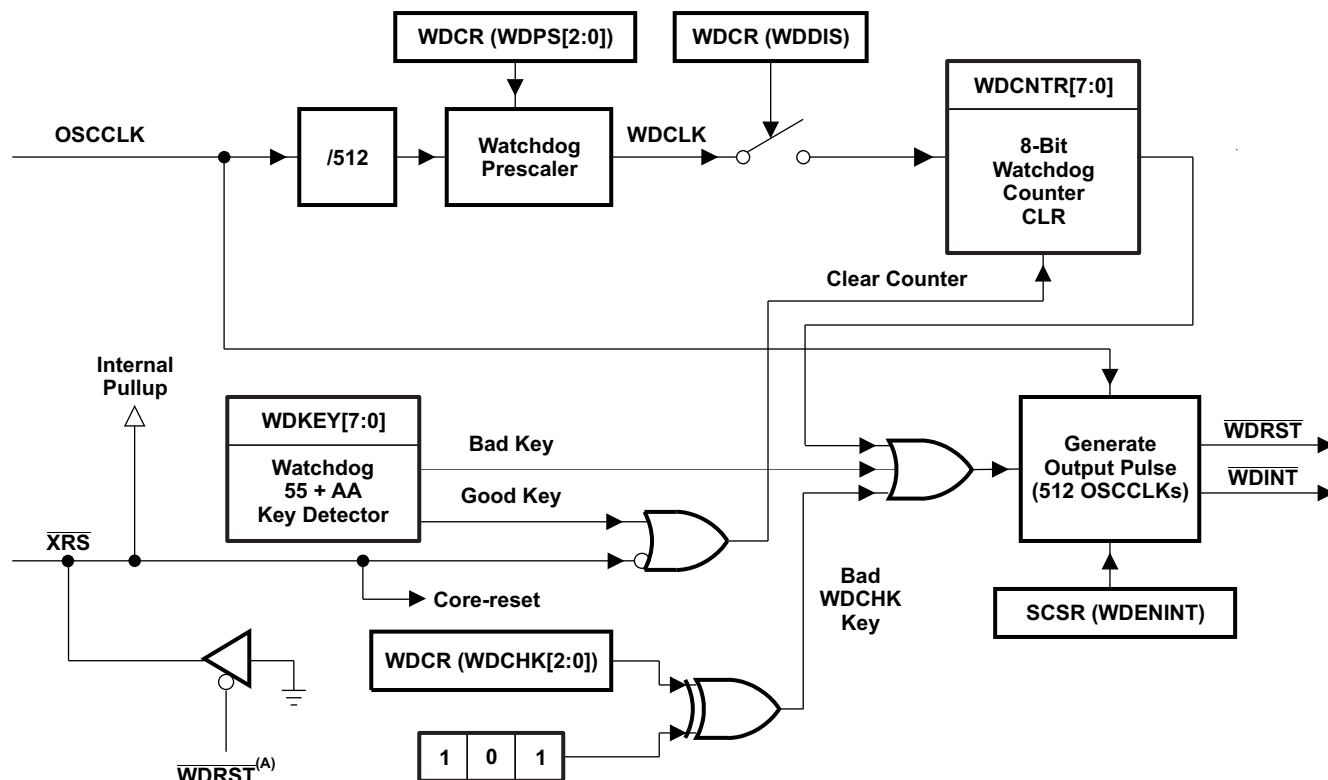
3.10 外部参考振荡器时钟选项

用于频率为 30MHz 的外部石英晶振的典型技术参数如下：

- 基本模式、并联谐振
- C_L （负载电容）=12pF
- $C_{L1}=C_{L2}=24$ pF
- $C_{\text{并联}}=6$ pF
- ESR 范围 = 25 至 40Ω

3.11 安全装置块

F281x 和 C281x 上的安全装置块与 240x 器件上使用的安全装置一样。只要 8 位安全装置计数器达到了它的最大值，这个安全装置模块就生成一个输出脉冲，512 振荡器时钟宽度 (OSCCLK)。要防止这种情况，用户可以禁用该计数器，或者必须通过软件定期将一个 0x55+0xAA 序列写入至安全装置密钥寄存器中，从而使安全装置计数器复位。图 3-11 显示了安全装置模块内的各种功能块。



A. $\overline{\text{WDRST}}$ 信号在 512 个 OSCCLK 周期内被驱动为低电平。

图 3-11. 安全装置模块

$\overline{\text{WDINT}}$ 信号使得安全装置可被用作一个从 IDLE/STANDY 模式定时器的唤醒。

在 STANDBY 模式中，器件上的所有外设关闭。唯一继续工作的外设是安全装置。WATCHDOG 模块将关闭 PLL 块或者振荡器时钟。 $\overline{\text{WDINT}}$ 信号被馈送到 LPM 块以便它可以将器件从 STANDBY 唤醒（如已启用）。更多细节，请见节 3.12，低功耗模式块。

在 IDLE 模式中， $\overline{\text{WDINT}}$ 信号可通过 PIE 来生成一个到 CPU 的中断来将 CPU 从 IDLE 模式中唤醒。

在 HALT 模式中，不能使用此功能，这是因为振荡器（和 PLL）被关闭，因此安全装置也被关闭。

3.12 低功耗模式块

F281x 和 C281x 上的低功耗模式与 240x 器件相似。表 3-18总结了各种模式。

表 3-18. F281x 和 C281x 低功耗模式

模式	LPM[1:0]	OSCCLK	CLKIN	SYSCLKOUT	退出 ⁽¹⁾
正常	X, X	打开	打开	打开	-
IDLE	0, 0	打开	打开	打开 ⁽²⁾	$\overline{\text{XRS}}$, $\overline{\text{WDINT}}$, 任何被启用的中断, XNMI, 调试器 ⁽³⁾
STANDBY	0, 1	打开 (安全装置仍然运行)	关闭	关闭	$\overline{\text{XRS}}$, $\overline{\text{WDINT}}$, XINT1, XNMI, $\overline{\text{T1/2/3/4CTrip}}$, C1/2/3/4/5/6TRIP, SCIRXDA, SCIRXDB, CANRX, 调试器 ⁽³⁾
HALT	1, X	关闭 (振荡器和 PLL 关闭, 安全装置不工作)	关闭	关闭	$\overline{\text{XRS}}$, XNMI, 调试器 ⁽³⁾

- (1) “退出”列列出哪些信号或在哪些情况下会退出低功耗模式。一个低电平信号，或者在这些信号中的任何一个上，将退出低功耗状态。此信号必须保持低电平足够长时间以便器件识别中断。否则，将不会从 IDLE 模式中退出，而器件将返回到指示的低功耗模式。
- (2) C28x 上的 IDLE 模式的运行状态与 24x/240x 上的不同。在 C28x 上，来自内核 (SYSCLKOUT) 的时钟输出仍将起作用；而在 24x/240x 上，此时钟将被关闭。
- (3) 在 28x 上，即使内核时钟 (CLKIN) 被关闭，JTAG 端口仍然可以工作。

不同的低功耗模式运行状态如下：

IDLE 模式

通过任一被启用的中断或者一个被处理器识别的 XNMI 来退出此模式。LPM 块在这个模式期间，在 LPMCR0 (LPM) 位被设定为 0, 0 时，LPM 块不执行任何任务。

STANDBY 模式

如果被 LPMCR1 寄存器选中，所有其它信号（包括 XNMI 在内）将把器件从 STANDBY 模式中唤醒。用户需要选择使用哪一个，或者那几个信号将器件唤醒。在唤醒器件前，所选的信号也由 OSCCLK 限定。在 LPMCR0 寄存器中指定了 OSCCLK 的数量。

HALT 模式

只有 $\overline{\text{XRS}}$ 和 XNMI 外部信号可将器件从 HALT 模式中唤醒。到内核的 XNMI 输入有一个启用/禁用位。因此，为这个功能使用 XNMI 信号是安全的。

注

低功耗模式并不会影响输出引脚的状态（包括 PWM 引脚在内）。当 IDLE 指令被执行时，它们将保持在代码指定的状态中。

4 外设

F281x 和 C281x 的集成外设在下边的子部分中进行了说明:

- 三个 32 位 CPU 定时器
- 两个事件管理器模块 (EVA, EVB)
- 增强型模数转换器 (ADC) 模块
- 增强型控制器局域网络 (eCAN) 模块
- 多通道缓冲串行端口 (McBSP) 模块
- 串行通信接口模块 (SCI-A, SCI-B)
- 串行外设接口 (SPI) 模块
- 数字 I/O 和共用引脚功能

4.1 32 位 CPU 定时器 0/1/2

在 F281x 和 C281x 器件上有三个 32 位 CPU 定时器 (CPU-TIMER0/1/2)

定时器 2 为 DSP/BIOS 预留。可以在用户应用程序中使用 CPU 定时器 0 和定时器 1。这些定时器与出现在事件管理器模块 (EVA, EVB) 中的通用 (GP) 定时器不同。

注

如果应用不使用 DSP/BIOS, 那么 CPU 定时器 2 可被用在应用中。

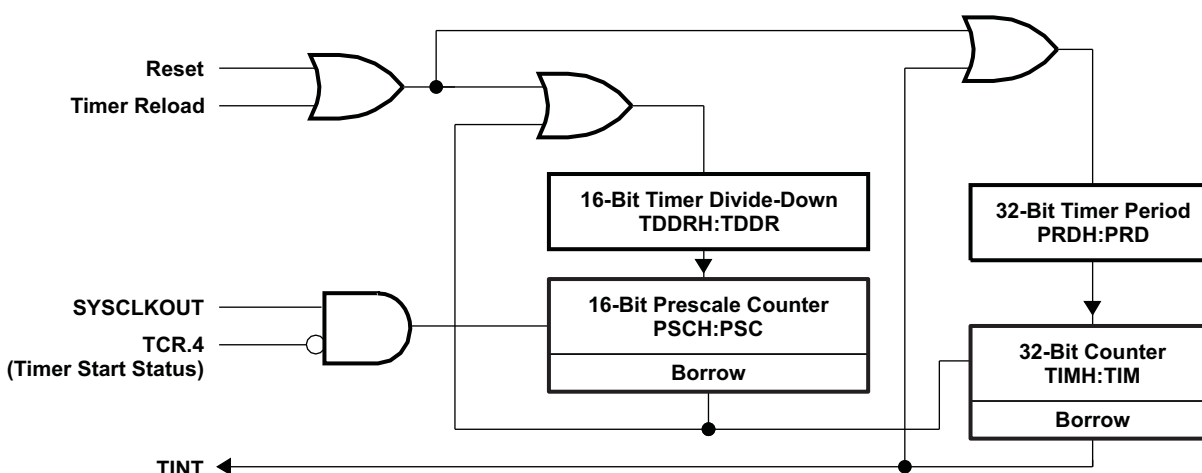


图 4-1. CPU 定时器

在 F281x 和 C281x 器件中，定时器中断信号 (TINT0, TINT1, TINT2) 的连接方式如图 4-2 中所示。

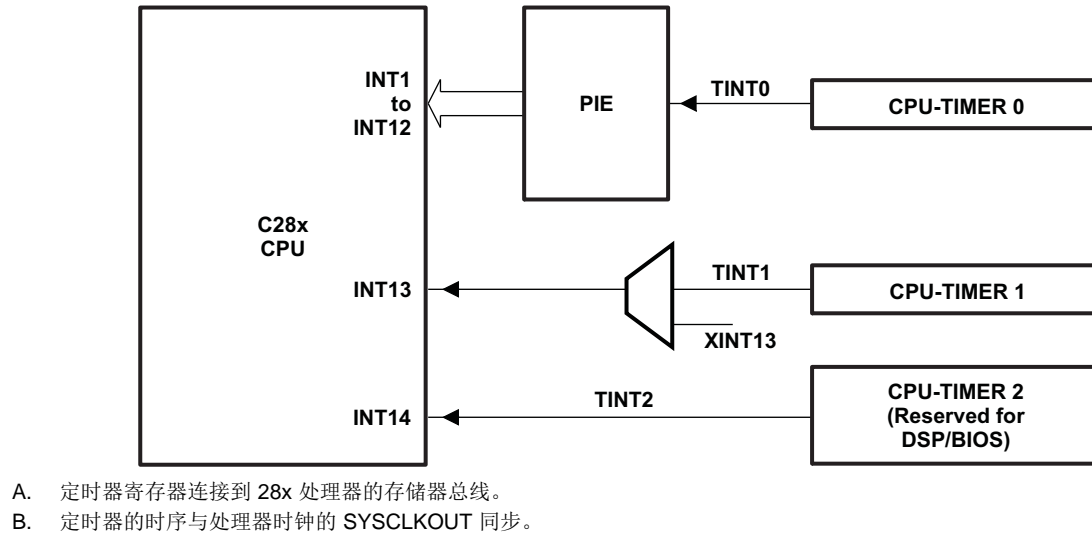


图 4-2. CPU 定时器中断信号和输出信号

定时器的通常操作如下：32 位计数器寄存器 “TIMH:TIM” 装入周期寄存器 “PRDH:PRD” 中的值。计数器寄存器按 C28 x 的 SYSCLKOUT 频率递减。当计数器到达 0 时，一个定时器中断输出信号生成一个中断脉冲。表 4-1 中列出的寄存器用于配置定时器。更多信息，请参阅《TMS320x281x DSP 系统控制和中断参考指南》（文献编号 [SPRU078](#)）。

表 4-1. CPU 定时器 0, 1, 2 配置和控制寄存器

名称	地址	大小 (x 16)	说明
TIMER0TIM	0x00 0C00	1	CPU 定时器 0, 计数器寄存器
TIMER0TIMH	0x00 0C01	1	CPU 定时器 0, 计数器寄存器高电平
TIMER0PRD	0x00 0C02	1	CPU 定时器 0, 周期寄存器
TIMER0PRDH	0x00 0C03	1	CPU 定时器 0, 周期寄存器高电平
TIMER0TCR	0x00 0C04	1	CPU 定时器 0, 控制寄存器
被保留	0x00 0C05	1	
TIMER0TPR	0x00 0C06	1	CPU 定时器 0, 预分频寄存器
TIMER0TPRH	0x00 0C07	1	CPU 定时器 0, 预分频寄存器高电平
TIMER1TIM	0x00 0C08	1	CPU 定时器 1, 计数器寄存器
TIMER1TIMH	0x00 0C09	1	CPU 定时器 1, 计数器寄存器高电平
TIMER1PRD	0x00 0C0A	1	CPU 定时器 1, 周期寄存器
TIMER1PRDH	0x00 0C0B	1	CPU 定时器 1, 周期寄存器高电平
TIMER1TCR	0x00 0C0C	1	CPU 定时器 1, 控制寄存器
被保留	0x00 0C0D	1	
TIMER1TPR	0x00 0C0E	1	CPU 定时器 1, 预分频寄存器
TIMER1TPRH	0x00 0C0F	1	CPU 定时器 1, 预分频寄存器高电平
TIMER2TIM	0x00 0C10	1	CPU 定时器 2, 计数器寄存器
TIMER2TIMH	0x00 0C11	1	CPU 定时器 2, 计数器寄存器高电平
TIMER2PRD	0x00 0C12	1	CPU 定时器 2, 周期寄存器
TIMER2PRDH	0x00 0C13	1	CPU 定时器 2, 周期寄存器高电平
TIMER2TCR	0x00 0C14	1	CPU 定时器 2, 控制寄存器
被保留	0x00 0C15	1	
TIMER2TPR	0x00 0C16	1	CPU 定时器 2, 预分频寄存器
TIMER2TPRH	0x00 0C17	1	CPU 定时器 2, 预分频寄存器高电平
被保留	0x00 0C18-0x00 0C3F	40	

4.2 事件管理器模块 (EVA, EVB)

事件管理器模块包括通用 (GP) 定时器、完全比较 / PWM 单元、捕捉单元、和正交编码器脉冲 (QEP) 电路。EVA 和 EVB 定时器、比较单元、和捕捉单元功能一致。然而，EVA 和 EVB 的定时器/单元名称不同。表 4-2 显示了使用的模块和信号名称。表 4-2 显示了事件管理器模块可用的特性和功能并且标出了 EVA 命名规则。

事件管理器 A 和 B 具有完全一样的外设寄存器集，对于 EVA 外设寄存器从 7400h 开始，对于 EVB 则从 7500h 开始。这个部分中的段落描述了使用 EVA 命名规则的 GP 定时器、比较单元、捕捉单元、和 QEP 的功能。在功能方面，这些段落同样适用于 EVB - 然而，模块/信号名称不同。表 4-3 中列出了 EVA 寄存器。更多信息，请参阅《TMS320x281x DSP 事件管理器 (EV) 参考指南》（文献编号 [SPRU065](#)）。

表 4-2. 针对 EVA 和 EVB 的模块和信号名称

事件管理器 模块	EVA		EVB	
	模块	信号	模块	信号
GP 定时器	GP 定时器 1 GP 定时器 2	T1PWM/T1CMP T2PWM/T2CMP	GP 定时器 3 GP 定时器 4	T3PWM/T3CMP T4PWM/T4CMP
比较单元	比较 1 比较 2 比较 3	PWM1/2 PWM3/4 PWM5/6	比较 4 比较 5 比较 6	PWM7/8 PWM9/10 PWM11/12
捕捉单元	捕捉 1 捕捉 2 捕捉 3	CAP1 CAP2 CAP3	捕捉 4 捕捉 5 捕捉 6	CAP4 CAP5 CAP6
QEP 通道	QEP1 QEP2 QEPI1	QEP1 QEP2	QEP3 QEP4 QEPI2	QEP3 QEP4
外部时钟输入	方向 外部时钟	TDIRA TCLKINA	方向 外部时钟	TDIRB TCLKINB
外部跳闸触点输入	比较	$\overline{C1TRIP}$ $\overline{C2TRIP}$ $\overline{C3TRIP}$	比较	$\overline{C4TRIP}$ $\overline{C5TRIP}$ $\overline{C6TRIP}$
外部跳闸触点输入		$\overline{T1CTRIP_PDPINTA}^{(1)}$ $\overline{T2CTRIP/EVASOC}$		$\overline{T3CTRIP_PDPINTB}^{(1)}$ $\overline{T4CTRIP/EVBSOC}$

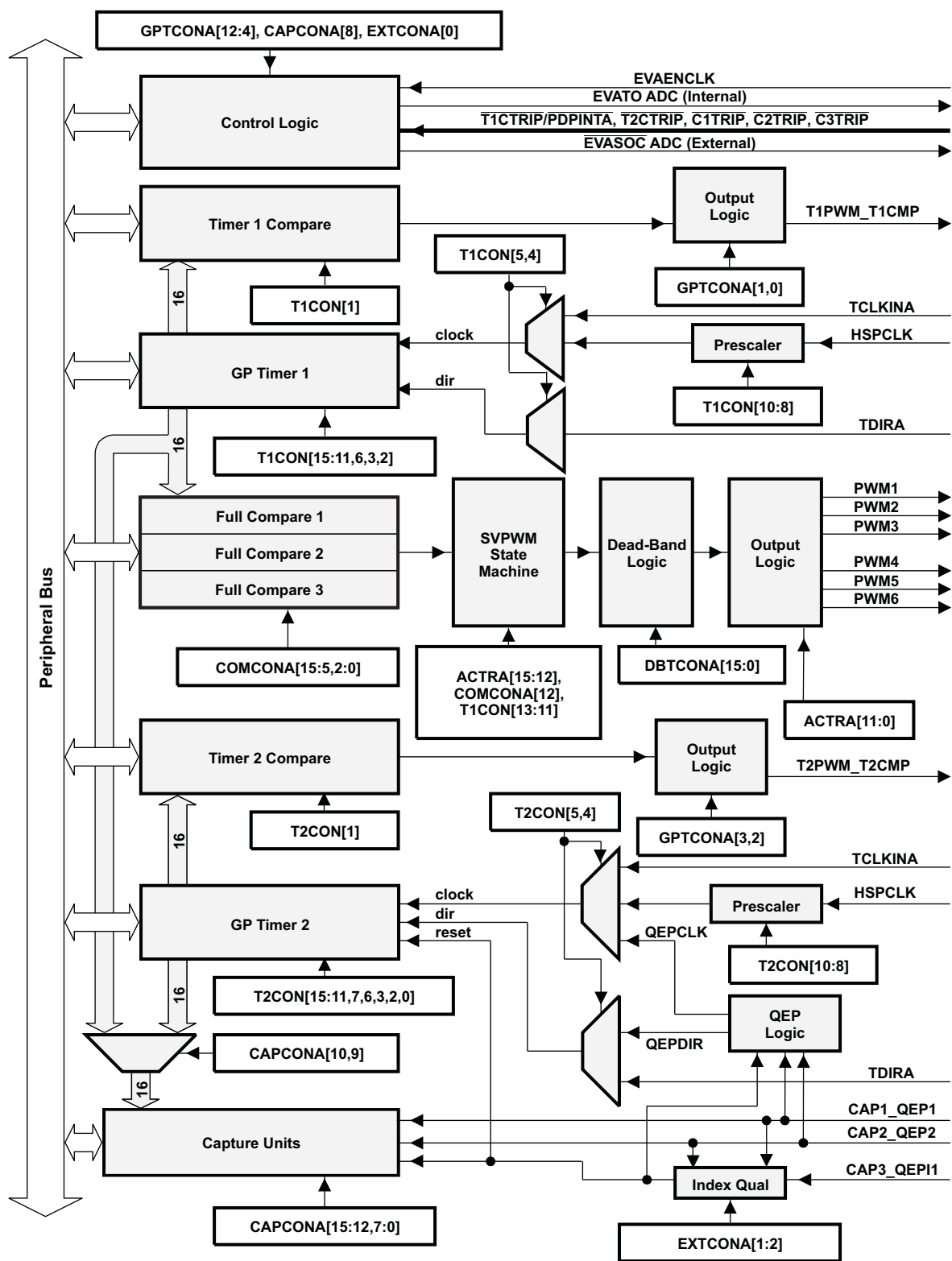
(1) 在 24x/240x 兼容模式中， $\overline{T1CTRIP_PDPINTA}$ 引脚运行行为 $\overline{PDPINTA}$ 而 $\overline{T3CTRIP_PDPINTB}$ 引脚运行行为 $\overline{PDPINTB}$ 。

表 4-3. EVA 寄存器⁽¹⁾

名称	地址	大小 (x 16)	说明
GPTCONA	0x00 7400	1	GP 定时器控制寄存器 A
T1CNT	0x00 7401	1	GP 定时器 1 计数器寄存器
T1CMPR	0x00 7402	1	GP 定时器 1 比较寄存器
T1PR	0x00 7403	1	GP 定时器 1 周期寄存器
T1CON	0x00 7404	1	GP 定时器 1 控制寄存器
T2CNT	0x00 7405	1	GP 定时器 2 计数器寄存器
T2CMPR	0x00 7406	1	GP 定时器 2 比较寄存器
T2PR	0x00 7407	1	GP 定时器 2 周期寄存器
T2CON	0x00 7408	1	GP 定时器 2 控制寄存器
EXTCONA ⁽²⁾	0x00 7409	1	GP 扩展扩展寄存器 A
COMCONA	0x00 7411	1	比较控制寄存器 A
ACTRA	0x00 7413	1	比较操作控制寄存器 A
DBTCONA	0x00 7415	1	死区定时器控制寄存器 A
CMPR1	0x00 7417	1	比较寄存器 1
CMPR2	0x00 7418	1	比较寄存器 2
CMPR3	0x00 7419	1	比较寄存器 3
CAPCONA	0x00 7420	1	捕捉控制寄存器
CAPFIFOA	0x00 7422	1	捕捉 FIFO 状态寄存器 A
CAP1FIFO	0x00 7423	1	两级深捕捉 FIFO 堆栈 1
CAP2FIFO	0x00 7424	1	两级深捕捉 FIFO 堆栈 2
CAP3FIFO	0x00 7425	1	两级深捕捉 FIFO 堆栈 3
CAP1FBOT	0x00 7427	1	捕捉 FIFO 堆栈 1 的栈底寄存器
CAP2FBOT	0x00 7428	1	捕捉 FIFO 堆栈 2 的栈底寄存器
CAP3FBOT	0x00 7429	1	捕捉 FIFO 堆栈 3 的栈底寄存器
EVAIMRA	0x00 742C	1	中断屏蔽寄存器 A
EVAIMRB	0x00 742D	1	中断屏蔽寄存器 B
EVAIMRC	0x00 742E	1	中断屏蔽寄存器 C
EVAIFRA	0x00 742F	1	中断标志寄存器 A
EVAIFRB	0x00 7430	1	中断标志寄存器 B
EVAIFRC	0x00 7431	1	中断标志寄存器 C

(1) EV-B 寄存器集完全一样，除了地址范围是从0x007500 至 0x00753F。上面的寄存器被映射到区域 2。这个空间只允许 16 位访问。32 位访问会生成未定义的后果。

(2) 与 24x/240x 相对照的全新寄存器



A. EVB 模块与 EVA 模块相似。

图 4-3. 事件管理器 A 功能方框图

4.2.1 通用 (GP) 定时器

有两个 GP 定时器。GP 定时器 x (对于 EVA, x=1 或者 2; 对于 EVB, x=3 或者 4) 包括:

- 一个 16 位定时器、上数/下数计数器、TxCNT, 用于 读取或者写入
- 一个 16 位定时器比较寄存器, TxCMPR (使用影子寄存器实现双缓冲), 用于读取或者写入
- 一个 16 位定时器周期寄存器, TxPR (使用影子寄存器实现双缓冲), 用于读取或者写入
- 一个 16 位定时器控制寄存器, TxCON, 用于读取或者写入
- 可选内部或者外部输入时钟
- 一个针对内部或者外部时钟输入的可编程预分频器
- 控制和中断逻辑, 用于四个可屏蔽中断: 下溢, 溢出, 定时器比较, 和周期中断
- 一个可选方向输入引脚 (TDIRx) (当方向上数/下数计数模式被选中时进行上计数或者倒计数)

GP 定时器可独立运行或者互相之间同步。与每个 GP 定时器相关的比较寄存器可被用于比较功能和 PWM 波形生成。对于每个处在上计数或者上计数/倒计数运行中的 GP 定时器来说, 有三个连续运行模式。带有可编程分频器的内部或者外部输入时钟被用于每个 GP 定时器。GP 定时器还为其它事件管理器子模块提供时基: GP 定时器 1 为所有比较和 PWM 电路提供时基, GP 定时器 2 为捕捉单元和正交脉冲计数运行提供时基。按照需要, 周期和比较寄存器的双缓冲可实现定时器 (PWM) 周期以及比较 / PWM 脉冲宽度的可编程变化。

4.2.2 完全比较单元

在每个事件管理器上有三个完全比较单元。这些比较单元使用 GP 定时器作为时基并为使用可编程死区电路的比较和 PWM 波形生成产生六个输出。这六个输出中每一个输出的状态可独立配置。比较单元的比较寄存器是双缓冲的, 从而可实现所需的比较 / PWM 脉冲宽度可编程变化。

4.2.3 可编程死区发生器

对于每一个比较单元输出, 可单独启用/禁用死区生成。死区发生器电路为每个比较单元输出信号产生两个输出 (带有或者不带有死区)。通过双缓冲 ACTRx 寄存器, 死区发生器的输出状态可按照需要配置和改变。

4.2.4 PWM 波形生成

每一个事件管理器可同时产生多达 8 个 PWM 波形 (输出): 带有可编程死区的三个完全比较单元生成的三个独立对 (六个输出), 和 GP 定时器比较生成的两个独立 PWM。

4.2.5 双更新 PWM 模式

F281x 和 C281x 事件管理器支持“双更新 PWM 模式。”这个模式是指一个 PWM 运行模式, 在这个模式中, 一个 PWM 脉冲前沿和后沿的位置可在每个 PWM 周期内独立修改。为了支持这个模式, 确定一个 PWM 脉冲边沿位置的比较寄存器必须允许 (缓冲的) 比较值在一个 PWM 周期开始时更新一次, 在一个 PWM 周期中间的另外一个时间更新一次。F281x 和 C281x 事件管理器中的比较寄存器是完全缓冲的并且支持 3 个比较值重新载入/更新 (缓冲器中的值变为有效) 模式。这些模式已经在之前被证明为比较值重新载入条件。支持双更新 PWM 模式的重新载入条件在下溢 (PWM 周期的开始) 或者周期 (PWM 周期的中间) 上被重新载入。双更新 PWM 模式可通过使用这个用于比较值重新载入的条件实现。

4.2.6 PWM 特性

PWM 特性如下:

- 16 位寄存器
- 针对 PWM 输出引脚对的宽范围可编程死区
- PWM 摇频所需的 PWM 载波频率的改变
- PWM 脉冲宽度内的改变和每个 PWM 周期之后所需的改变
- 外部可屏蔽电源和驱动保护中断
- 脉冲波形发生器电路, 用于不对称、对称、和四空间矢量 PWM 波形的可编程生成
- 使用比较和周期寄存器的自动重新载入可大大减少 CPU 的开销

- 在 $\overline{\text{PDPINTx}}$ 引脚被驱动至低电平并且在 $\overline{\text{PDPINTx}}$ 信号验证之后, PWM 引脚被驱动至高阻抗状态。
 $\overline{\text{PDPINTx}}$ 引脚 (验证之后) 被反映在 COMCONx 寄存器的位 8 上。
 - $\overline{\text{PDPINTA}}$ 引脚状态被反映在 COMCONA 寄存器的位 8 上。
 - $\overline{\text{PDPINTB}}$ 引脚状态被反映在 COMCONB 寄存器的位 8 上。
- EXTCON 寄存器位提供针对每个 PWM 信号对的独立跳闸触点控制选项。

4.2.7 捕捉单元

捕捉单元为不同事件或者转换提供一个日志记录功能。当在捕捉输入引脚上检测到所选转换, CAPx (对于 EVA, x = 1, 2, 或者 3; 对于 EVB, x = 4, 5, 或者 6) 时, 选定的 GP 定时器计数器的值被捕捉并存储在两级深 FIFO 堆栈内。比较单元由三个捕捉电路组成。

捕捉单元包括下列特性:

- 一个 16 位捕捉控制寄存器, CAPCONx (R/W)
- 一个 16 位捕捉 FIFO 状态寄存器, CAPFIFOx
- 选择 GP 定时器 1/2 (对于 EVA) 或者 3/4 (对于 EVB) 作为时基
- 3 个 16 位 2 级深 FIFO 堆栈, 每个堆栈用于一个比较单元
- 3 个比较输入引脚 (对于 EVA, CAP1/2/3, 对于 EVB, CAP4/5/6) - 每个捕捉单元一个输入引脚。[所有输入与器件 (CPU) 时钟同步。为了捕捉到一个转换, 输入必须保持在其当前的电平以满足输入验证电路的要求。输入引脚 CAP1/2 和 CAP4/5 也可被用作 QEP 电路的 QEP 输入。]
- 用户指定转换 (上升边沿、下降边沿、或者这两个边沿) 检测
- 三个可屏蔽中断标志, 一个用于每个捕捉单元
- 如果它们不被用于捕捉功能, 捕捉引脚也可被用作通用中断引脚。

4.2.8 正交编码器脉冲 (QEP) 电路

两个捕捉输入 (对于 EVA, CAP1 和 CAP2; 对于 EVB, CAP4 和 CAP5) 可被用于片载 QEP 电路与正交编码器脉冲的对接。在芯片上执行这些输入的完全同步。方向或者前沿正交脉冲序列被检测到, 并且 GP 定时器 2/4 被两个输入信号的上升和下降边沿增量或者减量 (每个输入脉冲频率的四倍)。

借助于 EXTCONA 寄存器位, EVA QEP 电路也可将 CAP3 用作一个捕捉索引引脚。相似地, 借助于 EXTCONB 寄存器位, EVB QEP 电路可将 CAP6 用作一个捕捉索引引脚。

4.2.9 外部 ADC 转换开始

EVA/EVB 转换开始 (SOC) 可被发送到一个外部引脚 ($\overline{\text{EVASOC}}$ / $\overline{\text{EVBSOC}}$) 用于外部 ADC 接口。 $\overline{\text{EVASOC}}$ 和 $\overline{\text{EVBSOC}}$ 分别与 T2CTRIP 和 T4CTRIP 复用。

4.3 增强型模数转换器 (ADC) 模块

图 4-4 显示了一个 ADC 模块的简化功能方框图 ADC 模块由一个带有内置采样保持 (S/H) 电路的 12 位 ADC 组成。ADC 模块的功能包括:

- 具有内置 S/H 的 12 位 ADC 内核
- 模拟输入: 0.0V 至 3.0V (高于 3.0V 的电压产生满量程转换结果)
- 快速转换率: 25MHz ADC 时钟, 12.5 每秒百万次采样 (MSPS) 时为 80ns
- 16 通道, 被复用输入
- 自动定序功能在单次会话中可提供多达 16 次“自动转换”。可将每次转换编程为选择 16 个输入信道中的任何一个。
- 序列发生器可运行为 2 个独立的 8 态序列发生器, 或作为 1 个较大的 16 态序列发生器 (即 2 个级联的 8 态序列发生器)。

- 用于存储转换值的 16 个结果寄存器（可分别寻址）
 - 输入模拟电压的数值源自：

Digital Value = 0, when input ≤ 0 V

Digital Value = $4096 \times \frac{\text{Input Analog Voltage} - \text{ADCLO}}{3}$ when 0 V < input < 3 V

Digital Value = 4095, when input ≥ 3 V

- 作为转换开始 (SOC) 序列源的多个触发器
 - S/W - 软件立即启动
 - EVA - 事件管理器 A (EVA 内的多个事件源)
 - EVB - 事件管理器 B (EVB 内的多个事件源)
- 灵活的中断控制允许每个序列结束 (EOS) 或其它 EOS 上的中断请求。
- 序列发生器可运行在“启动/停止”模式，以便多个“时序触发器”进行同步转换。
- EVA 和 EVB 触发器可独立运行在双序列发生器模式
- 采样保持 (S/H) 采集时间窗口具有独立的预分频控制

F281x 和 C281x 中的 ADC 模块已被增强来为提供到事件管理器 A 和 B 的灵活接口。ADC 接口在一个快速，12 位 ADC 模块周围建立，此模块具有在 25MHz ADC 时钟上有一个 80ns 的快速转换速率。ADC 模块有 16 个通道，这些通道可被配置为两个用于事件管理器 A 和 B 的独立 8 通道模块。可将两个独立的 8 通道模块级联以形成一个 16 通道模块。尽管有多个输入信道和 2 个序列发生器，但在 ADC 模块中只有一个转换器。图 4-4 显示了 F281x 和 C281x ADC 模块的方框图。

2 个 8 通道模块可自动对一系列转换定序，每个模块可以通过模拟 MUX 选择其中一个可用 8 信道。在级联模式中，自动序列发生器将作为一个单个 16 通道序列发生器使用。在每个序列发生器上，一旦转换完成，所选的通道值将存储在各自的 RESULT 寄存器中。系统可使用自动定序功能多次转换同一信道，以便用户执行过采样算法。这种过采样算法可提供比传统的单一采样转换结果更高的分辨率。

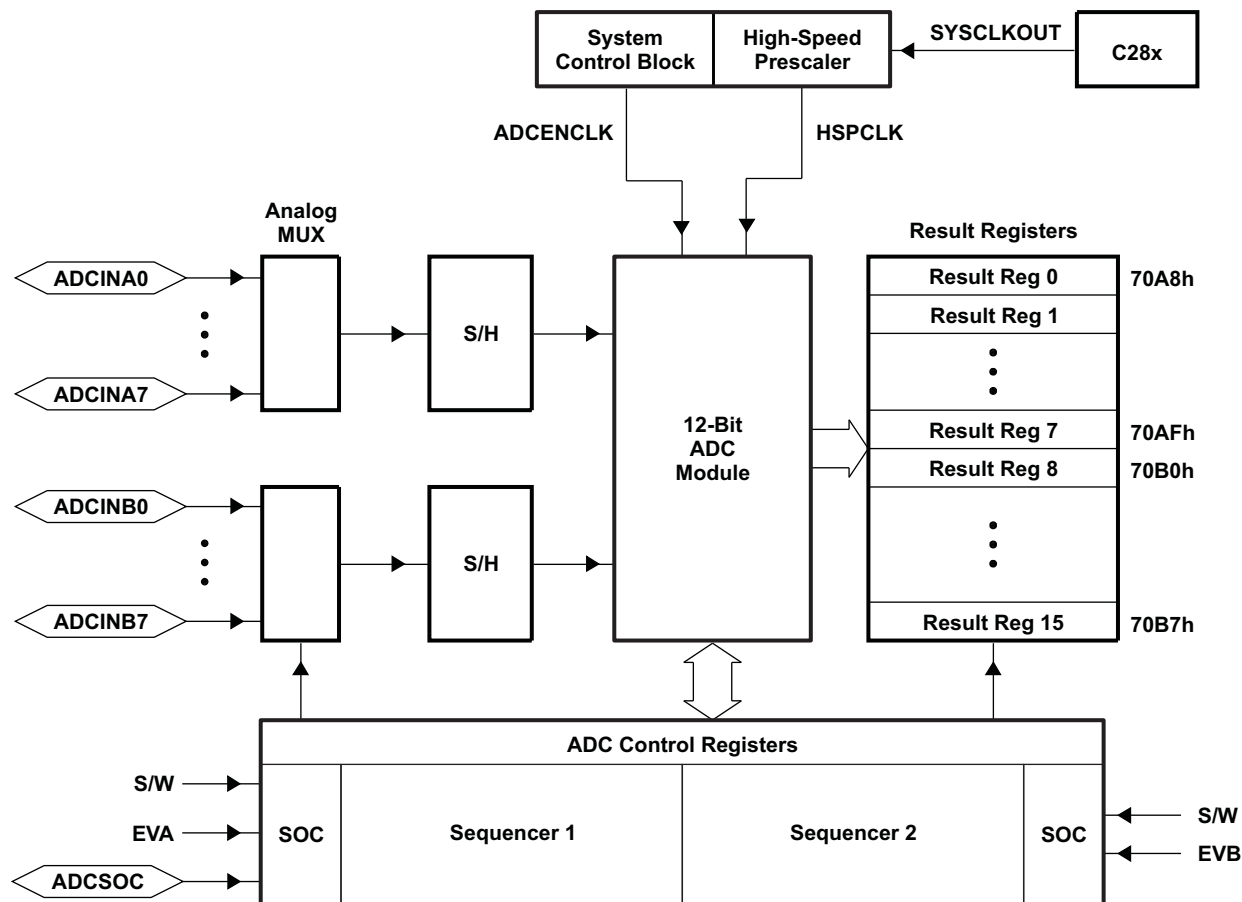


图 4-4. F281x 和 C281x ADC 模块方框图

要获得指定的 ADC 精度，正确的电路板布局非常关键。为尽可能达到最佳效果，引入 ADCINxx 引脚的走线不应数字信号通道靠得太近。这是为了最大程度地减少数字线路上因 ADC 输入耦合而产生的开关噪声。此外，必须使用适当的隔离技术，将 ADC 模块电源引脚 (V_{DDA1}/V_{DDA2} , $AVDDREFBG$) 与数字电源隔离。要获得更佳的精度和 ESD 保护，未使用的 ADC 输入应该被接至模拟接地。

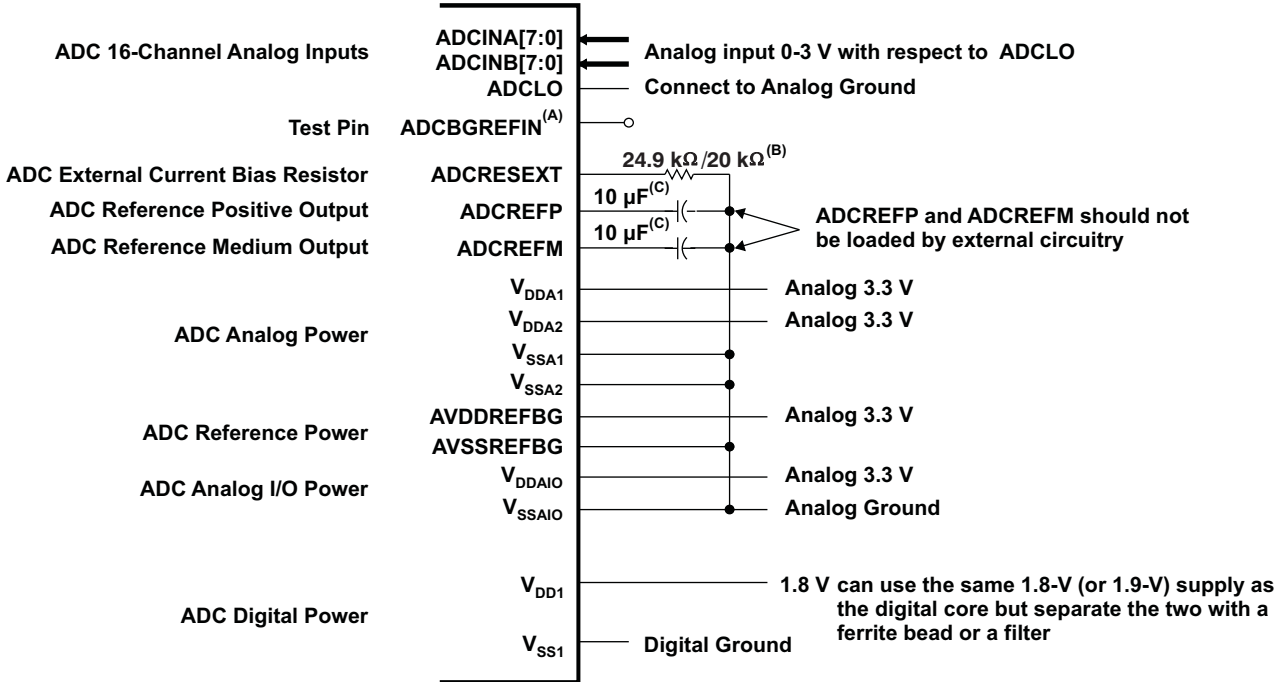
注释：

1. 用 SYSCLKOUT 速率对 ADC 寄存器进行访问。ADC 模块的内部时序由高速外设时钟 (HSPCLK) 控制。
2. 基于 ADCENCLK 和 HALT 信号的 ADC 模块的运行方式如下：

ADCENCLK: 复位时，这个信号必须为低电平。虽然复位为低电平有效 (\overline{XRS})，到寄存器的时钟将仍然起作用。有必要确保所有寄存器和模式进入它们的缺省复位状态。然而，模拟模块将处于一个低功耗非激活状态。一旦复位变为高电平，那么到寄存器的时钟将被禁用。当用户将 ADCENCLK 信号设定为高电平时，那么到寄存器的时钟将被启用并且模拟模块将被启用。在 ADC 稳定并可被使用前，会有一个特定的时间延迟 (ms 范围)。

HALT: 这个信号只影响模拟模块。它不影响寄存器。如果为低电平，ADC 模块被加电。如果为高电平，ADC 模块进入低功耗模式。HALT 模式将停止到 CPU 的时钟，这样将停止 HSPCLK。因此，ADC 寄存器将被间接关闭。

图 4-5 显示了针对内部基准的 ADC 引脚偏置而图 4-6 显示了针对外部基准的 ADC 引脚偏置。

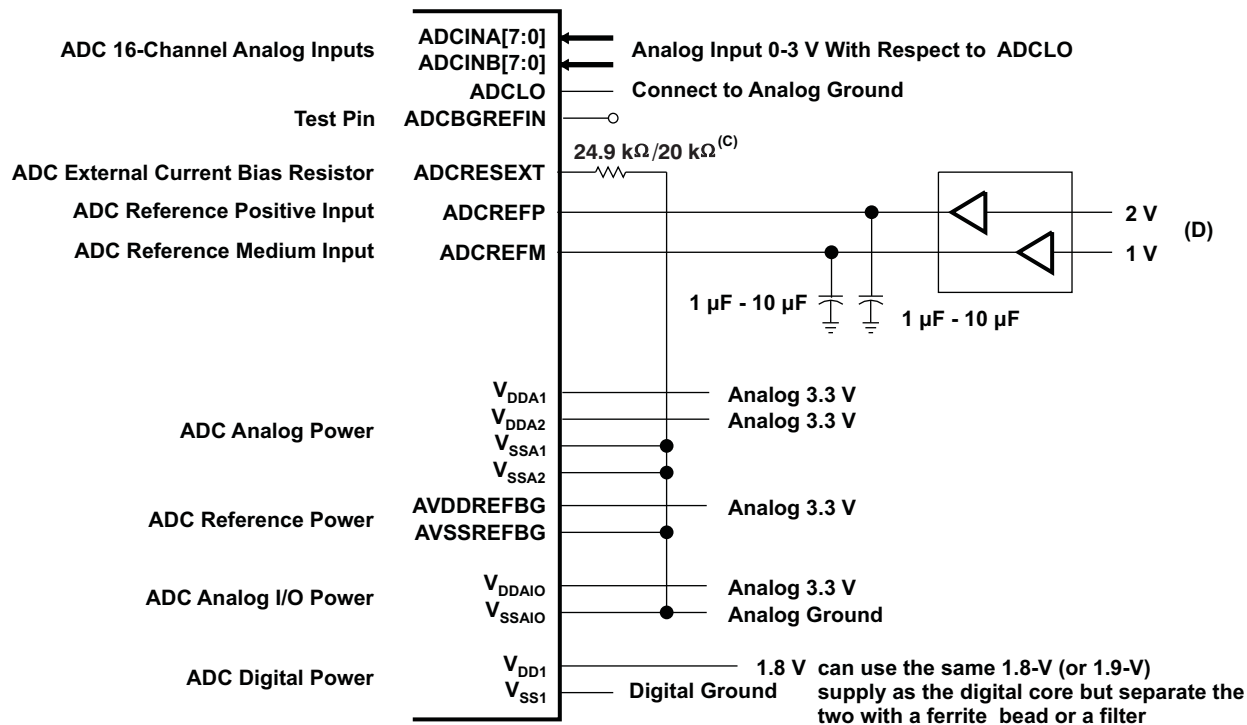


- A. 在 PCB 布局中提供到这个引脚的访问。只用于测试用途。
B. 对于 1-18.75MHz 的时钟范围使用 24.9kΩ, 对于 18.75-25MHz 的时钟范围使用 20kΩ。
C. TAIYO YUDEN EMK325F106ZH, EMK325BJ106MD, 或者等效陶瓷电容器。
D. 建议在所有电源引脚上使用外部去耦合电容器。
E. 必须从不会降低 ADC 性能的运算放大器上驱动模拟输入。

图 4-5. 与内部基准的 ADC 引脚连接

注

任何推荐组件的额定温度必须与最终产品的额定值相匹配。



- 建议在所有电源引脚上使用外部去耦合电容器。
- 必须从不会降低 ADC 性能的运算放大器上驱动模拟输入。
- 对于 1-18.75MHz 的时钟范围使用 24.9kΩ, 对于 18.75-25MHz 的时钟范围使用 20kΩ。
- 建议将经缓冲外部基准与一个 (ADCREFP-ADCREFM)= 1V±0.1% 或者更好的电压差异一起提供。在 ADC 加电时, 使用 ADCTRL3 寄存器中的位 3 可启用外部基准。在这个模式中, 外部基准的精度对于总体增益十分关键。电压 ADCREFP-ADCREFM 将确定总体精度。当外部基准被连接至 ADCREFP 和 ADCREFM 时, 不要启用内部基准。更多信息, 请参阅《TMS320x281x DSP 模数转换器 (ADC) 参考指南》(文献编号 [SPRU060](#))。

图 4-6. 与外部基准的 ADC 引脚连接

ADC 运行由表 4-4 中所列寄存器配置、控制、和监控。

表 4-4. ADC 寄存器⁽¹⁾

名称	地址	大小 (x 16)	说明
ADCTRL1	0x00 7100	1	ADC 控制寄存器 1
ADCTRL2	0x00 7101	1	ADC 控制寄存器 2
ADCMAXCONV	0x00 7102	1	ADC 最大转换信道数寄存器
ADCCHSELSEQ1	0x00 7103	1	ADC 信道选择定序控制寄存器 1
ADCCHSELSEQ2	0x00 7104	1	ADC 信道选择定序控制寄存器 2
ADCCHSELSEQ3	0x00 7105	1	ADC 信道选择定序控制寄存器 3
ADCCHSELSEQ4	0x00 7106	1	ADC 信道选择定序控制寄存器 4
ADCASEQSR	0x00 7107	1	ADC 自动定序状态寄存器
ADCRESULT0	0x00 7108	1	ADC 转换结果缓冲寄存器 0
ADCRESULT1	0x00 7109	1	ADC 转换结果缓冲寄存器 1
ADCRESULT2	0x00 710A	1	ADC 转换结果缓冲寄存器 2
ADCRESULT3	0x00 710B	1	ADC 转换结果缓冲寄存器 3
ADCRESULT4	0x00 710C	1	ADC 转换结果缓冲寄存器 4
ADCRESULT5	0x00 710D	1	ADC 转换结果缓冲寄存器 5
ADCRESULT6	0x00 710E	1	ADC 转换结果缓冲寄存器 6
ADCRESULT7	0x00 710F	1	ADC 转换结果缓冲寄存器 7
ADCRESULT8	0x00 7110	1	ADC 转换结果缓冲寄存器 8
ADCRESULT9	0x00 7111	1	ADC 转换结果缓冲寄存器 9
ADCRESULT10	0x00 7112	1	ADC 转换结果缓冲寄存器 10
ADCRESULT11	0x00 7113	1	ADC 转换结果缓冲寄存器 11
ADCRESULT12	0x00 7114	1	ADC 转换结果缓冲寄存器 12
ADCRESULT13	0x00 7115	1	ADC 转换结果缓冲寄存器 13
ADCRESULT14	0x00 7116	1	ADC 转换结果缓冲寄存器 14
ADCRESULT15	0x00 7117	1	ADC 转换结果缓冲寄存器 15
ADCTRL3	0x00 7118	1	ADC 控制寄存器 3
ADCST	0x00 7119	1	ADC 状态寄存器
被保留	0x00 711C-0x00 711F	4	

(1) 上述寄存器是外设帧 2 寄存器。

4.4 增强型控制器局域网络 (eCAN) 模块

CAN 模块有下列特性:

- 与 CAN 协议, 版本 2.0B 完全兼容
- 支持高达 1Mbps 的数据速率
- 32 个邮箱, 每一个邮箱有下列属性:
 - 可配置为接收或者发送
 - 可使用标准或者扩展标识符进行配置
 - 有一个可编辑接收屏蔽
 - 支持数据和远程帧
 - 由 0 至 8 字节数据组成
 - 在接收和发送消息上使用一个 32 位时间戳
 - 防止接收新消息
 - 保持发送消息的动态可编辑优先级
 - 采用一个具有两个中断级别的可编辑中断机制
 - 在发送或者接收超时采用一个可编辑报警
- 低功耗模式
- 总线活动上的可编辑唤醒
- 对远程请求消息的自动答复
- 丢失仲裁或者错误情况下的帧自动重传
- 由一个特定消息同步的 32 位本地网络时间计数器 (与邮箱 6 协同通信)
- 自测模式
 - 运行在接收自身消息的回路模式。提供一个“假”确认, 从而消除了对于另外节点提供确认位的需要。

注释: 对于 150MHz 的 SYSCLKOUT, 最小可能的比特率为 23.4kbps。

28x CAN 已经通过了 ISO/DIS 16845 的符合性测试。详细信息请与 TI 联系。

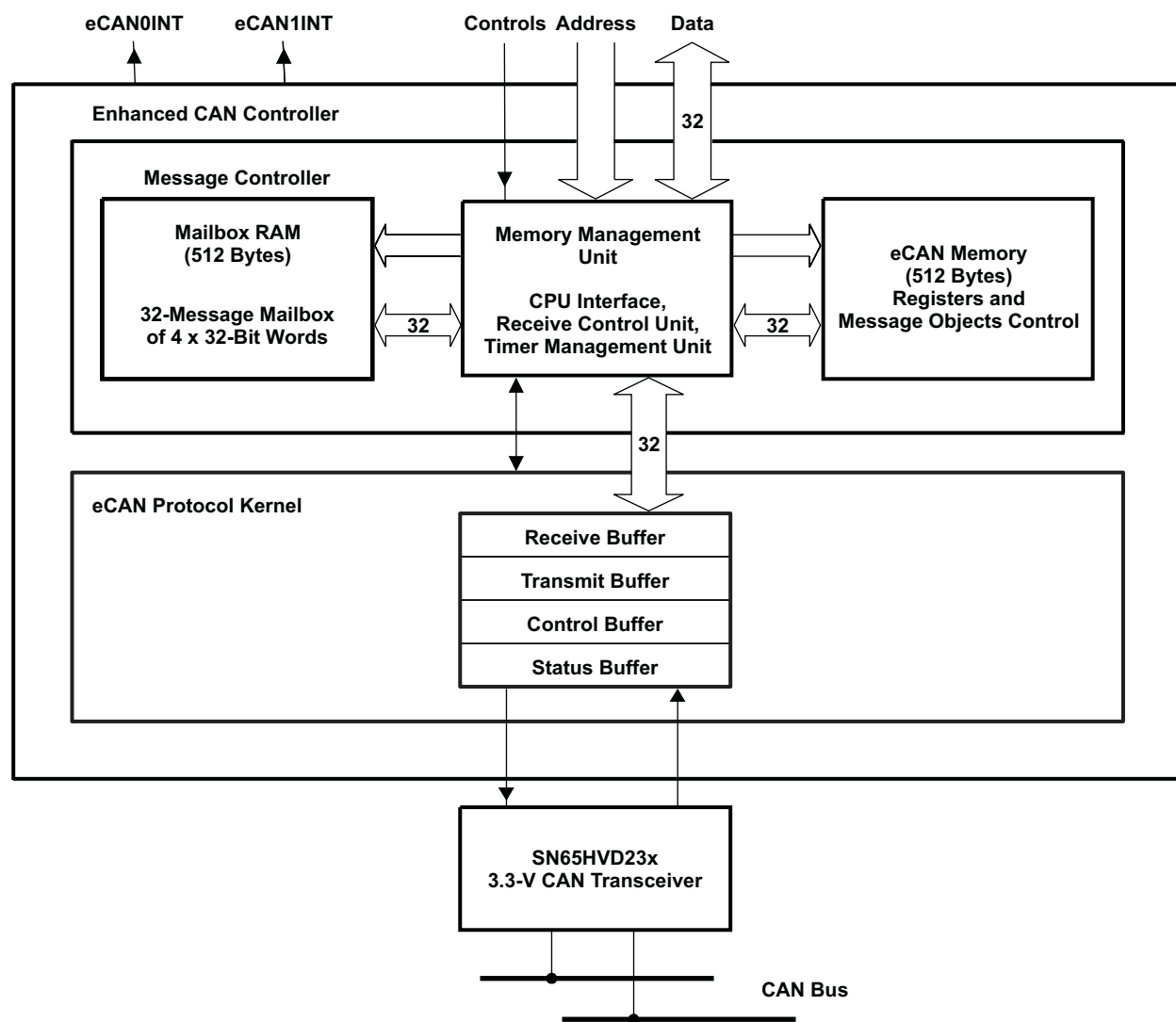


图 4-7. eCAN 方框图和接口电路

表 4-5. 3.3V eCAN 收发器用于 TMS320F281x 和 TMS320C281x DSP

部件 型号	电源 电压	低功耗 模式	斜坡 控制	VREF	其它	T _A
SN65HVD230	3.3V	待机	可调节	支持	-	-40°C 至 85°C
SN65HVD230Q	3.3V	待机	可调节	支持	-	-40°C 至 125°C
SN65HVD231	3.3V	睡眠	可调节	支持	-	-40°C 至 85°C
SN65HVD231Q	3.3V	睡眠	可调节	支持	-	-40°C 至 125°C
SN65HVD232	3.3V	无	无	无	-	-40°C 至 85°C
SN65HVD232Q	3.3V	无	无	无	-	-40°C 至 125°C
SN65HVD233	3.3V	待机	可调节	无	诊断回路	-40°C 至 125°C
SN65HVD234	3.3V	待机 和 睡眠	可调节	无	-	-40°C 至 125°C
SN65HVD235	3.3V	待机	可调节	无	自动波特率回路	-40°C 至 125°C
ISO1050	3-5.5V	无	无	无	内置隔离 低传播延迟 热关断 故障安全运行 主计时	-55°C 至 105°C

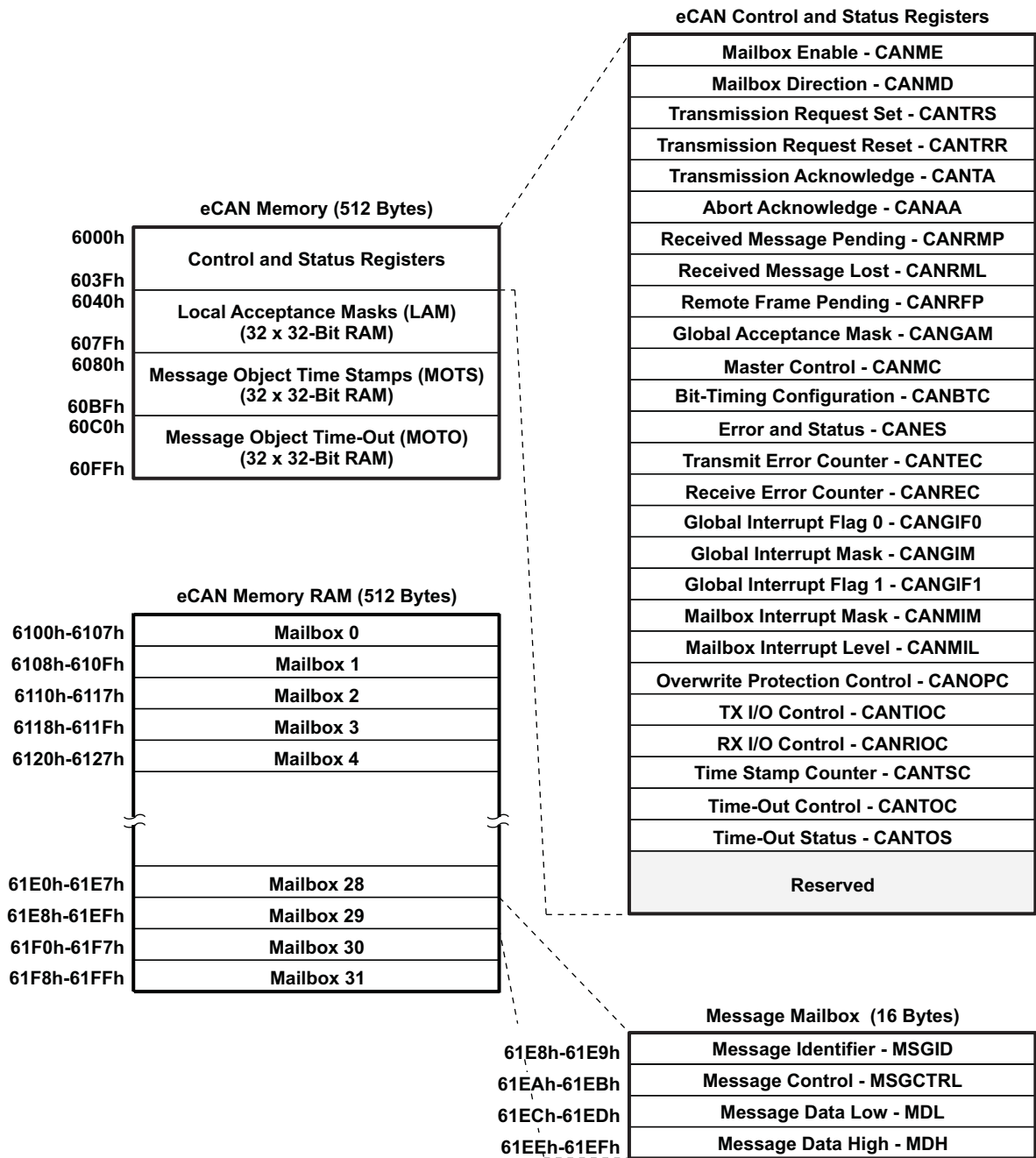


图 4-8. eCAN 内存映射

注

如果 eCAN 模块未在应用中使用，可用的 RAM（LAM，MOTS，MOTO，和邮箱 RAM）可被用作通用 RAM。为实现这一功能 CAN 模块时钟应被启用。

表 4-6 中列出的 CAN 寄存器由 CPU 用于配置和控制 CAN 控制器和消息目标。eCAN 控制寄存器只支持 32 位读取/写入操作。邮箱 RAM 可进行 16 位或者 32 位访问。32 位访问与一个偶边界对齐。

表 4-6. CAN 寄存器⁽¹⁾

名称	地址	大小 (x 32)	说明
CANME	0x00 6000	1	邮箱启用
CANMD	0x00 6002	1	邮箱方向
CANTRS	0x00 6004	1	发送请求设定
CANTRR	0x00 6006	1	发送请求复位
CANTA	0x00 6008	1	传输确认
CANAA	0x00 600A	1	中止确认
CANRMP	0x00 600C	1	接收消息等待
CANRML	0x00 600E	1	接收消息丢失
CANRFP	0x00 6010	1	远程帧等待
CANGAM	0x00 6012	1	全局接收屏蔽
CANMC	0x00 6014	1	主器件控制
CANBTC	0x00 6016	1	位时序配置
CANES	0x00 6018	1	错误和状态
CANTEC	0x00 601A	1	发送错误计数器
CANREC	0x00 601C	1	接收错误计数器
CANGIF0	0x00 601E	1	全局中断标志 0
CANGIM	0x00 6020	1	全局中断屏蔽
CANGIF1	0x00 6022	1	全局中断标志 1
CANMIM	0x00 6024	1	邮箱中断屏蔽
CANMIL	0x00 6026	1	邮箱中断级别
CANOPC	0x00 6028	1	写覆盖保护控制
CANTIOC	0x00 602A	1	TX I/O 控制
CANRIOC	0x00 602C	1	RX I/O 控制
CANTSC	0x00 602E	1	时间戳计数器（保留在 SCC 模式中）
CANTOC	0x00 6030	1	超时控制（保留在 SCC 模式中）
CANTOS	0x00 6032	1	超时状态（保留在 SCC 模式中）

(1) 这些寄存器被映射至外设帧 1。

4.5 多通道缓冲串行端口 (McBSP) 模块

McBSP 模块有以下特性:

- 与 TMS320C54x™/ TMS320C55x™ DSP 器件内的 McBSP 兼容, 除 DMA 功能之外
- 全双工通信
- 双缓冲数据寄存器, 允许连续数据流
- 用于接收和发送的独立成帧和时钟
- 外部移位时钟生成或者一个内部可设定频率移位时钟
- 包括 8, 12, 16, 20, 24, 或者 32 位在内的宽数据尺寸选择
- 以 LSB 或者 MSB 开头的 8 位数据传输
- 用于帧同步和数据时钟的可编程极性
- 高度可编程内部时钟和帧生成
- 支持 A-bis 模式
- 到工业标准 CODEC、模拟接口芯片 (AIC)、和其它串行连接的 A/D 和 D/A 器件的直接接口
- 与 SPI 兼容器件一起工作
- 用于发送通道的两个 16 x 16 级 FIFO
- 用于接收通道的两个 16 x 16 级 FIFO

McBSP 上支持下列应用接口:

- T1/E1 成帧器
- MVIP 开关兼容和 ST-BUS 兼容器件包括:
 - MVIP 成帧器
 - H.100 成帧器
 - SCSA 成帧器
 - 符合 IOM-2 的器件
 - AC97 - 兼容器件 (提供所需的多相位帧同步功能。)
 - IIS - 兼容器件
- McBSP 时钟速率 = $CLKG = CLKSRG / (1 + CLKGDIV)$, 在这里 CLKSRG 源应该为 LSPCLK, CLKX, 或者 CLKR。⁽²⁾

(2) 串行端口性能受到 I/O 缓冲器开关速度的影响。内部预分频器必须被调整, 这样, 外设速度将低于 I/O 缓冲器速度限制 - 最大值 20MHz。

图 4-9显示了带有 FIFO 的 McBSP 模块的方框图，以及到外设帧 2 F281x 和 C281x 版本的接口。

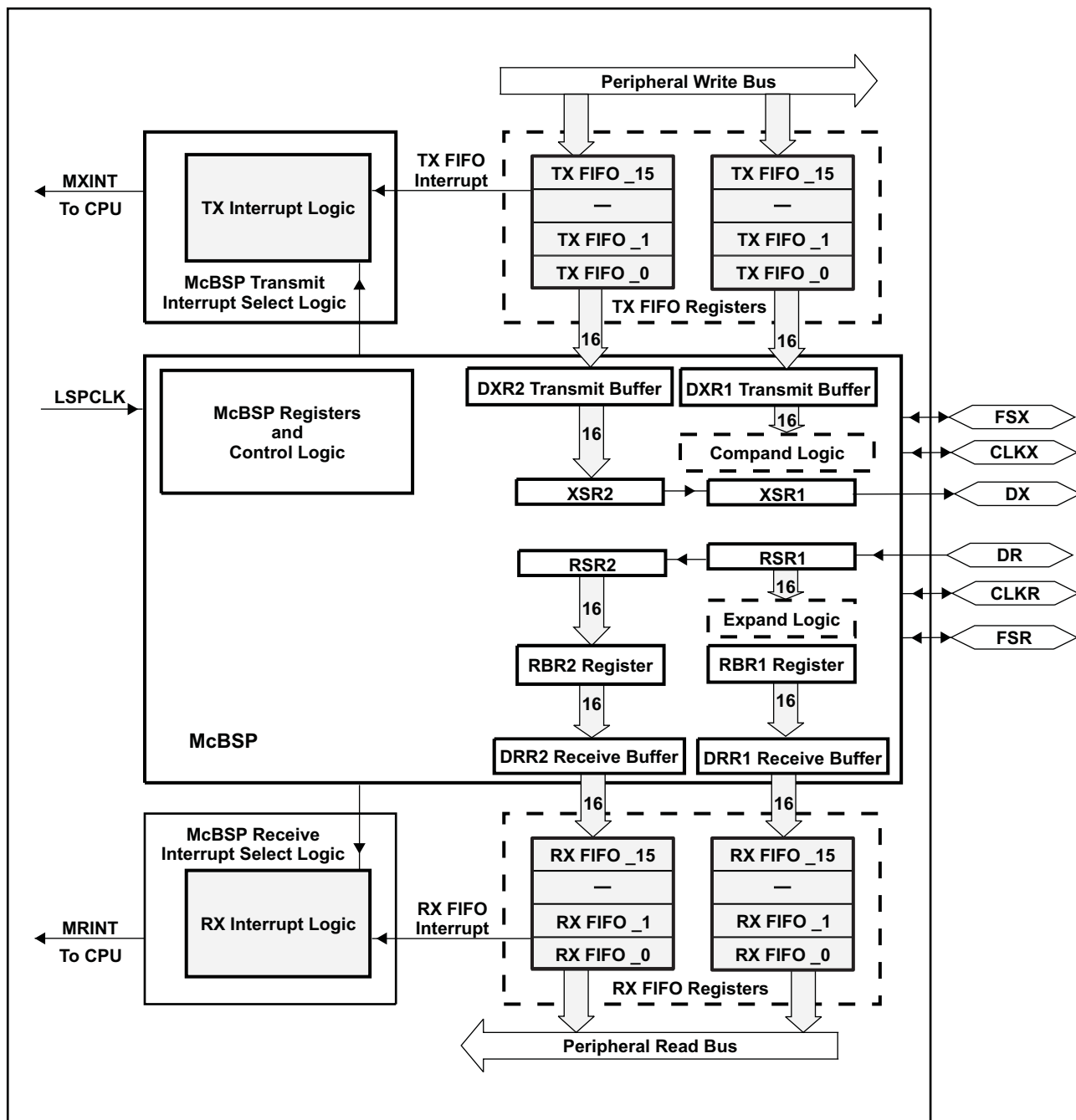


图 4-9. 带有 FIFO 的 McBSP 模块

表 4-7 提供了 McBSP 寄存器的汇总。

表 4-7. McBSP 寄存器

名称	地址 0x00 78xxh	类型 (R/W)	复位值 (十六进制)	说明
数据寄存器、接收、发送 ⁽¹⁾				
-	-	-	0x0000	MsBSP 接收缓冲器寄存器
-	-	-	0x0000	McBSP 接收位移寄存器
-	-	-	0x0000	McBSP 发送移动寄存器
DDR2	00	R	0x0000	McBSP 数据接收寄存器 2 • 如果字的大小大于 16 位, 读取第一个或者忽略 DDR2
DDR1	01	R	0x0000	McBSP 数据接收寄存器 1 • 如果字的大小大于 16 位, 读取第二个或者只读取 DDR1
DXR2	02	W	0x0000	McBSP 数据发送寄存器 2 • 如果字的大小大于 16 位, 写入第一个或者忽略 DXR2
DXR1	03	W	0x0000	McBSP 数据发送寄存器 1 • 如果字的大小大于 16 位, 写入第二个或者之写入 DXR1
McBSP 控制寄存器				
SPCR2	04	读/写	0x0000	McBSP 串行端口控制寄存器 2
SPCR1	05	读/写	0x0000	McBSP 串行端口控制寄存器 1
RCR2	06	读/写	0x0000	McBSP 接收控制寄存器 2
RCR1	07	读/写	0x0000	McBSP 接收控制寄存器 1
XCR2	08	读/写	0x0000	McBSP 发送控制寄存器 2
XCR1	09	读/写	0x0000	McBSP 发送控制寄存器 1
SRGR2	0A	读/写	0x0000	McBSP 采样率发生器寄存器 2
SRGR1	0B	读/写	0x0000	McBSP 采样率发生器寄存器 1
多通道控制寄存器				
MCR2	0C	读/写	0x0000	McBSP 多通道寄存器 2
MCR1	0D	读/写	0x0000	McBSP 多通道寄存器 1
RCERA	0E	读/写	0x0000	McBSP 接收通道使能寄存器分区 A
RCERB	0F	读/写	0x0000	McBSP 接收通道使能寄存器分区 B
XCERA	10	读/写	0x0000	McBSP 发送通道使能寄存器分区 A
XCERB	11	读/写	0x0000	McBSP 发送通道使能寄存器分区 B
PCR	12	读/写	0x0000	McBSP 引脚控制寄存器
RCERC	13	读/写	0x0000	McBSP 接收通道使能寄存器分区 C
RCERD	14	读/写	0x0000	McBSP 接收通道使能寄存器分区 D
XCERC	15	读/写	0x0000	McBSP 发送通道使能寄存器分区 C
XCERD	16	读/写	0x0000	McBSP 发送通道使能寄存器分区 D
RCERE	17	读/写	0x0000	McBSP 接收通道使能寄存器分区 E
RCERF	18	读/写	0x0000	McBSP 接收通道使能寄存器分区 F
XCERE	19	读/写	0x0000	McBSP 发送通道使能寄存器分区 E
XCERF	1A	读/写	0x0000	McBSP 发送通道使能寄存器分区 F
RCERG	1B	读/写	0x0000	McBSP 接收通道使能寄存器分区 G
RCERH	1C	读/写	0x0000	McBSP 接收通道使能寄存器分区 H
XCERG	1D	读/写	0x0000	McBSP 发送通道使能寄存器分区 G
XCERH	1E	读/写	0x0000	McBSP 发送通道使能寄存器分区 H

(1) 在 FIFO 模式中, DDR2/DDR1 和 DXR2/DXR1 共用接收和发送 FIFO 寄存器的同一地址。

表 4-7. McBSP 寄存器 (continued)

名称	地址 0x00 78xxh	类型 (R/W)	复位值 (十六进制)	说明
FIFO 模式寄存器 (只适用于 FIFO 模式)				
FIFO 数据寄存器⁽²⁾				
DDR2	00	R	0x0000	McBSP 数据接收寄存器 2- 接收 FIFO 的顶部 • 读取第一个 FIFO 指针将不会提前
DDR1	01	R	0x0000	McBSP 数据接收寄存器 1- 接收 FIFO 的顶部 • 提前读取第二个 FIFO 指针
DXR2	02	W	0x0000	McBSP 数据发送寄存器 2- 发送 FIFO 的顶部 • 写入第一个 FIFO 指针将不会提前
DXR1	03	W	0x0000	McBSP 数据发送寄存器 1- 发送 FIFO 顶部 • 提前写入第二个 FIFO 指针
FIFO 控制寄存器				
MFFTX	20	读/写	0xA000	McBSP 发送 FIFO 寄存器
MFFRX	21	读/写	0x201F	McBSP 接收 FIFO 寄存器
MFFCT	22	读/写	0x0000	McBSP FIFO 控制寄存器
MFFINT	23	读/写	0x0000	McBSP FIFO 中断寄存器
MFFST	24	读/写	0x0000	McBSP FIFO 状态寄存器

(2) FIFO 指针提前是基于到 DDR2/DDR1 和 DXR2/DXR1 寄存器的访问顺序。

4.6 串行通信接口 (SCI) 模块

F281x 和 C281x 器件包括两个串行通信接口 (SCI) 模块。SCI 模块支持 CPU 与其它异步外设之间的使用标准非归零码 (NRZ) 格式的数字通信。SCI 接收器和发射器是双缓冲的，并且它们中的每一个有其自身独立的使能和中断位。两个器件都可独立或者同时地运行在全双工模式。为了确保数据完整性，SCI 在中断检测、奇偶性、超载、和组帧错误方面对接收到的数据进行检查。通过一个 16 位波特率选择寄存器，可将比特率设定为超过 65000 个不同的速度。

每个 SCI 模块的特性包括：

- 两个外部引脚：
 - SCITXD: SCI 发送-输出引脚
 - SCIRXD: SCI 接收-输入引脚
 注释：两个引脚如果不被用于 SCI 的话，可被用作 GPIO。
- 波特率被设定为 64K 个不同速率⁽³⁾

$$\begin{aligned} \text{Baud rate} &= \frac{\text{LSPCLK}}{(\text{BRR} + 1) * 8} && \text{when BRR} \neq 0 \\ &= \frac{\text{LSPCLK}}{16} && \text{when BRR} = 0 \end{aligned}$$

- 数据-字格式
 - 一个开始位
 - 数据-字长度可被设定为 1 至 8 位
 - 可选偶/奇/无奇偶校验位
 - 一个或者两个停止位
 - 四个错误检测标志：奇偶、超载、组帧、和中断检测
 - 两个唤醒多处理器模式：空闲线路和地址位
 - 半双工或者全双工运行
 - 双缓冲接收和发送功能
 - 可通过带有状态标志的中断驱动或者轮询算法来完成发射器和接收器操作。
 - 发射器：TXRDY 标志（发射器缓冲寄存器已经准备好接收另外字符）和 TX EMPTY（TX 空）标志（发射器移位寄存器已空）
 - 接收器：RXRDY 标志（接收器缓冲寄存器已经准备好接收另外的字符），BRKDT 标志（发生了中断条件），和 RX ERROR 错误标志（监控四个中断条件）
 - 用于发射器和接收器中断的独立使能位（除了 BRKDT）
 - 最大位速率 = $75\text{MHz}/16 = 4.688 \times 10^6\text{b/s}$
 - NRZ（非归零）码格式
 - SCI 模块控制寄存器位于开始地址为 7050h 的控制寄存器帧内
- 注释：所有处于这个模式中的寄存器是被连接至外设帧 2 的 8 位寄存器。当一个寄存器被访问时，低字节 (7-0)，和高字节 (15-8) 内的寄存器数据被读作零。对高字节的写入没有效果。

增强型特性：

- 自动波特率检测硬件逻辑电路
- 16 级发送/接收 FIFO

(3) 串行端口性能受到 I/O 缓冲器开关速度的影响。内部预分频器必须被调整，这样，外设速度将低于 I/O 缓冲器速度限制 - 20MHz 最大值。

SPI 端口运行由表 4-8和表 4-9中列出的寄存器配置和控制。

表 4-8. SCI-A 寄存器

名称	地址	大小 (x 16)	说明
SCICCR A	0x00 7050	1	SCI-A 通信控制寄存器
SCICTL1A	0x00 7051	1	SCI-A 控制寄存器
SCIHBAUDA	0x00 7052	1	SCI-A 波特率寄存器, 高位
SCILBAUDA	0x00 7053	1	SCI-A 波特率寄存器, 低位
SCICTL2A	0x00 7054	1	SCI-A 控制寄存器 2
SCIRXSTA	0x00 7055	1	SCI-A 接收状态寄存器
SCIRXEMUA	0x00 7056	1	SCI-A 接收仿真数据缓冲寄存器
SCIRXBUFA	0x00 7057	1	SCI-A 接收数据缓冲寄存器
SCITXBUFA	0x00 7059	1	SCI-A 发送数据缓冲寄存器
SCIFFTXA ⁽¹⁾	0x00 705A	1	SCI-A FIFO 发送寄存器
SCIFFRXA ⁽¹⁾	0x00 705B	1	SCI-A FIFO 接收寄存器
SCIFFCTA ⁽¹⁾	0x00 705C	1	SCI-A FIFO 控制寄存器
SCIPRIA	0x00 705F	1	SCI-A 优先级控制寄存器

(1) 这些寄存器是用于 FIFO 模式的全新寄存器。

表 4-9. SCI-B 寄存器⁽¹⁾

名称	地址	大小 (x 16)	说明
SCICCRB	0x00 7750	1	SCI-B 通信控制寄存器
SCICTL1B	0x00 7751	1	SCI-B 控制寄存器 1
SCIHBAUDB	0x00 7752	1	SCI-B 波特率寄存器, 高位
SCILBAUDB	0x00 7753	1	SCI-B 波特率寄存器, 低位
SCICTL2B	0x00 7754	1	SCI-B 控制寄存器 2
SCIRXSTB	0x00 7755	1	SCI-B 接收状态寄存器
SCIRXEMUB	0x00 7756	1	SCI-B 接收仿真数据缓冲寄存器
SCIRXBUIB	0x00 7757	1	SCI-B 接收数据缓冲寄存器
SCITXBUIB	0x00 7759	1	SCI-B 发送数据缓冲寄存器
SCIFFTXB ⁽²⁾	0x00 775A	1	SCI-B FIFO 发送寄存器
SCIFFRXB ⁽²⁾	0x00 775B	1	SCI-B FIFO 接收寄存器
SCIFFCTB ⁽²⁾	0x00 775C	1	SCI-B FIFO 控制寄存器
SCIPRIB	0x00 775F	1	SCI-B 优先级控制寄存器

(1) 这个表中的寄存器被映射到外设总线 16 空间。这空间只允许 16 位访问。32 位访问会产生未定义的后果。

(2) 这些寄存器是用于 FIFO 模式的全新寄存器。

图 4-10显示了 SCI 模块方框图。

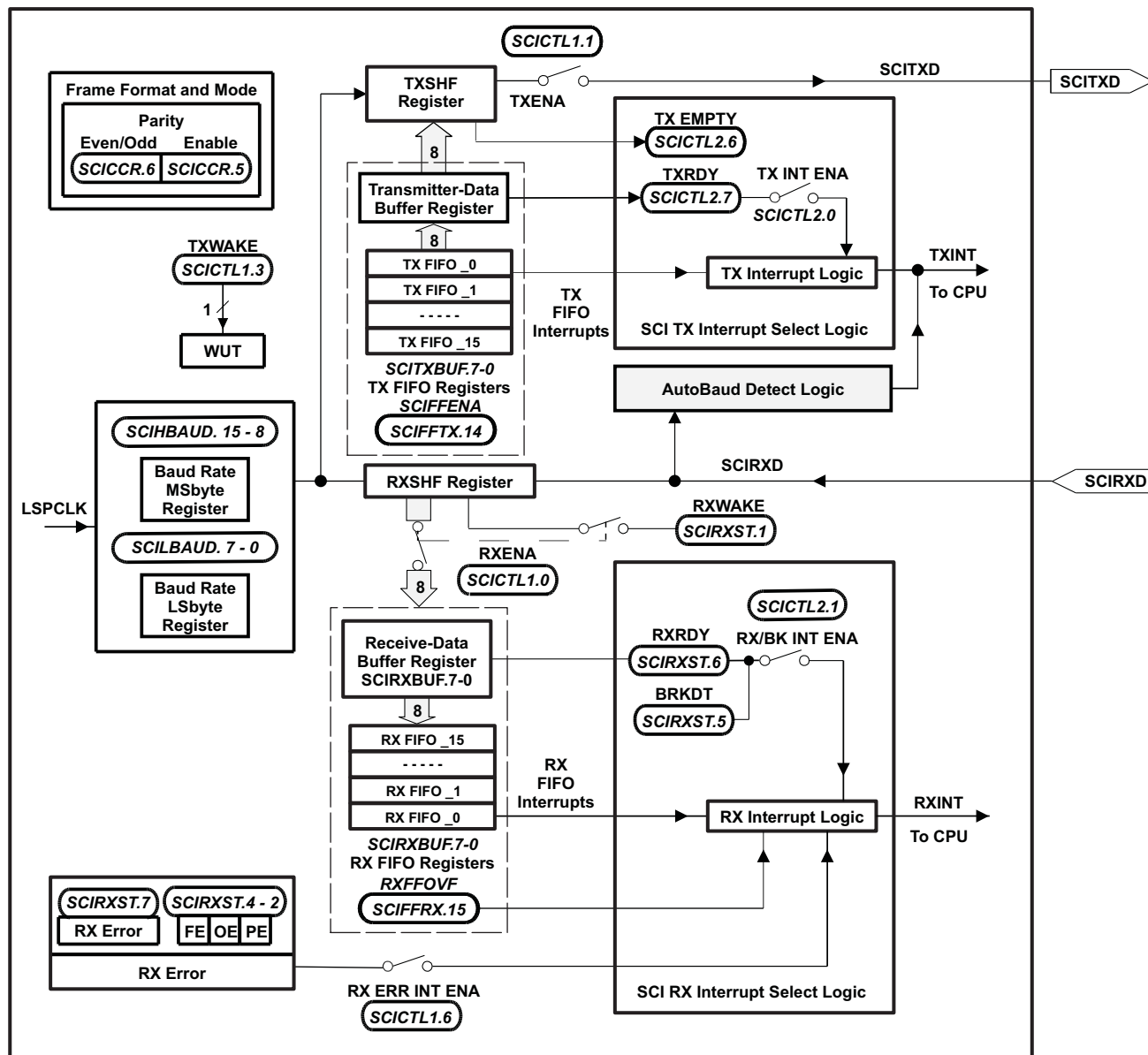


图 4-10. 串行通信接口 (SCI) 模块方框图

4.7 串行外设接口 (SPI) 模块

F281x 和 C281x 器件包括四引脚串行外设接口 (SPI) 模块。SPI 是一个高速、同步串行 I/O 端口，此端口可在设定的位传输速率上将一个设定长度（1 至 16 位）的串行比特流移入和移出器件。通常，SPI 用于 DSP 和外部外设或者其它处理器之间的通信。典型应用包括外部 I/O 或者从诸如移位寄存器、显示驱动器、和 ADC 等器件的外设扩展。多器件通信由 SPI 的主控/受控操作支持。

SPI 模块的特性包括：

- 四个外部引脚：
 - SPISOMI: SPI 从器件输出/主器件输入引脚
 - SPISIMO: SPI 从器件输入/主器件输出引脚
 - $\overline{\text{SPISTE}}$: SPI 从器件发送使能引脚
 - SPICLK: SPI 串行时钟引脚

注释：如果 SPI 模块未被使用，所有四个引脚可被用作 GPIO。

- 两个运行模式：主控和受控
- 波特率：125 个不同的可编辑速率

$$\begin{aligned} \text{Baud rate} &= \frac{\text{LSPCLK}}{(\text{SPIBRR} + 1)} && \text{when SPIBRR} \neq 0 \\ &= \frac{\text{LSPCLK}}{4} && \text{when SPIBRR} = 0, 1, 2, 3 \end{aligned}$$

串行端口性能受到 I/O 缓冲器开关速度的影响。内部预分频器必须被调整，这样，外设速度将低于 I/O 缓冲器速度限制 - 20MHz 最大值。

- 数据字长度：一到十六数据位
- 包括四个计时机制（由时钟极性和时钟相位的位控制）：
 - 无相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号的下降沿上传送数据，而在 SPICLK 信号的上升沿上接收数据。
 - 有相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号下降沿的一半周期之前发送数据，而在 SPICLK 信号的下降沿上接收数据。
 - 无相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号的上升沿上发送数据，而在 SPICLK 信号的下降沿上接收数据。
 - 有相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号下降沿之前的半个周期发送数据，而在 SPICLK 信号的上升沿上接收数据。
- 同时接收和发送操作（发送功能可在软件中被禁用）
- 通过中断驱动或者轮询算法来完成发射器和接收器运行。
- 9 个 SPI 模块控制寄存器：位于控制寄存器内，帧开始地址 7040h。

注释：这个模块中的所有寄存器是被连接至外设帧 2 的 16 位寄存器。当一个寄存器被访问时，低字节 (7-0)，和高字节 (15-8) 内的寄存器数据被读作零。对高字节的写入没有效果。

增强型特性：

- 16 级发送/接收 FIFO
- 经延迟的发射控制

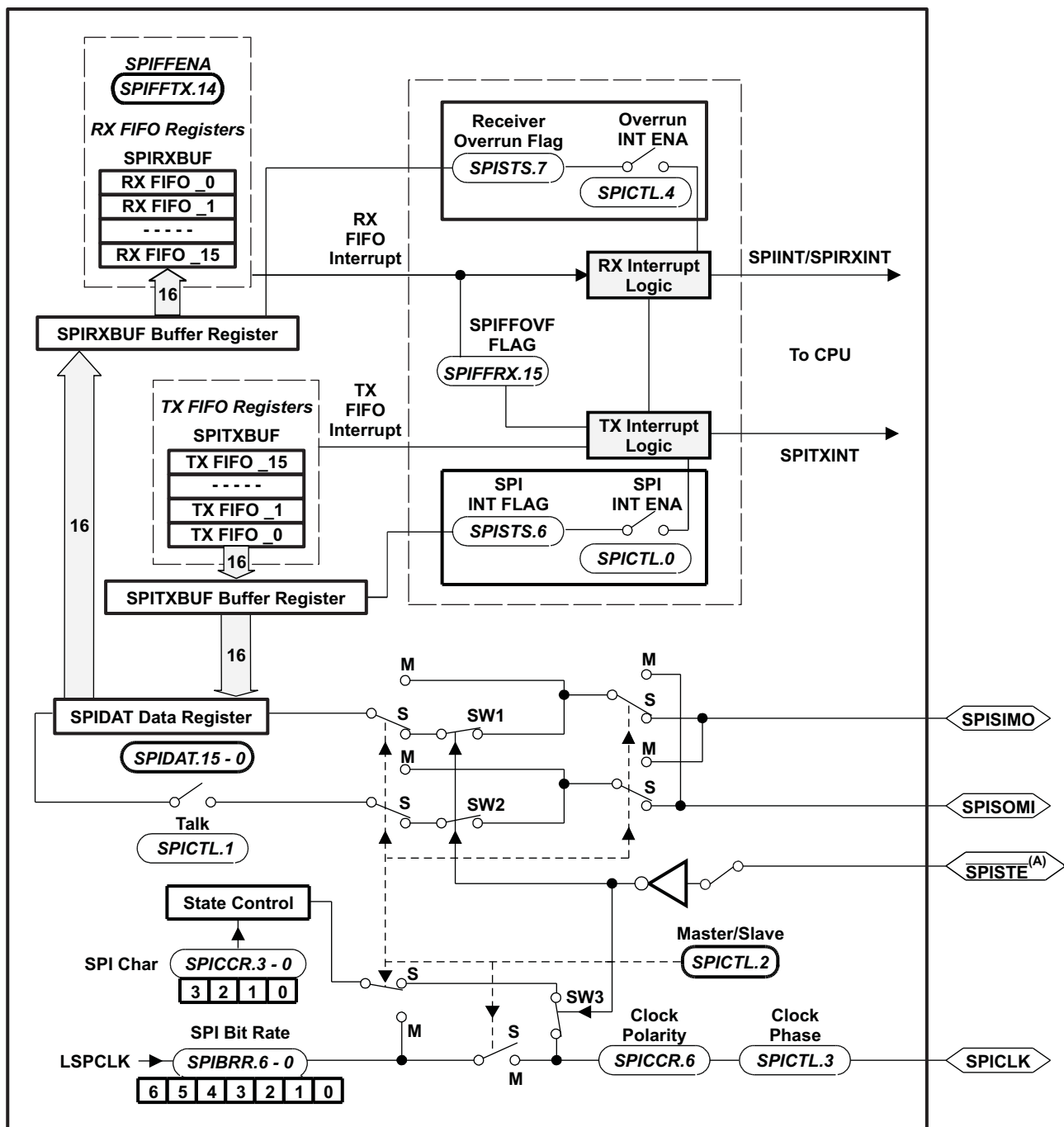
SPI 端口运行由表 4-10 和中列出的寄存器配置和控制。

表 4-10. SPI 寄存器⁽¹⁾

名称	地址	大小 (x 16)	说明
SPICCR	0x00 7040	1	SPI 配置控制寄存器
SPICTL	0x00 7041	1	SPI 运行控制寄存器
SPISTS	0x00 7042	1	SPI 状态寄存器
SPIBRR	0x00 7044	1	SPI 波特率寄存器
SPRXEMU	0x00 7046	1	SPI 接收仿真缓冲器寄存器
SPRXBUF	0x00 7047	1	SPI 串行输入缓冲器寄存器
SPITXBUF	0x00 7048	1	SPI 串行输出缓冲器寄存器
SPIDAT	0x00 7049	1	SPI 串行数据寄存器
SPIFFTX	0x00 704A	1	SCI FIFO 发送寄存器
SPIFFRX	0x00 704B	1	SCI FIFO 接收寄存器
SPIFFCT	0x00 704C	1	SCI FIFO 控制寄存器
SPIPRI	0x00 704F	1	SCI 优先级控制寄存器

(1) 这些寄存器被映射至外设帧 2。这空间只允许 16 位访问。32 位访问会产生未定义的后果。

图 4-11 是一个处于受控模式下的 SPI 的方框图。



A. SPISTE被主控制器件驱动为用于受控器件的低电平。

图 4-11. 串行外设接口模块方框图（受控模式）

4.8 GPIO MUX

GPIO 复用寄存器用于选择 F281x 和 C281x 器件上共用引脚操作。这个引脚可被独立选中运行为“数字 I/O”或者被连接至“外设 I/O”信号（通过 GPxMUX 寄存器）。如果被选择用于“数字 I/O”模式，提供的寄存器用来配置引脚方向（通过 GPxMUX 寄存器）并且限定输入信号来去除有害噪声（通过 GPxQUAL 寄存器）。表 4-11 列出了这些 GPIO 复用寄存器。

表 4-11. GPIO 复用寄存器⁽¹⁾⁽²⁾⁽³⁾

名称	地址	大小 (x 16)	说明
GPAMUX	0x00 70C0	1	GPIO A 复用控制寄存器
GPADIR	0x00 70C1	1	GPIO A 方向控制寄存器
GPAQUAL	0x00 70C2	1	GPIO A 输入限定条件控制寄存器
被保留	0x00 70C3	1	
GPBMUX	0x00 70C4	1	GPIO B 复用控制寄存器
GPBDIR	0x00 70C5	1	GPIO B 方向控制寄存器
GPBQUAL	0x00 70C6	1	GPIO B 输入限定条件控制寄存器
被保留	0x00 70C7	1	
被保留	0x00 70C8	1	
被保留	0x00 70C9	1	
被保留	0x00 70CA	1	
被保留	0x00 70CB	1	
GPDMUX	0x00 70CC	1	GPIO 复用控制寄存器
GPDDIR	0x00 70CD	1	GPIO D 方向控制寄存器
GPDQUAL	0x00 70CE	1	GPIO D 输入限定条件控制寄存器
被保留	0x00 70CF	1	
GPEMUX	0x00 70D0	1	GPIO E 复用控制寄存器
GPEDIR	0x00 70D1	1	GPIO E 方向控制寄存器
GPEQUAL	0x00 70D2	1	GPIO E 输入限定条件控制寄存器
被保留	0x00 70D3	1	
GPFMUX	0x00 70D4	1	GPIO F 复用控制寄存器
GPFDIR	0x00 70D5	1	GPIO F 方向控制寄存器
被保留	0x00 70D6	1	
被保留	0x00 70D7	1	
GPGMUX	0x00 70D8	1	GPIO G 复用控制寄存器
GPGBDIR	0x00 70D9	1	GPIO G 方向控制寄存器
被保留	0x00 70DA	1	
被保留	0x00 70DB	1	
被保留	0x00 70DC-0x00 70DF	4	

- (1) 被保留的位置返回未定义的值并且写入被忽略。
 (2) 并不是所有输入都支持输入信号限定条件。
 (3) 这些寄存器受 EALLOW 保护。这防止假写入写覆盖内容并且损坏系统。

如果被配置为“数字 I/O”模式，提供一个附加的寄存器来设定独立 I/O 信号（通过 GPxSET 寄存器）、清除独立 I/O 信号（通过 GPxCLEAR 寄存器）、切换独立 I/O 信号（通过 GPxTOGGLE 寄存器）、或者读取/写入独立 I/O 信号（通过 GPxDAT 寄存器）。表 4-12 列出了 GPIO 数据寄存器。更多信息，请参阅《TMS320x281x DSP 系统控制和中断参考指南》（文献编号 [SPRU078](#)）。

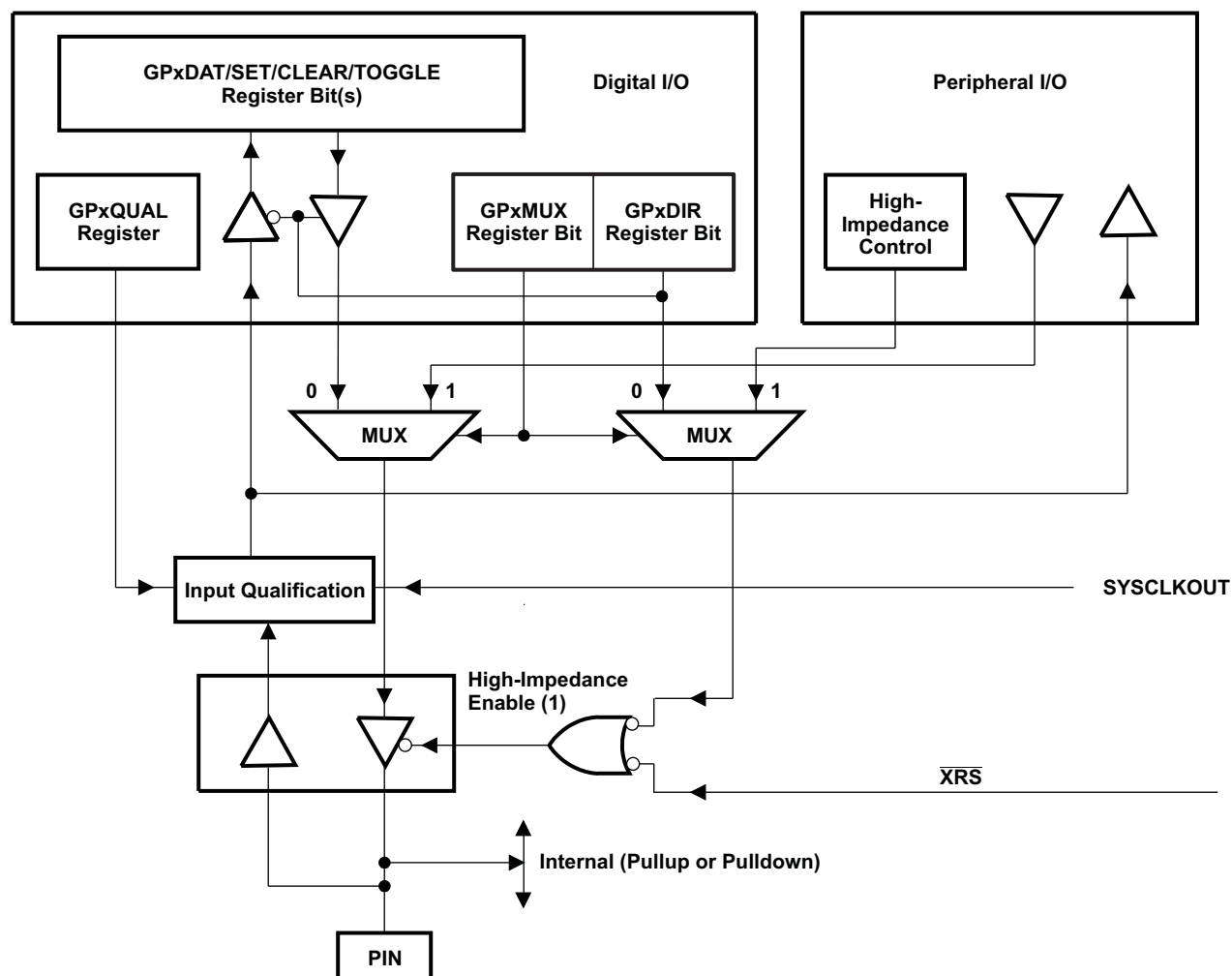
表 4-12. GPIO 数据寄存器⁽¹⁾⁽²⁾

名称	地址	大小 (x 16)	说明
GPADAT	0x00 70E0	1	GPIO A 数据寄存器
GPASET	0x00 70E1	1	GPIO A 设置寄存器
GPACLEAR	0x00 70E2	1	GPIO A 清零寄存器
GPATOGGLE	0x00 70E3	1	GPIO A 切换寄存器
GPBDAT	0x00 70E4	1	GPIO B 数据寄存器
GPBSET	0x00 70E5	1	GPIO B 设置寄存器
GPBCLEAR	0x00 70E6	1	GPIO B 清零寄存器
GPBTOGGLE	0x00 70E7	1	GPIO B 切换寄存器
被保留	0x00 70E8	1	
被保留	0x00 70E9	1	
被保留	0x00 70EA	1	
保留	0x00 70EB	1	
GPDDAT	0x00 70EC	1	GPIO D 数据寄存器
GPDSET	0x00 70ED	1	GPIO D 设置寄存器
GPDCLEAR	0x00 70EE	1	GPIO D 清零寄存器
GPDTOGGLE	0x00 70EF	1	GPIO D 切换寄存器
GPEDAT	0x00 70F0	1	GPIO E 数据寄存器
GPESET	0x00 70F1	1	GPIO E 设置寄存器
GPECLEAR	0x00 70F2	1	GPIO E 清零寄存器
GPETOGGLE	0x00 70F3	1	GPIO E 切换寄存器
GPFDAT	0x00 70F4	1	GPIO F 数据寄存器
GPFSET	0x00 70F5	1	GPIO F 设置寄存器
GPFCLEAR	0x00 70F6	1	GPIO F 清零寄存器
GPFTOGGLE	0x00 70F7	1	GPIO F 切换寄存器
GPGDAT	0x00 70F8	1	GPIO G 数据寄存器
GPGSET	0x00 70F9	1	GPIO G 设置寄存器
GPGCLEAR	0x00 70FA	1	GPIO G 清零寄存器
GPGTOGGLE	0x00 70FB	1	GPIO G 切换寄存器
被保留	0x00 70FC-0x00 70FF	4	

(1) 被保留的位置将返回未定义的值并且写入操作将被忽略。

(2) 这些寄存器不受 EALLOW 保护。用户通常定期访问上述寄存器。

图 4-12 显示了不同寄存器位如何为 GPIO 功能选择不同的操作模式。



- A. 在 GPIO 模式中，当 GPIO 引脚被配置为输出操作，对 GPxDAT 数据寄存器的读取只能获得写入的值，而不是引脚上的值。在外设模式中，引脚的状态可通过 GPxDAT 寄存器读取，前提是相应的方向位为零（输入模式）。
- B. 一些选中的输入信号由 SYSCLKOUT 限定。GPxQUAL 寄存器指定限定条件采样周期。采样窗口为 6 样本宽并且只有当所有样本一致时（全 0 或者全 1），输出才被改变。这个特性从输入信号商去除了有害峰值。

图 4-12. GPIO / 外设引脚复用

注

GPIO 引脚的输入功能和到外设的输入路径一直启用。与主（外设）功能的输出路径复用的是 GPIO 引脚的输出功能。由于一个引脚的输出缓冲器接回输入缓冲器，任何出现在此引脚上的 GPIO 信号也将被传播至外设模块。因此，当一个引脚被配置为 GPIO 运行时，相对应的外设功能（和中断生成功能）必须被禁用。否则，中断有可能在无意间被触发。当 PDPINTA 和 PDPINTB 引脚被用作 GPIO 引脚时更是如此，这是因为 GPDDAT.0 或者 GPDDAT.5 (PDPINTx) 的零值将会把 PWM 引脚置于一个高阻抗状态。CxTRIP 和 TxCTRIP 引脚也会将相应的 PWM 引脚置于高阻抗，前提是它们被驱动为低电平（作为 GPIO 引脚）并且位 EXTCONx.0=1。

5 开发支持

德州仪器 (TI) 为 C28x™ 系列 DSP 提供大量的开发工具，其中包括评估处理器性能、生成代码、开发算法工具、以及完全集成和调试软件及硬件模块的工具。

下面的产品支持基于 F281x 和 C281x 应用的开发：

软件开发工具

- Code Composer Studio™ 集成开发环境 (IDE)
 - C/C++ 编译器
 - 代码生成工具
 - 汇编器/连接器
 - 周期精确模拟器
- 应用算法
- 示例应用代码

硬件开发工具

- 2812 eZdsp
- 基于 JTAG 的仿真器 - SPI515, XDS510PP, XDS510PP+, XDS510 USB
- 通用 5V 直流电源
- 文档和线缆

5.1 器件和开发支持工具命名规则

为了标明产品开发周期的阶段，TI 为所有 TMS320™ DSP 器件和支持工具的部件号指定了前缀。每一个 TMS320 DSP 商用系列产品成员具有以下三个前缀中的一个：TMX，TMP，或者 TMS（例如，TMS320F2812GHH）。德州仪器 (TI) 建议为其支持的工具使用三个可能前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的阶段，即从工程原型 (TMX/TMDX) 直到完全合格的生产器件/工具 (TMS/TMDS)。

TMX	试验器件不一定代表最终器件的电气规范标准。
TMP	最终的芯片模型符合器件的电气规范标准，但是未经完整的质量和可靠性验证。
TMS	完全合格的产品器件

支持工具开发进化流程：

TMDX	未经德州仪器 (TI) 完整内部质量测试的开发支持产品
TMDS	完全合格的开发支持产品

TMX 和 TMP 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

“开发的产品用于内部评估用途。”

TMS 器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书适用。

预测显示原型器件 (TMX 或者 TMP) 的故障率大于标准生产器件。由于它们的预计的最终使用故障率仍未定义，德州仪器 (TI) 建议不要将这些器件用于任何生产系统。只有合格的生产器件将被使用。

TI 器件的命名规则也包括一个带有器件系列名称的后缀。这个后缀表明封装类型（例如，PBK）和温度范围（如，A）。图 5-1 提供了读取任一 TMS320x281x 系列产品成员完整器件名称的图例。

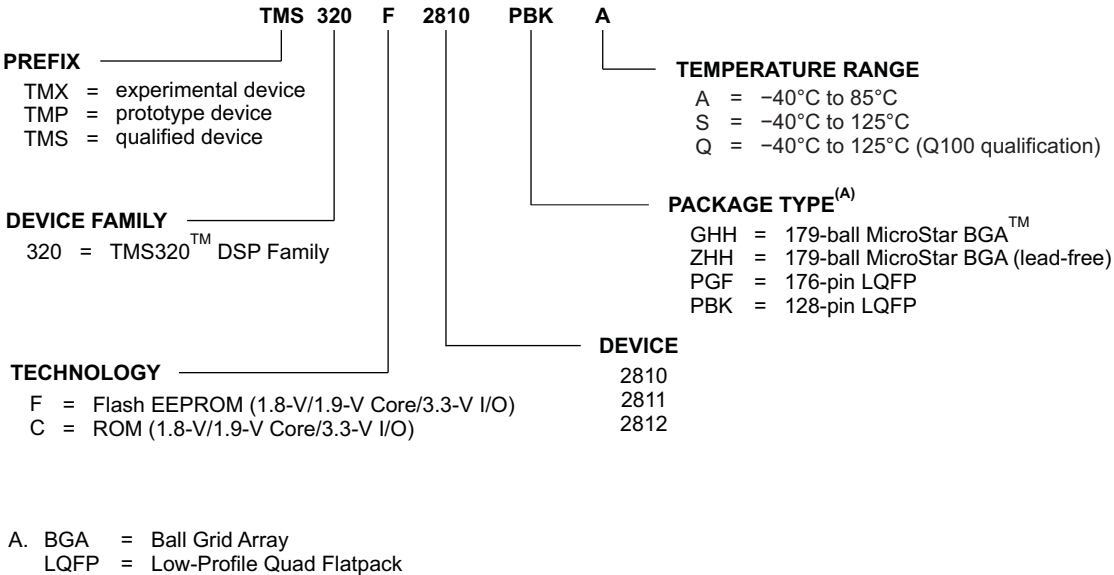


图 5-1. TMS320x281x 器件命名规则

5.2 文档支持

扩展文档支持 TMS320™ DSP 系列器件的所有器件，从产品声明到应用开发。提供的文档类型包括：数据表和数据手册，并带有设计规范标准；以及硬件和软件应用。

表 5-1 显示了适用于这个数据手册中器件的外设参考指南。有关外设类型的更多信息，请见《TMS320x28xx, 28xxx DSP 外设参考指南》（文献编号 [SPRU566](#)）。

表 5-1. TMS320x281x 外设选择指南

外设	文献编号 编号	类型 ⁽¹⁾	2812	2811, 2810
TMS320x281x DSP 系统控制和中断	SPRU078	-	x	x
TMS320x281x DSP 外部接口 (XINTF)	SPRU067	0	x	
TMS320x281x 增强型控制器局域网 (eCAN)	SPRU074	0	x	x
TMS320x281x DSP 事件管理器 (EV)	SPRU065	0	x	x
TMS320x281x DSP 模数转换器 (ADC)	SPRU060	0	x	x
TMS320x281x DSP 多通道缓冲串行端口 (McBSP)	SPRU061	0	x	x
TMS320x281x 串行通信接口 (SCI)	SPRU051	0	x	x
TMS320x281x 串行外设接口	SPRU059	0	x	x
TMS320x281x DSP 引导 ROM	SPRU095	-	x	x

(1) 一个类型变化代表一个外设模块中的主要功能特性的差异。在一个外设类型内，器件之间会有细微差异，而这些差异不会影响模块的基本功能性。外设参考指南列出了这些特定器件差异。

下列文档可从 TI 网站中获得：（<http://www.ti.com>）：

[SPRU430](#) 《TMS320C28x CPU 和指令集参考指南》描述了 TMS320C28x™ 定点数字信号处理器 (DSP) 的中央处理器 (CPU) 和汇编语言指令。它还描述了这些 DSP 上可用的仿真特性。

[SPRU060](#) 《TMS320x281x DSP 模数转换器 (ADC) 参考指南》描述了 ADC 模块。这个模块为一个 12 位管线式 ADC。此转换器的模拟电路，在这个文档中被称为核心，其中包括前端模拟多路复用器 (MUX)、采样保持 (S/H) 电路、转换内核、电压稳压器和其它模拟支持电路。数字电路，在本文档中称为包装程序，其中包括可编程转换序列发生器、结果寄存器、到模拟电路、器件外设总线和其它片载模块的接口。

[SPRU095](#) 《TMS320x281x DSP 引导 ROM 参考指南》描述了引导加载程序（厂家设定的引导加载软

件)的用途和特性。它还描述了器件的片载引导 ROM 的其它内容,并标识了所有信息在该存储器内的位置。

- [SPRU065](#) 《TMS320x281x DSP 事件管理器 (EV) 参考指南》描述了 EV 模块,此模块提供了大范围的功能和特性,这些功能和特性在运动控制和电机控制应用中特别有用。EV 模块包括通用 (GP) 定时器、完全比较/脉宽调制器 (PWM) 单元、捕捉单元、和正交编码器脉冲 (QEP) 电路。
- [SPRU067](#) 《TMS320x281x DSP 外部接口 (XINTF) 参考指南》描述了 281x 数字信号处理器 (DSP) 的外部接口 (XINTF)。
- [SPRU061](#) 《TMS320x281x DSP 多通道缓冲串行端口 (McBSP) 参考指南》描述了 281x 器件上可用的 McBSP。McBSP 允许一个 DSP 和系统中其它器件间的直接连接。
- [SPRU078](#) 《TMS320x281x DSP 系统控制和中断参考指南》描述了 281x 数字信号处理器 (DSP) 的各种中断和系统控制特性。
- [SPRU074](#) 《TMS320x281x 增强型控制器局域网 (eCAN) 参考指南》描述了在电噪音环境下使用已设立的协议与其它控制器进行串行通信的 eCAN。使用 32 个完全可配置的邮箱和时间戳功能,eCAN 模块提供了多用途和稳健耐用的串行通信接口。C28x DSP 中执行的 eCAN 模块与 CAN 2.0B 标准 (生效中) 兼容。
- [SPRU566](#) 《TMS320x28xx, 28xxx DSP 外设参考指南》描述了 28x 数字信号处理器 (DSP) 的外设参考指南。
- [SPRU051](#) 《TMS320x281x 串行通信接口 (SCI) 参考指南》描述了一个通常称为 UART 的两线制异步串行端口 SCI。SCI 模块支持 CPU 与其它使用标准非归零 (NRZ) 码格式的异步外设之间的数字通信。
- [SPRU059](#) 《TMS320x281x 串行外设接口参考指南》描述了 SPI - 一种高速同步串行输入/输出 (I/O) 端口,它允许按照已编程的位传输速率将已设定长度的串行比特流 (1 到 16 位) 移入或移出器件。SPI 用于 DSP 控制器和外部外设或者其它处理器之间的通信。

- [SPRA550](#)** 用于数字电机控制应用报告的 **3.3V DSP**。应用报告首先描述了仅使用 3.3V 电机控制器的方案，并指出对于大多数应用，3.3V 与 5V 之间不存在明显的对接问题。针对需要这样对接的情况，随后对成本有效的 3.3V/5V 对接技术进行了讨论。还讨论了片上 3.3V 模数转换器 (ADC) 与 5V ADC 间的关系。可以降低系统噪声和电磁干扰 (EMI) 影响的组件布局和印刷电路板 (PCB) 设计指南在文档的最后部分进行了汇总。
- [SPRU608](#)** 《TMS320C28x 指令集模拟器技术概述》对模拟 C28x 核心指令集的模拟器进行了说明，此模拟器可在用于 TMS320C2000™ IDE 的 Code Composer Studio 内获得。
- [SPRU625](#)** 《TMS320C28x DSP/BIOS 应用编程接口 (API) 参考指南》描述了使用 DSP/BIOS™ 所进行的开发。
- [SPRU513](#)** 《TMS320C28x 汇编语言工具 v5.0 用户指南》描述了汇编语言工具（用于开发汇编程序代码的汇编语言和其它工具）、汇编语言指令、宏、通用目标文件格式、和符号调试指令，这些都用于 TMS320C28x™ 器件。
- [SPRU514](#)** 《TMS320C28x 优化 C/C++ 编译器 v5.0 用户指南》描述了 TMS320C28x™ C/C++ 编译器。这个编译器接受 ANSI 标准 C/C++ 源代码并且为 TMS320C28x 器件处理 TMS320™ DSP 汇编语言源代码。
- [SPRA876](#)** 《针对 TMS320F281x eCAN 应用报告的编程示例》包含几个编程示例来解释 eCAN 模块是如何针对不同的操作模式设置 eCAN 模块。此文档的目的是帮助您在编辑 eCAN 时能够加快速度。为了有助于理解，所有程序已经被添加了详细注释。Vector CANtech, Inc. 生产的 CANalyzer 工具被用于监控和控制总线操作。所有项目和 CANalyzer 配置文件包含在 [SPRA876.zip](#) 文件中。
- [SPRA989](#)** F2810、F2811 和 F2812 ADC 校准应用报告描述了提高 F2810/F2811/F2812 器件上 12 位模数转换器 (ADC) 的绝对精度的方法。由于固有增益和偏移错误，ADC 的绝对精度受到影响。这份报告注释中描述的方法能够改进 ADC 的绝对精度以达到好于 0.5% 的水平。本应用注释附带一个从 F2812 eZdsp 上的 RAM 执行的示例程序 (ADCcalibration, [spra989.zip](#))。

为了支持数字信号处理研究和教育，Prentice-Hall 和 John Wiley & Son 出版了 DSP 系列教科书。此 TMS320™ DSP 简报，信号处理详细资料，每季度出版并被分发用来更新 TMS320™ DSP 用户所掌握的产品信息。

与 TMS320™ 与 DSP 控制器有关的更新信息可在互联网：<http://www.ti.com> 上获得。

要发送与这个

《TMS320F2810, TMS320F2811, TMS320F2812, TMS320C2810, TMS320C2811, TMS320C2812 数字信号处理器数据手册》（文献编号 [SPRS174](#)）相关的评论，请点击页面底部的提交文档反馈链接。对于问题和支持，请与列于 <http://www.ti.com/sc/docs/pic/home.htm> 网站内的产品信息中心联系。

5.3 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范 and 标准且不一定反映 TI 的观点；请见 TI 的 [使用条款](#)。

[TI E2E 社区](#) **TI 工程师间 (E2E) 社区** 此社区的创建目的是为了促进工程师之间协作。在 e2e.ti.com 中，您可以咨询问题、共享知识、探索思路，在研发工程师的帮助下解决问题。

[德州仪器 \(TI\) 嵌入式处理器维基网站](#) **德州仪器 (TI) 嵌入式处理器维基网站**。此网站的建立是为了帮助开发人员从德州仪器 (TI) 的嵌入式处理器入门并且也为了促进与这些器件相关的硬件和软件的总体知识的创新和增长。

6 电气规范

这个部分提供了针对 TMS320F281x 和 TMS320C281x DSP 的绝对最大额定值和建议运行条件。

6.1 绝对最大额定值⁽¹⁾

电源电压范围 (V_{DDIO} , V_{DD3VFL} , V_{DDA1} , V_{DDA2} , V_{DDAIO} , 和 $AVDDREFBG$)		-0.3V 至 4.6V
电源电压范围 (V_{DD} , V_{DD1})		-0.5V 至 2.5V
输入电压范围, V_{IN}		-0.3V 至 4.6V
输出电压范围, V_O		-0.3V 至 4.6V
输入钳制电流, $I_{IK}(V_{IN} < 0 \text{ 或者 } V_{IN} > V_{DDIO})^{(2)}$		$\pm 20\text{mA}$
输出钳制电流, $I_{OK}(V_O < 0 \text{ 或者 } V_O > V_{DDIO})$		$\pm 20\text{mA}$
运行环境温度范围, T_A	A 版本 (GHH, ZHH, PGF, PBK) ⁽³⁾	-40°C 至 85°C
	S 版本 (GHH, ZHH, PGF, PBK) ⁽³⁾	-40°C 至 125°C
	Q 版本 (PGF, PBK) ⁽³⁾	-40°C 至 125°C
结温范围, T_J		-40°C 至 150°C
贮存温度范围, T_{stg} ⁽³⁾		-65°C 至 150°C

- (1) 除非另外说明, 绝对最大额定值的列表在运行温度范围内指定。在超过那些绝对最大额定值下列出的应力下运行有可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况, 对于额定值下的器件的功能性操作以及在超出 [Section 6.2](#) 推荐的操作条件下的任何其它操作, 在此并未说明。长时间运行在最大绝对额定条件下会影响设备的可靠性。所有电压值都是以 V_{SS} 为参考。
- (2) 每个引脚上的持续钳制电流为 $\pm 2\text{mA}$ 。
- (3) 长期高阻抗存储并且/或者在最大温度条件下长时间使用会使器件总体使用寿命的缩短。额外信息, 请见《IC 封装热度量应用报告》(文献编号 [SPRA953](#)) 和《用于 TMS320LF24xx 和 TMS320F28xx 器件应用报告的可靠性数据》(文献编号 [SPRA963](#))。

6.2 建议的运行条件⁽¹⁾

			最小值	标称值	最大值	单位
V_{DDIO}	器件电源电压, I/O		3.14	3.3	3.47	V
V_{DD} , V_{DD1}	器件电源电压, CPU	1.8V (135MHz)	1.71	1.8	1.89	V
		1.9V (150MHz)	1.81	1.9	2	
V_{SS}	电源接地			0		V
V_{DDA1} , V_{DDA2} , A $V_{DDREFBG}$, V_{DD} AIO	ADC 电源电压		3.14	3.3	3.47	V
V_{DD3VFL}	闪存编程电压		3.14	3.3	3.47	V
$f_{SYSCLKOUT}$	器件时钟频率 (系统时钟)	$V_{DD}=1.9V \pm 5\%$	2		150	MHz
		$V_{DD}=1.8V \pm 5\%$	2		135	
V_{IH}	高电平输入电压	除 X1/XCLKIN 之外的所有输入	2		V_{DDIO}	V
		X1/XCLKIN (@50 μA 最大值)	$0.7V_{DD}$		V_{DD}	
V_{IL}	低电平输入电压	除 X1/XCLKIN 之外的所有输入			0.8	V
		X1/XCLKIN (@50 μA 最大值)			$0.3V_{DD}$	
I_{OH}	高电平输出拉电流, $V_{OH}=2.4V$	除组 2 之外的所有 I/O			-4	mA
		组 2 ⁽²⁾			-8	
I_{OL}	低电平输出灌电流 $V_{OL}=V_{OL}$ 最大值	除组 2 之外的所有 I/O			4	mA
		组 2 ⁽²⁾			8	
T_A	环境温度	A 版本	-40		85	°C
		S 版本	-40		125	
		Q 版本	-40		125	

- (1) 针对 V_{DDIO} , V_{DDAIO} , V_{DD} , $V_{DDA1}/V_{DDA2}/AVDDREFBG$, 和 V_{DD3VFL} 的电源排序, 请见 [Section 6.8](#)。
- (2) 组 2 引脚如下: XINTF 引脚, T1CTRIP_PDPINTA, TDO, XCLKOUT, XF, EMU0, 和 EMU1。

6.3 建议运行条件下的电气特性（除非另外注明）

参数			测试条件	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压		$I_{OH}=I_{OH}$ 最大值	2.4			V
			$I_{OH}=50\mu A$	$V_{DDIO}-0.2$			
V_{OL}	低电平输出电压		$I_{OL}=I_{OL}$ 最大值			0.4	V
$I_{IL}^{(1)}$	输入电流 (低电平)	带有上拉电阻器	$V_{DDIO}=3.3V, V_{IN}=0V$	-80	-140	-190	μA
		带有下拉电阻器	$V_{DDIO}=3.3V, V_{IN}=0V$			± 2	
$I_{IL}^{(2)}$	输入电流 (低电平)	带有上拉电阻器	$V_{DDIO}=3.3V, V_{IN}=0V$	-80	-140	-190	μA
			除了 EVB 之外的所有 I/O ⁽³⁾ (包括 XRS) GPIOB/EVB	-13	-25	-35	
		带有下拉电阻器	$V_{DDIO}=3.3V, V_{IN}=0V$			± 2	
I_{IH}	输入电流 (高电平)	带有上拉电阻器	$V_{DDIO}=3.3V, V_{IN}=V_{DD}$			± 2	μA
		带有下拉电阻器 ⁽⁴⁾	$V_{DDIO}=3.3V, V_{IN}=V_{DD}$	28	50	80	
I_{OZ}	泄漏电流 (对于没有内部 Pu/PD 的引脚), 高阻抗状态 (关闭状态)		$V_O=V_{DDIO}$ 或者 0V			± 2	μA
C_i	输入电容				2		pF
C_o	输出电容				3		pF

(1) 适用于 C281x 器件

(2) 适用于 F281x 器件

(3) 以下的引脚没有内部 PU/PD: GPIOE0, GPIOE1, GPIOF0, GPIOF1, GPIOF2, GPIOF3, GPIOF12, GPIOG4, 和 GPIOG5。

(4) 以下引脚有一个内部下拉电阻器: XMP/MC, TESTSEL, 和 TRST。

6.4 流耗

Table 6-1. 在 150MHz SYSCLKOUT 上的低功耗模式期间的推荐运行条件下，电源引脚的 **TMS320F281x** 流耗

模式	测试条件	I _{DD}		I _{DDIO} ⁽¹⁾		I _{DD3VFL}		I _{DDA} ⁽²⁾	
		典型值	最大值 ⁽³⁾	典型值	最大值 ⁽³⁾	典型值	最大值 ⁽³⁾	典型值	最大值 ⁽³⁾
可用	所有外设时钟被启用。所有 PWM 引脚被切换至 100MHz。数据在 SCIA, SCIB, 和 CAN 端口上连续发出。硬件复用器被使用。正在闪存之外运行的代码具有 5 个等待状态。	195mA ⁽⁴⁾	230mA	15mA	30mA	40mA	45mA	40mA	50mA
IDLE	<ul style="list-style-type: none"> 闪存被断电。 XCLKOUT 被关闭。 除了 ADC 之外，所有外设时钟打开。 	125mA	150mA	5mA	10mA	2μA	4μA	1μA	20μA
STANDBY	<ul style="list-style-type: none"> 闪存被断电。 外设时钟被关闭。 没有一个内部 PU/PD 的引脚被接至高电平/低电平。 	5mA	10mA	5μA	20μA	2μA	4μA	1μA	20μA
HALT	<ul style="list-style-type: none"> 闪存被断电。 外设时钟被关闭。 没有一个内部 PU/PD 的引脚被接至高电平/低电平。 输入时钟被禁用。 	70μA		5μA	20μA	2μA	4μA	1μA	20μA

(1) I_{DDIO}电流取决于 I/O 引脚上的电力负载。

(2) I_{DDA}包括进入 V_{DDA1}, V_{DDA2}, AVDDREFBG, 和 V_{DDAIO}引脚的电流。

(3) 125°C 时的最大值, 和最大电压 (V_{DD}=1.89V; V_{DDIO}, V_{DD3VFL}, V_{DDA}=3.47V)

(4) I_{DD}代表取自 1.8V 电源轨 (V_{DD}) 的总电流。它包括少部分由 V_{DD1}汲取的电流 (<1mA)。

NOTE

当 PLL 被禁用时, HALT 和 STANDBY 模式不能使用。

Table 6-2. 在 150MHz SYSCLKOUT 上的低功耗模式期间的推荐运行条件下，电源引脚的 TMS320C281x 流耗

模式	测试条件	I _{DD}		I _{DDIO} ⁽¹⁾		I _{DDA} ⁽²⁾	
		典型值	最大值 ⁽³⁾	典型值	最大值 ⁽³⁾	典型值	最大值 ⁽³⁾
可用	所有外设时钟被启用。所有 PWM 引脚被切换至 100MHz。 数据从 SCIA, SCIB, 和 CAN 端口持续发出。硬件复用器被使用。正在 ROM 之外运行的代码具有 5 个等待状态。	210mA ⁽⁴⁾	260mA	20mA	30mA	40mA	50mA
IDLE	<ul style="list-style-type: none"> XCLKOUT 被关闭。 除了 ADC 之外，所有外设时钟打开。 	140mA	165mA	20mA	30mA	5μA	10μA
STANDBY	<ul style="list-style-type: none"> 外设时钟被关闭。 没有一个内部 PU/PD 的引脚被接至高电平/低电平。 	5mA	10mA	5μA	20μA	5μA	10μA
HALT	<ul style="list-style-type: none"> 外设时钟被关闭。 没有一个内部 PU/PD 的引脚被接至高电平/低电平。 输入时钟被禁用。 	70μA		5μA	10μA	1μA	

(1) I_{DDIO} 电流取决于 I/O 引脚上的电力负载。

(2) I_{DDA} 包括进入 V_{DDA1}, V_{DDA2}, AVDDREFBG, 和 V_{DDAIO} 引脚的电流。

(3) 125°C 时的最大值, 和最大电压 (V_{DD} = 1.89V; V_{DDIO}, V_{DD3VFL}, V_{DDA} = 3.47V)

(4) I_{DD} 代表取自 1.8V 电源轨 (V_{DD}) 的总电流。它包括少部分由 V_{DD1} 汲取的电流 (<1mA)。

6.5 流耗图

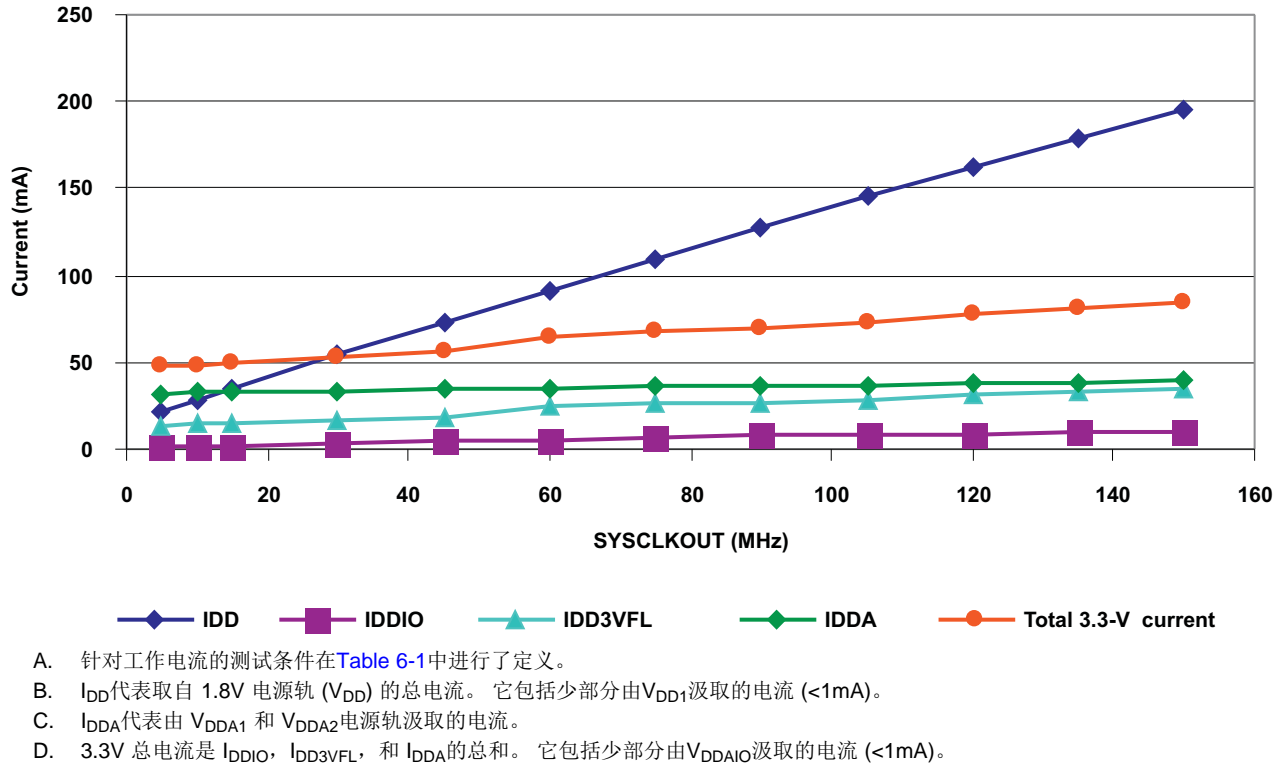


Figure 6-1. F2812/F2811/F2810 在频率范围内的典型流耗

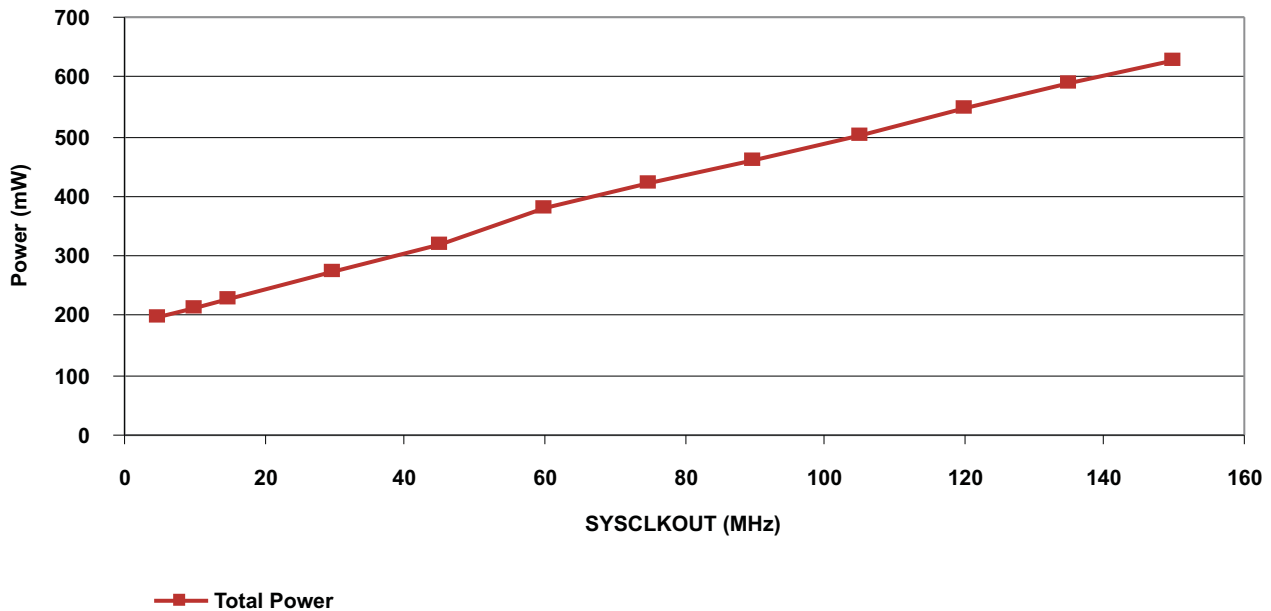
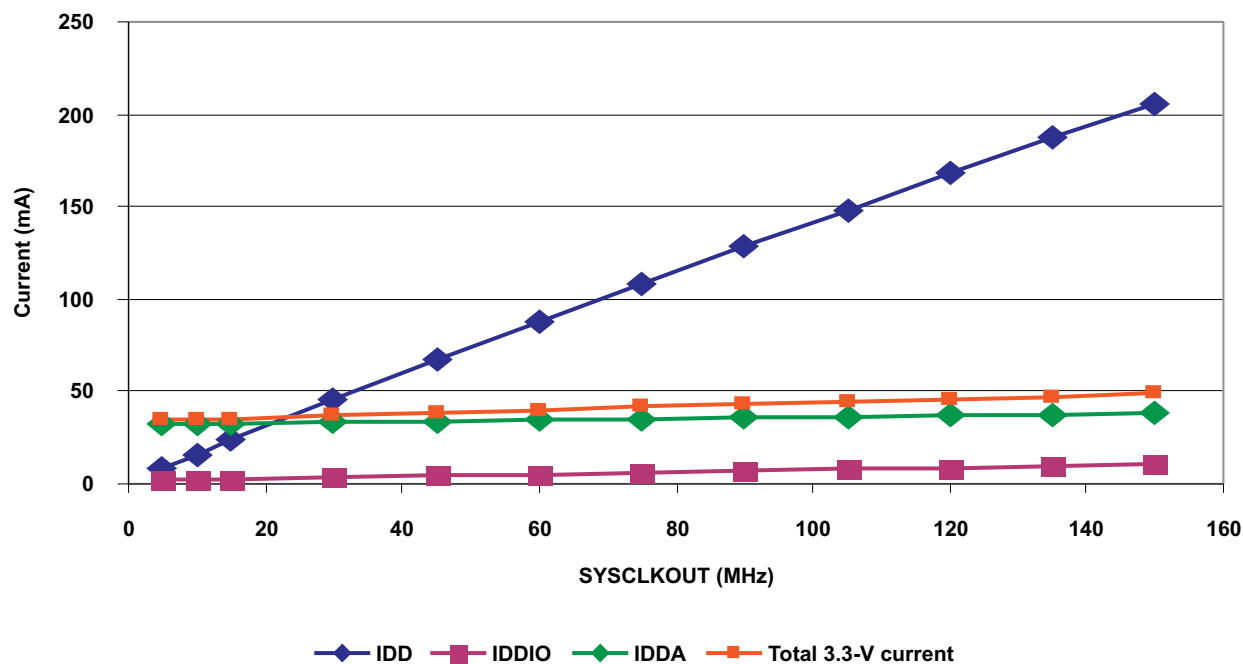


Figure 6-2. F2812/F2811/F2810 在频率范围内的典型流耗



- A. 针对工作电流的测试条件在Table 6-2中进行了定义。
B. I_{DD} 代表取自 1.8V 电源轨 (V_{DD}) 的总电流。它包括少部分由 V_{DD1} 汲取的电流 (<1mA)。
C. I_{DDA} 代表 V_{DDA1} 和 V_{DDA2} 电源轨汲取的电流。
D. 3.3V 总电流是 I_{DDIO} 和 I_{DDA} 的总和。它包括少部分由 V_{DDAIO} 汲取的电流 (<mA)。

Figure 6-3. C2812/C2811/C2810 频率范围内典型流耗

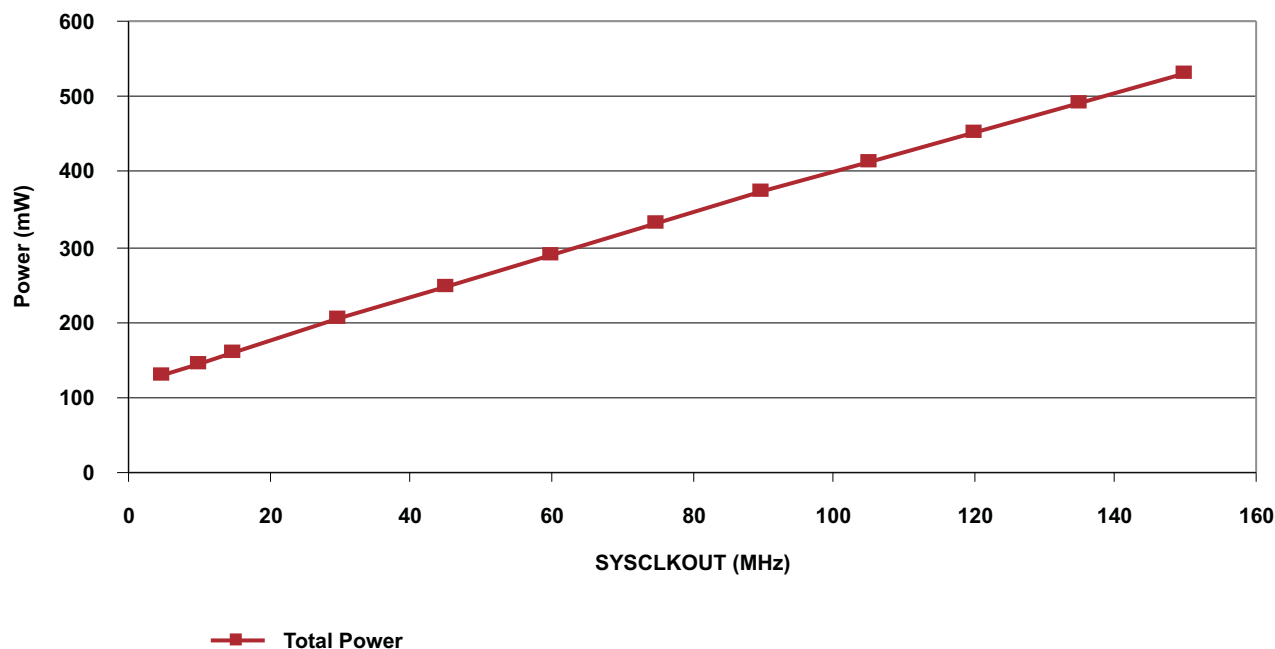


Figure 6-4. C2812/C2811/C2810 频率范围内典型流耗

6.6 减少流耗

28x DSP 包含一个减少器件流耗的独特方法。通过关闭到任一不在一个指定应用中使用的模块的时钟可实现流耗减少。Table 6-3表明了通过关闭到不同外设的时钟所实现的流耗减少的典型值。

Table 6-3. 不同外设的典型流耗（150MHz 上时）⁽¹⁾

外设模块	I _{DD} 电流减少 (mA)
eCAN	12
EVA	6
EVB	6
ADC	8 ⁽²⁾
SCI	4
SPI	5
McBSP	13

- (1) 复位时，所有外设时钟被禁用。只有在外设时钟被打开后，才可进行对外设寄存器的写入/读取操作。
(2) 这个数字代表了取自 ADC 模块数字部分的电流。关闭 ADC 模块的时钟也将消除取自 ADC (I_{DDA}) 模拟部分的电流。

6.7 针对 DSP 的无信号缓冲的仿真器连接

Figure 6-5显示了 DSP 和 JTAG 接头之间针对单处理器配置的连接。如果 JTAG 接头和 DSP 之间的距离大于 6英寸，那么仿真信号必须被缓冲。如果距离小于 6英寸，通常无需缓冲。Figure 6-5显示了较简单、无缓冲的情况。对于上拉/下拉电阻器的值，请见引脚说明部分。

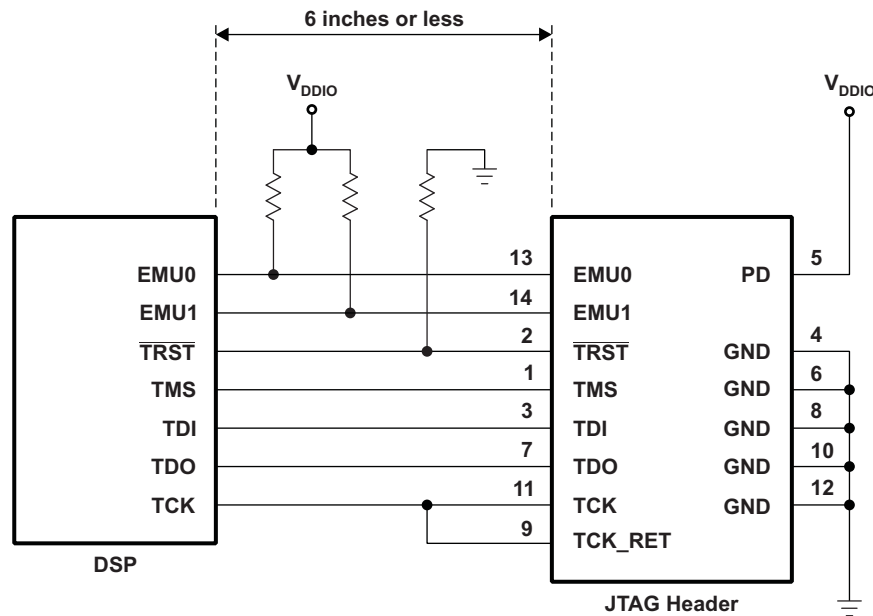


Figure 6-5. 针对 DSP 的无信号缓冲的仿真器连接

6.8 电源排序要求

TMS320F2812/F2811/F2810 芯片要求双电压（1.8V 或 1.9V 和 3.3V）来为 CPU，闪存，ROM，ADC，和 I/O 供电。为了确保所有模块在加电期间的正常复位状态，在为器件加电/断电的同时需要满足一些要求。最新 F2812 芯片参考电路原理图（Spectrum Digital Incorporated eZdsp 板）针对电源排序电路提出了两个选项。

C281x 器件无需电源排序。换句话说，3.3V 和 1.8V（或者 1.9V）可以一起斜升。C281x 还可以在执行了 F281x 电源排序的电路板上使用；然而，如果 1.8V（或者 1.9V）电源轨落后于 3.3V 电源轨，GPIO 引脚在 1.8V 电源轨达到至少 1V 前处于未定义状态。

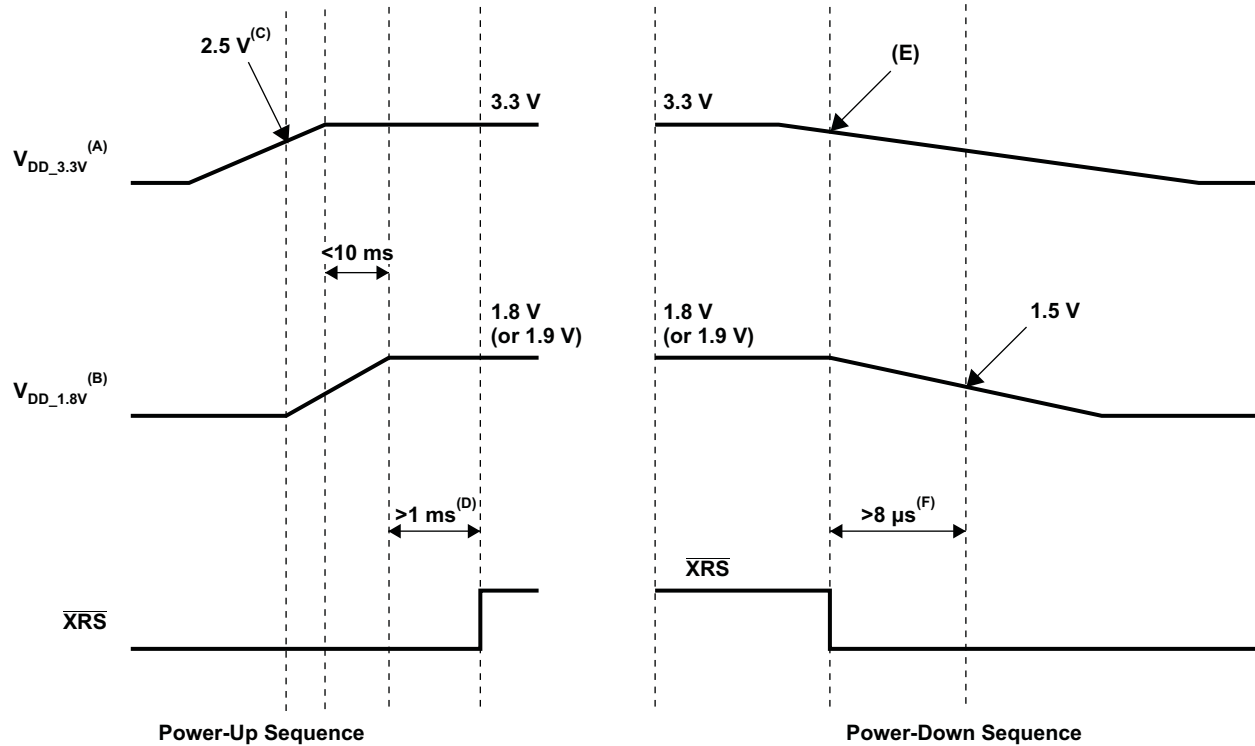
- 选项 1:
在这个方法中，一个外部电源排序电路首先启用 V_{DDIO} ，然后是 V_{DD} 和 V_{DD1} (1.8V 或者 1.9V)。在 1.8V (或者 1.9V) 斜升后，用于闪存 (V_{DD3VFL}) 和 ADC ($V_{DDA1}/V_{DDA2}/AVDDREFBG$) 模块的 3.3V 被斜升。虽然选项 1 依旧有效，但是 TI 已经简化了要求。选项2 为推荐的方法。
- 选项 2:
启用所有 3.3V 电源引脚的电源 (V_{DDIO} , V_{DD3VFL} , $V_{DDA1}/V_{DDA2}/V_{DDAIO}/AVDDREFBG$)，然后斜升 1.8V (或者 1.9V) (V_{DD}/V_{DD1}) 电源引脚。
在 V_{DDIO} 已经达到 2.5V 之前，1.8V 或者 1.9V (V_{DD}/V_{DD1}) 不应达到 0.3V 这就确保了来自 I/O 引脚的复位信号已经通过 I/O 缓冲器传播出去，为所有器件内的模块提供加电复位。加电复位时序请见 [Figure 6-11](#)。
- 断电排序:
断电期间，在 V_{DD} 电源达到 1.5V 之前，器件复位应该被置为低电平 (8 μ s, 最小值)。这将有助于在 V_{DDIO}/V_{DD} 电源斜降之后，将片载闪存逻辑保持在复位状态。建议使用“低压降 (LDO)”稳压器或者电压监视器的器件复位控制用于满足这个约束条件。便利电源排序的 LDO 稳压器 (在额外外部组件的帮助下) 可被用于，满足电源排序要求。请见 www.spectrumdigital.com 以获得 F2812 eZdsp™ 电路原理图和更新。

Table 6-4. 建议的“低压降稳压器”

电源	部件型号	说明
德州仪器 (TI)	TPS75005	带有用于 C2000 的双 500mA 低压降稳压器 (LDO) (3 个电压轨监控器)

NOTE

在 $V_{DD}=1V$ 并且 $V_{DDIO}=2.5V$ 之前，GPIO 引脚未定义。



- Power-Up Sequence**
- A. $V_{DD_3.3V}$ - V_{DDIO} , V_{DD3VFL} , V_{DDAIO} , V_{DDA1} , V_{DDA2} , $AVDDREFBG$
 - B. $V_{DD_1.8V}$ - V_{DD} , V_{DD1}
 - C. 1.8V (或者 1.9V) 电源应该在 3.3V 电源至少达到 2.5V 后斜升。
 - D. 在电源和时钟稳定前, 复位 (\overline{XRS}) 应该保持低电平。最小要求, 请见Figure 6-11, 微计算机模式中的加电复位 (XMP/MC=0)。
- Power-Down Sequence**
- E. 当 3.3V 电源稳压关闭时, 电压监控器或者 LDO 复位控制将首先触发复位 (\overline{XRS})。通常情况下, 这个操作在 1.8V (或者 1.9V) 电源至少达到 1.5V 的几毫秒前发生。
 - F. 1.8V (或者 1.9V) 电源达到 1.5V 前, 在至少 8 μ s 内保持复位低电平 (\overline{XRS}), 那么在电源斜降之前, 闪存模块将保持在完全复位。
 - G. 由于 GPIO 引脚的状态在 1.8V (或者 1.9V) 电源至少达到 1V 前未定义, 这个电源应该尽可能快的斜升 (在 3.3V 电源至少达到 2.5V 之后)。
 - H. 除了电源引脚, 在 3.3V 电源轨已经被完全加电前, 不应驱动任何引脚。

Figure 6-6. F2812/F2811/F2810 典型加电和断电序列-选项 2

6.9 信号转换电平

请注意一些信号使用不同的基准电压，请见推荐运行条件表。输出电平被驱动至一个 2.4V 的最低逻辑高电平并被驱动至一个 0.4V 的最大逻辑低电平。

Figure 6-7 显示了输出电平。

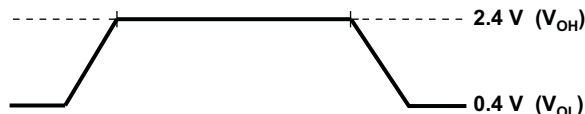


Figure 6-7. 输出电平

输出转换时间指定如下：

- 对于一个高电平到低电平的转换，输出上不再被认为是高电平的电平为低于 V_{OH} （最小值）的电平，而输出上不再被认为是低电平的电平为 V_{OL} （最大值）并且更低。
- 对于一个低电平到高电平转换，输出上不再被认为是低电平的电平为高于 V_{OL} （最大值）的电平，而输出上不再被认为是高电平的电平为 V_{OH} （最小值）并且更高。

Figure 6-8 显示了输入电平。

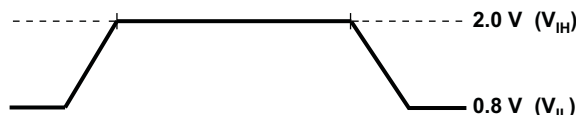


Figure 6-8. 输入电平

输入转换时间指定如下：

- 对于一个高电平到低电平的转换，输出上不再被认为是高电平的电平为低于 V_{IH} （最小值）的电平，而输出上不再被认为是低电平的电平为 V_{IL} （最大值）并且更低。
- 对于一个低电平到高电平转换，输出上不再被认为是低电平的电平为高于 V_{IL} （最大值）的电平，而输出上不再被认为是高电平的电平为 V_{IH} （最小值）并且更高。

NOTE

对于测试时序参数，请见单独的电平时序图。

6.10 时序参数符号

所用的时序参数符号按照 JEDEC 标准100 创建。为了缩短符号，一些引脚的名称和其它相关的术语名已经按如下方法缩减：

小写下标和它们的含意：

a	访问时间
c	周期时间（周期）
d	延迟时间
f	下降时间
h	保持时间
r	上升时间
su	建立时间
t	转换时间
v	有效时间
w	脉冲持续时间（宽度）

字母和符号和它们的含意：

H	高
L	低
V	有效
X	未知、改变、或者无关电平
Z	高阻抗

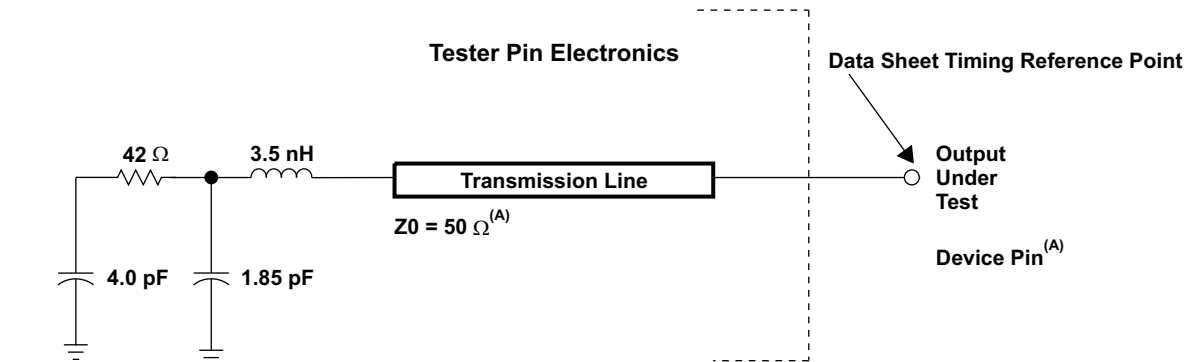
6.11 定时参数的通用注释

所有 28x 器件的输出信号（包括 XCLKOUT）取自一个内部时钟，这样，对于一个指定半周期的所有输出转换在一个互相之间相对最小转换率时发生。

这个显示在下面时序图中的信号组合也许不一定代表真实的周期。对于真实周期范例，请参见本文档的合适周期说明部分。

6.12 测试负载电路

这个测试负载电路用于测量这个文档中提供的所有开关特性。



- A. 此数据表在器件引脚上提供时序。对于输出时序分析，必须将测试器引脚电子特性和其传输线路效应考虑在内。带有 2ns 或者更长时间延迟的传输线路可被用于生成所需的传输线路效应。传输线路只用于一个负载。无需从数据表时序中增加或者减少传输线路延迟（2ns 或者更长）。使用一个器件引脚上 < 4伏特每纳秒 (4V/ns) 的输入转换率对这个数据表中的输入要求进行测试。

Figure 6-9. 3.3V 测试负载电路

6.13 器件时钟表

这个部分提供针对 F281x 和 C281x DSP 上可用的多种时钟选项的时序要求和开关特性。Table 6-5列出了多种时钟的周期时间。

Table 6-5. TMS320F281x 和 TMS320C281x 时钟表和命名规则

		最小值	标称值	最大值	单位
片载振荡器时钟	$t_{c(OSC)}$, 周期时间	28.6		50	ns
	频率	20		35	MHz
XCLKIN	$t_{c(CI)}$, 周期时间	6.67		250	ns
	频率	4		150	MHz
SYSCLKOUT	$t_{c(SCO)}$, 周期时间	6.67		500	ns
	频率	2		150	MHz
XCLKOUT	$t_{c(XCO)}$, 周期时间	6.67		2000	ns
	频率	0.5		150	MHz
HSPCLK	$t_{c(LCO)}$, 周期时间	6.67	13.3 ⁽¹⁾		ns
	频率		75 ⁽¹⁾	150	MHz
LSPCLK	$t_{c(LCO)}$, 周期时间	13.3	26.6 ⁽¹⁾		ns
	频率		37.5 ⁽¹⁾	75	MHz
ADC 时钟	$t_{c(ADCCLK)}$, 周期时间 ⁽²⁾	40			ns
	频率			25	MHz
SPI 时钟	$t_{c(SPC)}$, 周期时间	50			ns
	频率			20	MHz
McBSP	$t_{c(CKG)}$, 周期时间	50			ns
	频率			20	MHz
XTIMCLK	$t_{c(XTIM)}$, 周期时间	6.67			ns
	频率			150	MHz

(1) 如果 SYSCLKOUT=150MHz, 这个值为缺省复位值。

(2) ADCCLK 频率的最大值为 25MHz。对于 25MHz 或者更低的 SYSCLKOUT 的值, ADCCLK 必须为 SYSCLKOUT/2 或者更低。对于 SYSCLKOUT 的任一值, ADCCLK=SYSCLKOUT 不是一个有效模式。

6.14 时钟要求和特性

6.14.1 输入时钟要求

XCLKIN 引脚上提供的时钟生成内部 CPU 时钟周期。

Table 6-6. 输入时钟频率

参数				最小值	典型值	最大值	单位
f_x	输入时钟频率	谐振器		20		35	MHz
		晶振		20		35	
		XCLKIN	无 PLL	4		150	
			具有 PLL	5		100	
f_l	跛行模式时钟频率				2		MHz

Table 6-7. XCLKIN 时序要求 - PLL 旁通或者被启用

编号		最小值	最大值	单位
C8	$t_{c(CI)}$ 周期时间, XCLKIN	6.67	250	ns
C9	$t_{f(CI)}$ 下降时间, XCLKIN		6	ns
C10	$t_{r(CI)}$ 上升时间, XCLKIN		6	ns
C11	$t_{w(CIL)}$ 脉冲持续时间, XCLKIN 低电平作为 $t_{c(CI)}$ 的一部分的时间	40	60	%
C12	$t_{w(CIH)}$ 脉冲持续时间, XCLKIN 高电平作为 $t_{c(CI)}$ 的一部分的时间	40	60	%

Table 6-8. XCLKIN 时序需求 - PLL 被禁用

编号		最小值	最大值	单位
C8	$t_{c(CI)}$ 周期时间, XCLKIN	6.67	250	ns
C9	$t_{f(CI)}$ 下降时间, XCLKIN	高达 30 MHz	6	ns
		30MHz 至 150MHz	2	
C10	$t_{r(CI)}$ 上升时间, XCLKIN	高达 30 MHz	6	ns
		30MHz 至 150MHz	2	
C11	$t_{w(CIL)}$ 脉冲持续时间, XCLKIN 低电平作为 $t_{c(CI)}$ 的一部分的时间	XCLKIN \leq 120MHz	40	%
		120<XCLKIN \leq 150MHz	45	
C12	$t_{w(CIH)}$ 脉冲持续时间, XCLKIN 高电平作为 $t_{c(CI)}$ 的一部分的时间	XCLKIN \leq 120MHz	40	%
		120<XCLKIN \leq 150MHz	45	

Table 6-9. 可能的 PLL 配置模式

PLL 模式	注释	SYSCLKOUT
PLL 被禁用	通过复位时将 $\overline{XPLLDIS}$ 引脚接至低电平来调用。PLL 块被完全禁用。到 CPU (CLKIN) 的时钟输入直接取自出现在 X1/XCLKIN 引脚的时钟信号。	XCLKIN
PLL 被绕过	如果 PLL 未被禁用, 加电时 PLL 配置为缺省值。PLL 本身被旁通绕过。然而, 在馈入 CPU 之前, PLL 块内的 /2 模块将这个 X1/XCLKIN 引脚上的时钟输入二分频。	XCLKIN/2
PLL 被启用	通过将非零值“n”写入 PLLCR 寄存器实现。现在, 在馈入 CPU 之前, PLL 块内的 /2 模块将 PLL 的输出二分频。	(XCLKIN*n)/2

6.14.2 输出时钟特性

Table 6-10. XCLKOUT 开关特性（PLL 被绕过或者被禁用）⁽¹⁾⁽²⁾

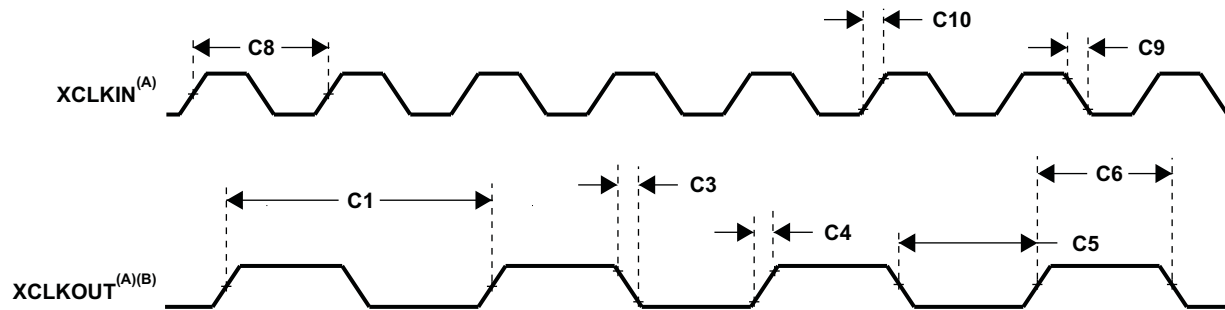
编号	参数	最小值	典型值	最大值	单位
C1	$t_{c(XCO)}$ 周期时间, XCLKOUT	6.67 ⁽³⁾			ns
C3	$t_{f(XCO)}$ 下降时间, XCLKOUT		2		ns
C4	$t_{r(XCO)}$ 上升时间, XCLKOUT		2		ns
C5	$t_w(XCOL)$ 脉冲持续时间, XCLKOUT 低电平的时间	H-2		H+2	ns
C6	$t_w(XCOH)$ 脉冲持续时间, XCLKOUT 高电平的时间	H-2		H+2	ns
C7	t_p PLL 锁定时间 ⁽⁴⁾			131072 $t_{c(CI)}$	ns

(1) 假定这些参数有一个 40pF 的负载。

(2) $H=0.5t_{c(XCO)}$

(3) PLL 必须被用于最大频率运行。

(4) 这个参数已经从芯片之前修订版本中的 4096XCLKIN 周期中改变。



- A. XCLKIN 与 XCLKOUT 的关系取决于所选择的分频因子。Figure 6-10中显示的波形关系只用于解释时序参数并且根据实际配置会有所不同。
- B. XCLKOUT 被配置成反映 SYSCLKOUT。

Figure 6-10. 时钟时序

6.15 复位时序

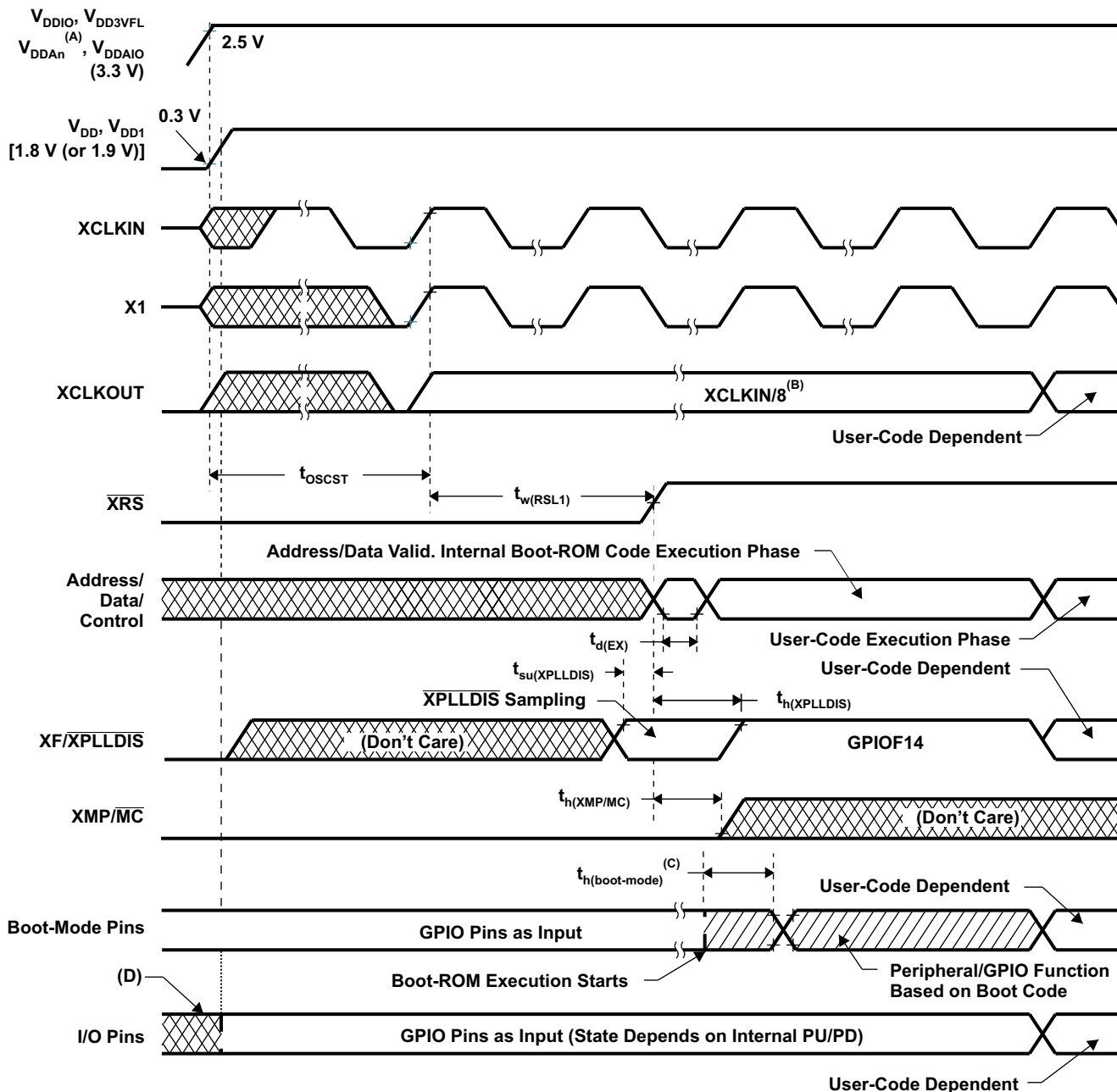
Table 6-11. 复位 \overline{XRS} 时序要求⁽¹⁾

		最小值	标称值	最大值	单位
$t_w(RSL1)$	脉冲持续时间, 稳定 XCLKIN 至 \overline{XRS} 高电平的时间	$8t_{c(CI)}$			周期
$t_w(RSL2)$	脉冲持续时间, \overline{XRS} 低电平的时间	$8t_{c(CI)}$			周期
$t_w(WDRS)$	脉冲持续时间, 由安全装置生成复位脉冲的时间		$512t_{c(CI)}$		周期
$t_d(EX)$	延迟时间, \overline{XRS} 高电平后, 地址/数据有效的的时间		$32t_{c(CI)}$		周期
$t_{OSCST}^{(2)}$	振荡器启动时间	1	10		ms
$t_{su}(XPLLDIS)$	针对 $\overline{XPLLDIS}$ 引脚的建立时间	$16t_{c(CI)}$			周期
$t_h(XPLLDIS)$	针对 $\overline{XPLLDIS}$ 引脚的保持时间	$16t_{c(CI)}$			周期
$t_h(XMP/MC)$	针对 XMP/MC 引脚的保持时间	$16t_{c(CI)}$			周期
t_h (引导模式)	引导模式引脚的保持时间	$2520t_{c(CI)}$ ⁽³⁾			周期

(1) 如果使用外部振荡器/时钟源, 复位时间必须在 V_{DD} 达到 1.5V 之后至少 1ms 内为低电平。

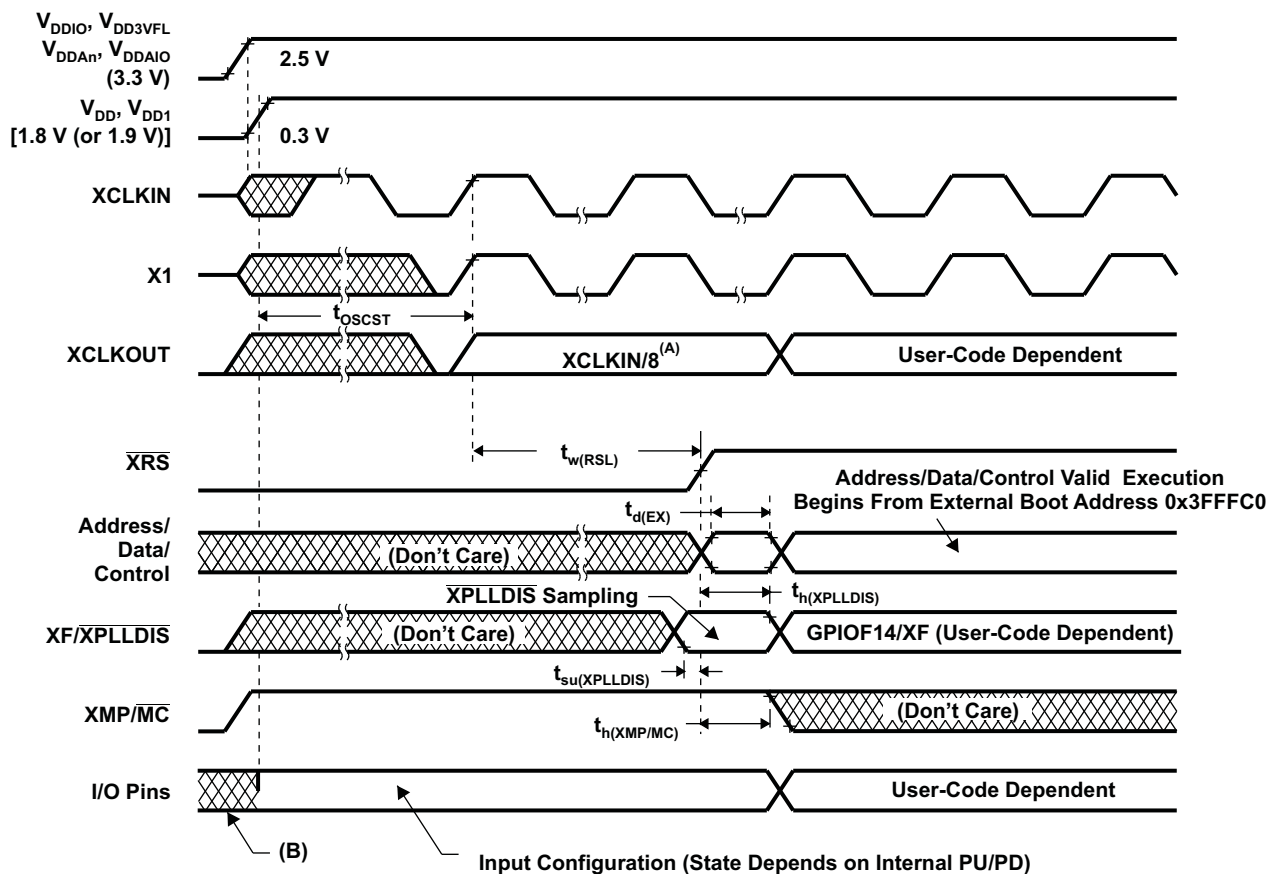
(2) 取决于晶振/谐振器和电路板设计。

(3) 引导 ROM 读取密码位置。因此, 这个时序要求包括用于闪存的唤醒时间。进一步的信息, 请参阅《TMS320x281x DSP 引导 ROM 参开指南》(文献编号 [SPRU095](#)) 和《TMS320x281x DSP 系统控制和中断参考指南》(文献编号 [SPRU078](#))。



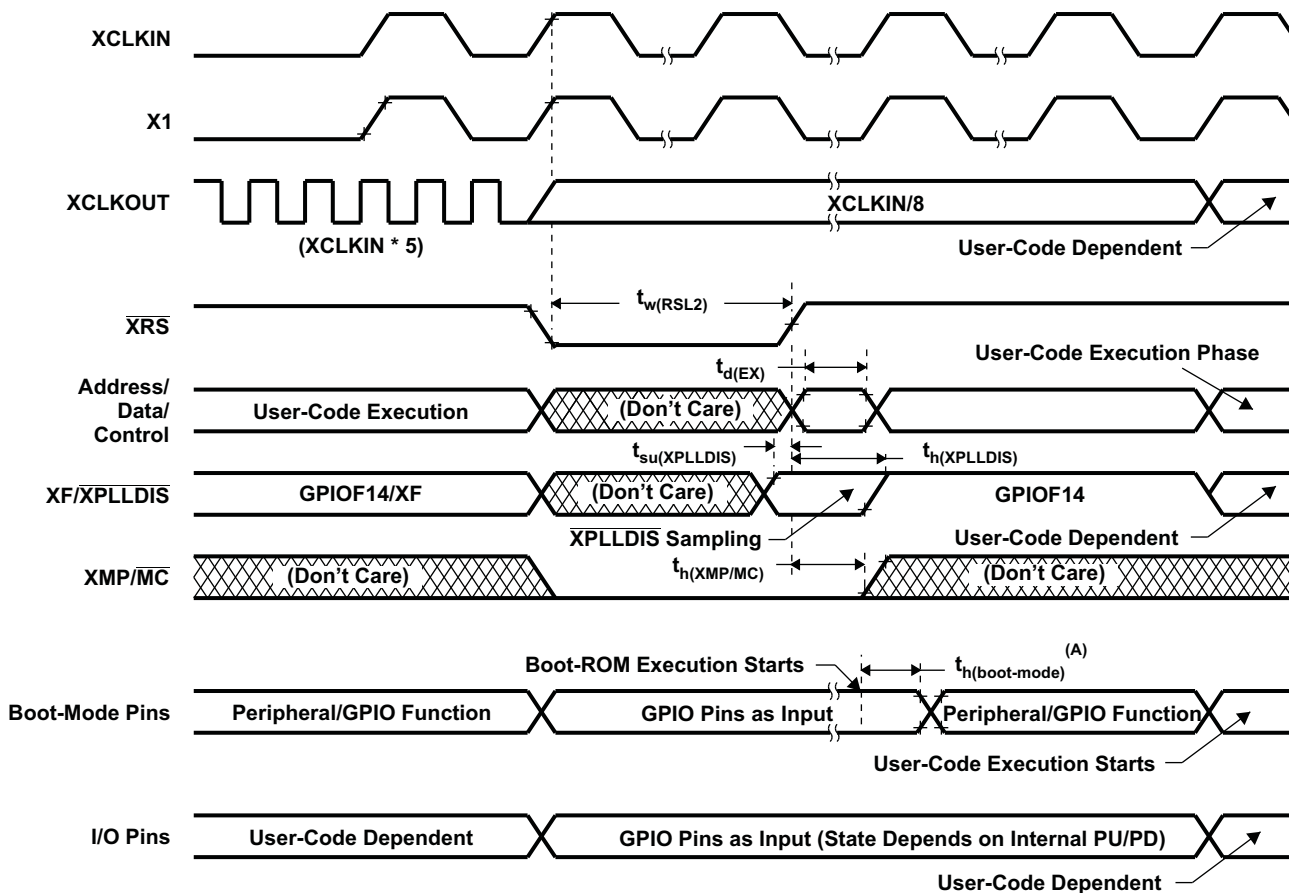
- A. V_{DDA1} ~ V_{DDA2} 和 $AVDDREFBG$
- B. 加电时，如果 PLL 被启用，SYSCLKOUT 为 XCLKIN/2。由于 XINTCNF2 寄存器内的 XTIMCLK 和 CLKMODE 位出现时的状态为复位状态 1，SYSCLKOUT 在它出现在 XCLKOUT 上之前被进一步 4 分频。这就解释了在这个阶段 $XCLKOUT=XCLKIN/8$ 的原因。
- C. 复位后，引导 ROM 代码执行用于 1260SYSCLKOUT 周期 ($SYSCLKOUT=XCLKIN/2$) 的指令，然后采样 BOOT 模式引脚。基于引导模式引脚的状态，引导代码向目的内存或者引导代码函数下达分支指令。为了适当的选择引导模式，BOOT 模式引脚应该从引导 ROM 执行时间开始后至少 2520XCLKIN 周期内保持高电平/低电平。如果引导 ROM 代码在加电条件后（在调试器环境中）执行代码，引导代码执行时间由当前的 SYSCLKOUT 的速度而定。SYSCLKOUT 将基于用户环境并可在 PLL 启用或者不启用时使用。
- D. 在 1.8V（或者 1.9V）电源至少达到 1V 并且 3.3V 电源达到 2.5V 之前，GPIO 引脚的状态未定义（也就是说，它们应该为输入或者输出）。

Figure 6-11. 微计算机模式中的加电复位 ($XMP/\overline{MC}=0$)（请见注释D）



- A. 加电时，如果 PLL 被启用，SYSCLKOUT 为 XCLKIN/2。由于 XINTCNF2 寄存器内的 XTIMCLK 和 CLKMODE 位出现时的状态为复位状态 1，SYSCLKOUT 在它出现在 XCLKOUT 上之前被进一步 4 分频。这就解释了在这个阶段 XCLKOUT=XCLKIN/8 的原因。
- B. 在 1.8V（或者 1.9V）电源至少达到 1V 并且 3.3V 电源达到 2.5V 之前，GPIO 引脚的状态未定义（也就是说，它们应该为输入或者输出）。

Figure 6-12. 微处理器模式中的加电复位 (XMP/MC=1)



- A. 复位后，引导 ROM 代码执行用于 $1260SYSCLKOUT$ 周期 ($SYSCLKOUT = XCLKIN/2$) 的指令，然后采样 BOOT 模式引脚。基于引导模式引脚的状态，引导代码向目的内存或者引导代码函数下达分支指令。为了适当的选择引导模式，BOOT 模式引脚应该从引导 ROM 执行时间开始后至少 $2520XCLKIN$ 周期内保持高电平/低电平。如果引导 ROM 代码在加电条件后（在调试器环境中）执行代码，引导代码执行时间由当前的 $SYSCLKOUT$ 的速度而定。 $SYSCLKOUT$ 将基于用户环境并可在 PLL 启用或者不启用时使用。

Figure 6-13. 微计算机模式中的热复位

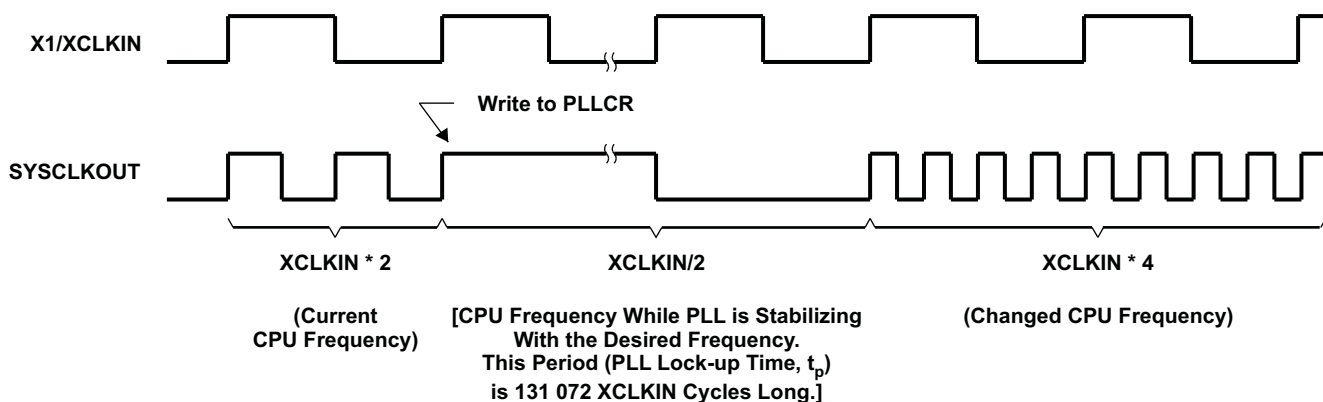


Figure 6-14. 写入 PLLCR 寄存器所产生的结果

6.16 低功耗模式唤醒时序

Table 6-12. IDLE 模式时序要求

		最小值	标称值	最大值	单位
t _{w(WAKE-INT)} 脉冲持续时间，外部唤醒信号的时间	无输入限定器	2t _{c(SCO)}			周期
	带有输入限定器	1t _{c(SCO)} +IQT ⁽¹⁾			

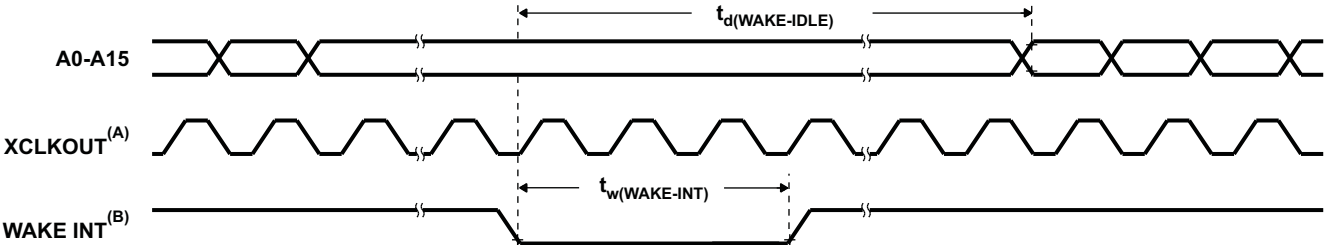
(1) 输入限定时间 (IQT)=[$t_{c(SCO)} \times 2 \times QUALPRD$] $\times 5$ + [$t_{c(SCO)} \times 2 \times QUALPRD$].

Table 6-13. IDLE 模式开关特性

参数		测试条件	最小值	典型值	最大值	单位
t _d (WAKE-IDLE)	延迟时间，外部唤醒信号到程序执行重新开始的时间 ⁽¹⁾					
	• 从闪存唤醒 – 激活状态中的闪存模块	无输入限定器	8t _{c(SCO)}			周期
		带有输入限定器	8t _{c(SCO)} +IQT ⁽²⁾			
	• 从闪存唤醒 – 睡眠状态中的闪存模块	无输入限定器	1050t _{c(SCO)}			周期
		带有输入限定器	1050t _{c(SCO)} +IQT ⁽²⁾			
	• 从 SARAM 中唤醒	无输入限定器	8t _{c(SCO)}			周期
		带有输入限定器	8t _{c(SCO)} +IQT ⁽²⁾			

(1) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。一个 ISR (由唤醒触发) 信号的执行会涉及额外的延迟。

(2) 输入限定时间 (IQT)=[$t_{c(SCO)} \times 2 \times QUALPRD$] $\times 5$ + [$t_{c(SCO)} \times 2 \times QUALPRD$].



- A. XCLKOUT=SYSCLKOUT
B. WAKE INT 可以是任一被启用的中断, \overline{WDINT} , 或者 \overline{XRS} .

Figure 6-15. IDLE 进入和退出时序

Table 6-14. STANDBY 模式时序要求

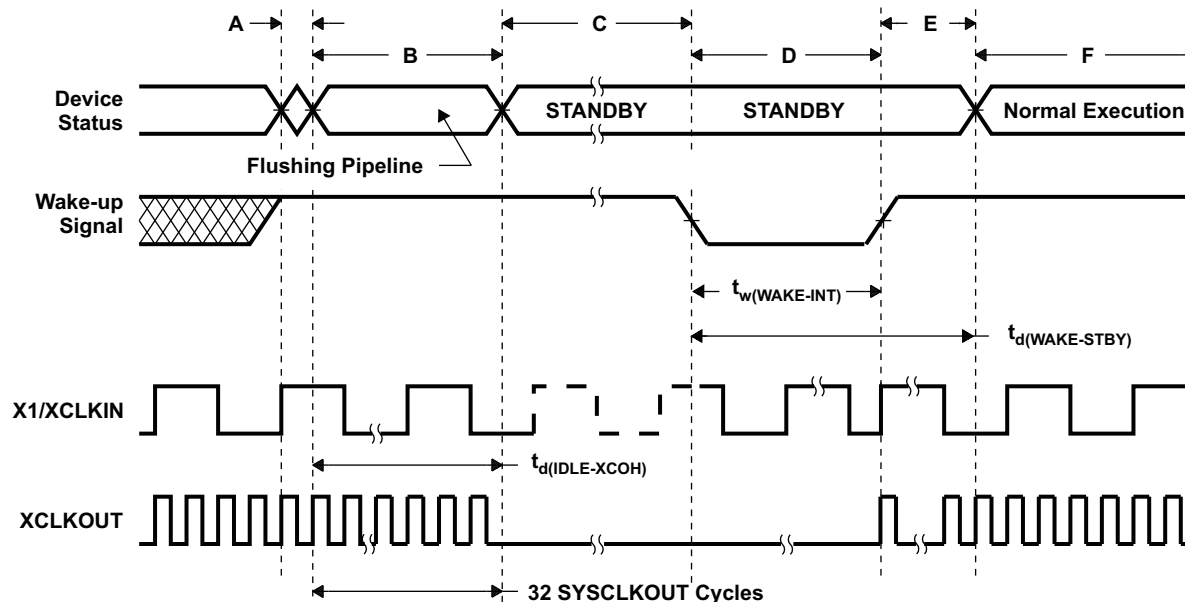
			最小值	标称值	最大值	单位
t _{w(WAKE-INT)}	脉冲持续时间，外部唤醒信号的时间	无输入限定器	12t _{c(CI)}			周期
		带有输入限定器	(2 + QUALSTDBY) * t _{c(CI)} ⁽¹⁾			

(1) QUALSTDBY 是一个 LPMCR0 寄存器内的 6 位字段。

Table 6-15. STANDBY 模式开关特性

参数		测试条件	最小值	典型值	最大值	单位
t _d (IDLE-XCOH)	延迟时间, IDLE 指令执行至 XCLKOUT 为高电平的时间		32t _c (SCO)		45t _c (SCO)	周期
t _d (WAKE-STBY)	延迟时间, 外部唤醒信号到程序执行重新开始的时间 ⁽¹⁾					
	• 从闪存唤醒 – 激活状态中的闪存模块	无输入限定器			12t _c (CI)	周期
		带有输入限定器			12t _c (CI)+t _w (WAKE-INT)	
	• 从闪存唤醒 – 睡眠状态中的闪存模块	无输入限定器			1125t _c (SCO)	周期
		带有输入限定器			1125t _c (SCO)+t _w (WAKE-INT)	
	• 从 SARAM 中唤醒	无输入限定器			12t _c (CI)	周期
		带有输入限定器			12t _c (CI)+t _w (WAKE-INT)	

(1) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。一个 ISR (由唤醒触发) 信号的执行会涉及额外的延迟。



- A. 被执行的 IDLE 指令将器件置于 STANDBY 模式。
- B. PLL 块响应 STANDBY 信号。在被关闭前, SYSCLKOUT 在下面标明的一定数量的周期内被保持:
 - 当 DIVSEL=00 或 11 时, 16 个周期
 - 当 DIVSEL=10 时, 32 个周期
 - 当 DIVSEL=11 时, 64 个周期
 这个延迟使得 CPU 管线和其它等待的操作被适当清空。如果一个到 XINTF 的访问正在进行中并且它的访问时间大于这个值, 那么这个访问将发生故障。建议在没有任何 XINTF 访问进行时从 SARAM 进入 STANDBY 模式。
- C. 到外设的时钟被关闭。然而, PLL 和安全装置并未关闭。此器件现在处于 STANDBY 模式。
- D. 外部唤醒信号被驱动为有效。
- E. 在一个延迟周期内, 退出 STANDBY 模式。
- F. 正常执行重新开始。此器件将响应中断(如果被启用的话)。

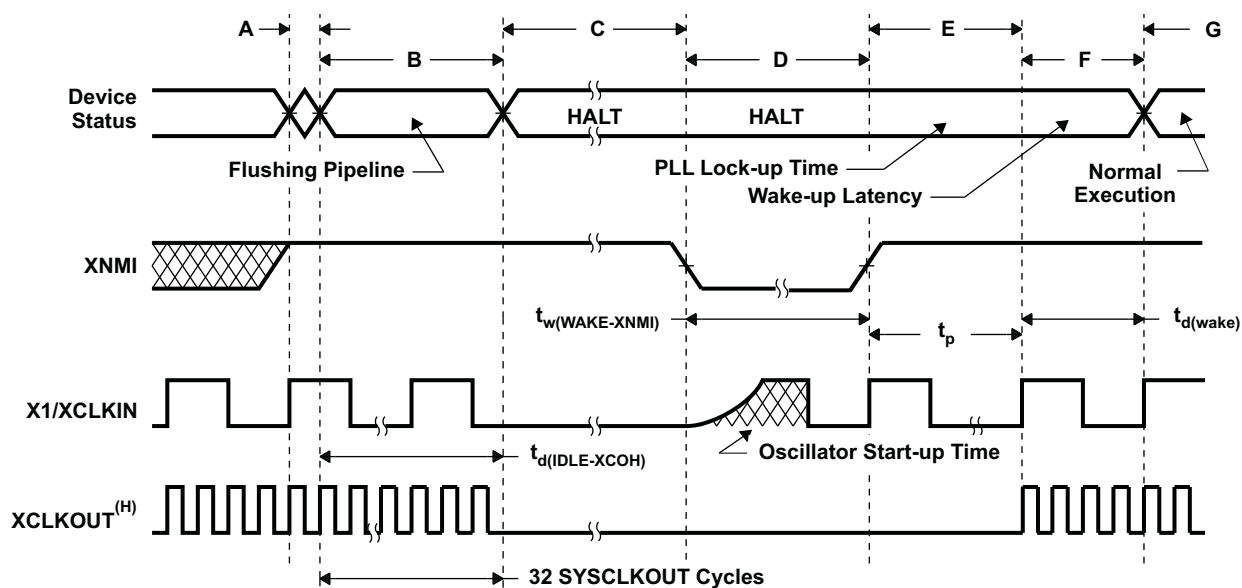
Figure 6-16. STANDBY 进入和退出时序

Table 6-16. HALT 模式时序要求

		最小值	标称值	最大值	单位
$t_{w(WAKE-XNMI)}$	脉冲持续时间, XNMI 唤醒信号的时间	$2t_{c(CI)}$			周期
$t_{w(WAKE-XRS)}$	脉冲持续时间, XRS 唤醒信号的时间	$8t_{c(CI)}$			周期

Table 6-17. HALT 模式开关特性

参数	最小值	典型值	最大值	单位
$t_{d(IDLE-XCOH)}$	延迟时间, IDLE 指令被执行至 XCLKOUT 为高电平的时间	$32t_{c(SCO)}$	$45t_{c(SCO)}$	周期
t_p	PLL 锁存时间		$131072t_{c(CI)}$	周期
$t_{d(WAKE)}$	延迟时间, PLL 锁存到程序执行重新开始的时间			
	<ul style="list-style-type: none"> 从闪存唤醒 — 处于睡眠状态的闪存模块 		$1125t_{c(SCO)}$	周期
	<ul style="list-style-type: none"> 从 SARAM 中唤醒 		$35t_{c(SCO)}$	周期



- IDLE 指令被执行以将器件置于 HALT 模式。
- PLL 块响应 HALT 信号。在振荡器被关闭并且到内核的 CLKIN 被停止前, SYSCLKOUT 被保持另外 32 个周期。这个 32 周期延迟使得 CPU 管线和其它等待的操作被适当清空。
- 到外设的时钟被关闭并且内部振荡器和 PLL 被关断。器件现在处于 HALT 模式, 消耗绝对最小功率。
- 当 XNMI 被驱动有效, 振荡器被关闭; 但是 PLL 未被激活。当一个外部振荡器被使用时, $2t_{c(CI)}$ 的脉冲持续时间适用。如果内部振荡器被使用, 振荡器唤醒时间应该被添加到这个参数。
- 当 XNMI 被置为无效时, 它启动 PLL 锁序列, 这将花费 $131,072 \times X1/XCLKIN$ 周期。
- 当到内核的 CLKIN 被启用时, 在一个延迟后, 此器件响应此中断 (如果被启用)。现在退出 HALT 模式。
- 正常运行重新开始。
- $XCLKOUT = SYSCLKOUT$

Figure 6-17. 使用 XNMI 的 HALT 唤醒

6.17 事件管理器接口

6.17.1 PWM 时序

PWM 是指所有 EVA 和 EVB 上的 PWM 输出。

Table 6-18. PWM 开关特性⁽¹⁾⁽²⁾

参数	测试条件	最小值	最大值	单位
$t_{w(PWM)}^{(3)}$	脉冲持续时间, PWMx 输出高电平/低电平的时间	25		ns
$t_d(PWM)_{XCO}$	延迟时间, XCLKOUT 高电平到 PWMx 输出开关的时间		10	ns

(1) 请见针对 PWM 引脚的下降/上升时间的 GPIO 输出时序。

(2) PWM 引脚切换频率由 GPIO 输出缓冲器开关频 (20MHz) 限制。

(3) 相对于 PWM 周期, PWM 输出可以为 100%, 0%, 或者 $t_{c(HCO)}$ 的增量。

Table 6-19. 定时器和捕捉单元时序要求⁽¹⁾⁽²⁾

		最小值	最大值	单位
$t_{w(TDIR)}$	脉冲持续时间, TDIRx 低电平/高电平的时间	无输入限定器	$2t_{c(SCO)}$	周期
		带有输入限定器	$1t_{c(SCO)} + IQT^{(3)}$	
$t_{w(CAP)}$	脉冲持续时间, CAPx 输入低电平/高电平的时间	无输入限定器	$2t_{c(SCO)}$	周期
		带有输入限定器	$1t_{c(SCO)} + IQT^{(3)}$	
$t_{w(TCLKINL)}$	脉冲持续时间, TCLKINx 低电平作为 TCLKINx 周期时间一部分的时间	40	60	%
$t_{w(TCLKINH)}$	脉冲持续时间, TCLKINx 高电平作为 TCLKINx 周期时间一部分的时间	40	60	%
$t_c(TCLKIN)$	周期时间, TCLKINx	$4t_{c(HCO)}$		ns

(1) QUALPRD 位字段值的范围从 0 (无限定条件) 到 0xFF (510SYSCLOCKOUT 周期)。限定采样周期为 $2nSYSCLOCKOUT$ 周期, 在这里“n”为存储在 QUALPRD 位字段中的值。作为一个示例, 当 QUALPRD=1, 限定采样周期为 $1 \times 2 = 2$ SYSCLOCKOUT 周期 (也就是说, 输入为每 2 个 SYSCLOCKOUT 周期被采样)。六个这样的样本将取自五个采样窗口, 每个窗口为 $2nSYSCLOCKOUT$ 周期。对于 QUALPRD=1, 所需的最小宽度为 $5 \times 2 = 10$ 个 SYSCLOCKOUT 周期。然而, 由于外部信号被异步驱动, 一个 11 SYSCLOCKOUT 宽的脉冲可确保可靠识别。

(2) 到 QEP= $\min[HSPCLK/2, 20MHz]$ 的最大输入频率。

(3) 输入限定时间 $(IQT) = [t_{c(SCO)} \times 2 \times QUALPRD] \times 5 + [t_{c(SCO)} \times 2 \times QUALPRD]$ 。

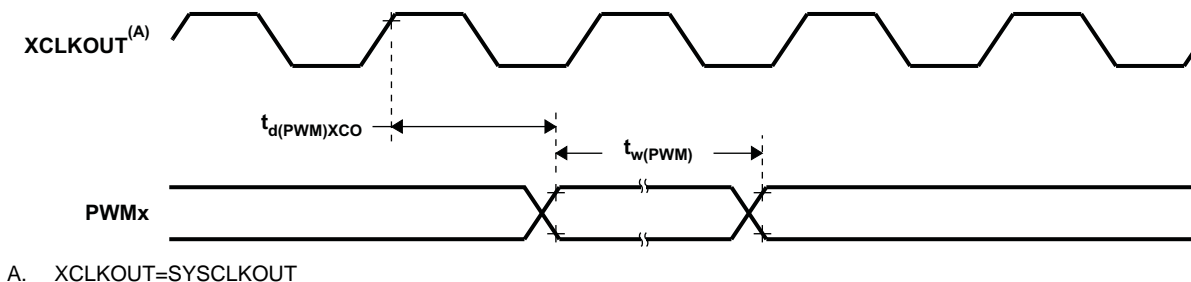


Figure 6-18. PWM 输出时序

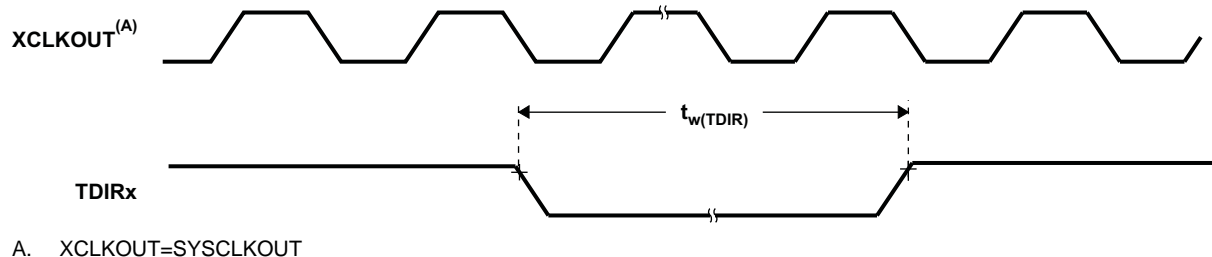


Figure 6-19. TDIRx 时序

Table 6-20. 外部 ADC 转换开始 - EVA - 开关特性⁽¹⁾

参数	最小值	最大值	单位
$t_{d(XCOH-EVASOCL)}$ 延迟时间, XCLKOUT 高电平至 \overline{EVASOC} 低电平的时间		$1t_{c(SCO)}$	周期
$t_{w(EVASOCL)}$ 脉冲持续时间, \overline{EVASOC} 低电平的时间	$32t_{c(HCO)}$		ns

(1) XCLKOUT=SYSCLKOUT

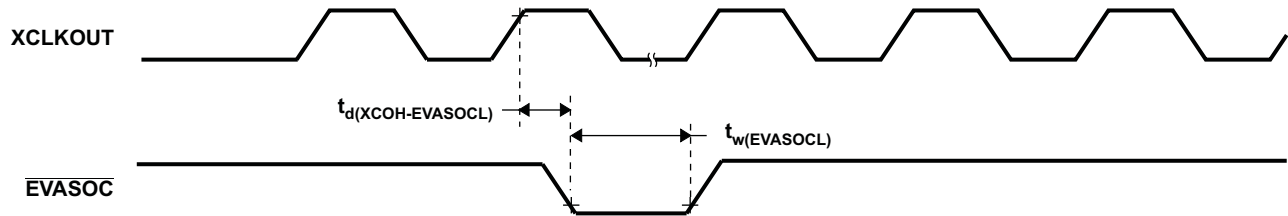


Figure 6-20. \overline{EVASOC} 时序

Table 6-21. 外部 ADC 转换开始 - EVB - 开关特性⁽¹⁾

参数	最小值	最大值	单位
$t_{d(XCOH-EVBSOCL)}$ 延迟时间, XCLKOUT 高电平至 \overline{EVBSOC} 低电平的时间		$1t_{c(SCO)}$	周期
$t_{w(EVBSOCL)}$ 脉冲持续时间, \overline{EVBSOC} 低电平的时间	$32t_{c(HCO)}$		ns

(1) XCLKOUT=SYSCLKOUT

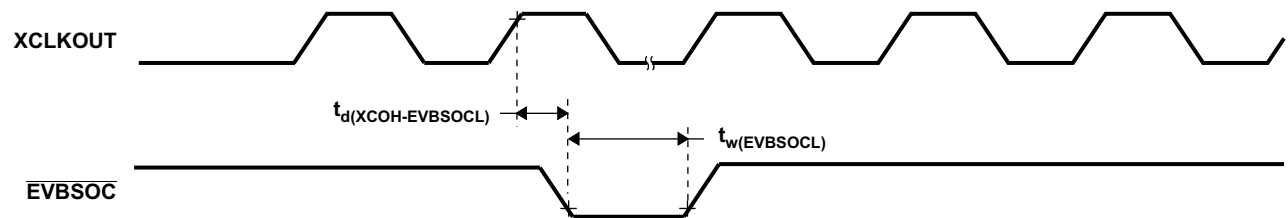


Figure 6-21. \overline{EVBSOC} 时序

6.17.2 中断时序

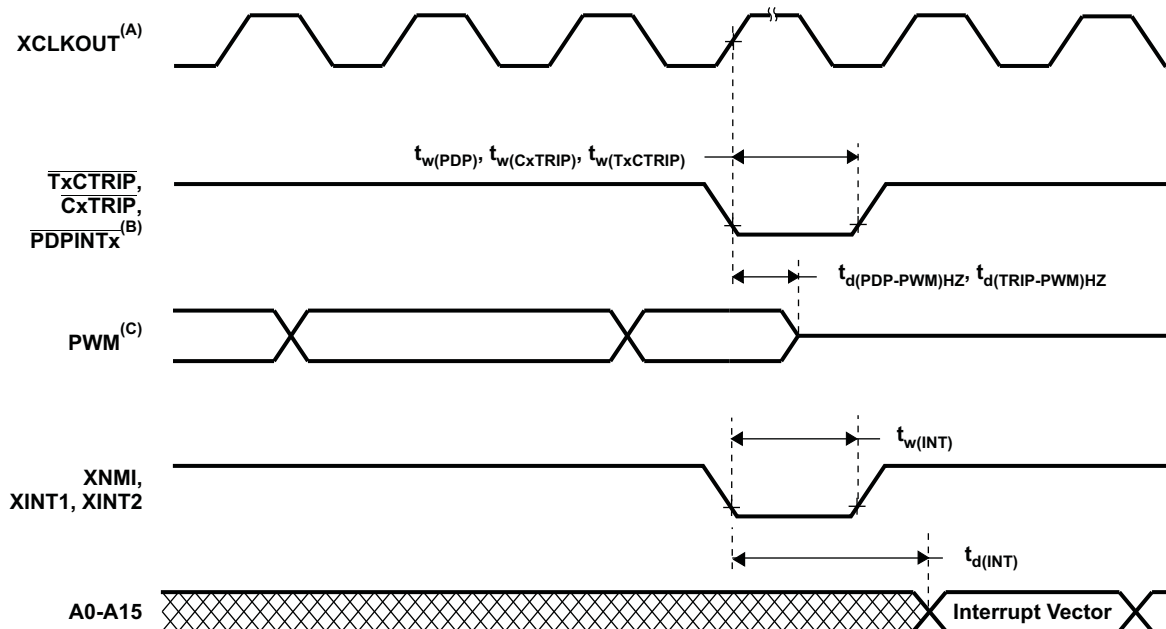
Table 6-22. 中断开关特性

参数		最小值	最大值	单位
$t_{d(PDP-PWM)HZ}$	延迟时间, $\overline{PDPINTx}$ 低电平至 PWM 高阻抗状态的时间	无输入限定器	12	ns
		带有输入限定器	$1t_{c(SCO)} + IQT + 12^{(1)}$	
$t_{d(TRIP-PWM)HZ}$	延迟时间, $\overline{CxTRIP}/\overline{TxCTRIp}$ 信号低电平到 PWM 高阻抗状态的时间	无输入限定器	$3 * t_{c(SCO)}$	ns
		带有输入限定器	$2t_{c(SCO)} + IQT^{(1)}$	
$t_{d(INT)}$	延迟时间, INT 低电平/高电平到中断矢量提取的实际那		$IQT + 12t_{c(SCO)}^{(1)}$	ns

(1) 输入限定时间 (IQT)=[$t_{c(SCO)} \times 2 \times QUALPRD$] $\times 5$ + [$t_{c(SCO)} \times 2 \times QUALPRD$].

Table 6-23. 中断时序要求

		最小值	最大值	单位
$t_{w(INT)}$	脉冲持续时间, INT 输入低电平/高电平	无限制符	$2t_{c(SCO)}$	周期
		带有限定符	$1t_{c(SCO)} + IQT^{(1)}$	
$t_{w(PDP)}$	脉冲持续时间, $\overline{PDPINTx}$ 输入低电平的时间	无限制符	$2t_{c(SCO)}$	周期
		带有限定符	$1t_{c(SCO)} + IQT^{(1)}$	
$t_{w(CxTRIP)}$	脉冲持续时间, \overline{CxTRIP} 输入低电平的时间	无限制符	$2t_{c(SCO)}$	周期
		带有限定符	$1t_{c(SCO)} + IQT^{(1)}$	
$t_{w(TxCTRIp)}$	脉冲持续时间, $\overline{TxCTRIp}$ 输入低电平的时间	无限制符	$2t_{c(SCO)}$	周期
		带有限定符	$1t_{c(SCO)} + IQT^{(1)}$	

(1) 输入限定时间 (IQT)=[$t_{c(SCO)} \times 2 \times QUALPRD$] $\times 5$ + [$t_{c(SCO)} \times 2 \times QUALPRD$].

A. XCLKOUT=SYSCLKOUT

B. $\overline{TxCTRIp}$ - $\overline{T1CTRIp}$, $\overline{T2CTRIp}$, $\overline{T3CTRIp}$, $\overline{T4CTRIp}$, \overline{CxTRIP} - $\overline{C1TRIP}$, $\overline{C2TRIP}$, $\overline{C3TRIP}$, $\overline{C4TRIP}$, $\overline{C5TRIP}$, 或者 $\overline{C6TRIP}$, $\overline{PDPINTx}$ - $\overline{PDPINTA}$ 或者 $\overline{PDPINTB}$ C. PWM 是指所有器件内的 PWM 引脚 (即, PWMn 和 TnPWM 引脚或者与每个 \overline{CxTRIP} 引脚相关的 PWM 引脚对)。
 $\overline{PDPINTx}$ 被置为高电平之后 PWM 引脚的状态取决于 FCOMPOE 位的状态。

Figure 6-22. 外部中断时序

6.18 通用输入/输出 (GPIO) - 输出时序

Table 6-24. 通用输出开关特性

参数	最小值	最大值	单位
$t_{d(XCOH-GPO)}$ 延迟时间, XCLKOUT 高电平到 GPIO 低电平/高电平的时间		$1t_{c(SCO)}$	周期
$t_{r(GPO)}$ 上升时间, GPIO 从低电平切换至高电平的时间		10	ns
$t_{f(GPO)}$ 下降时间, GPIO 从高电平切换至低电平的时间		10	ns
f_{GPO} 切换频率, GPO 引脚		20	MHz

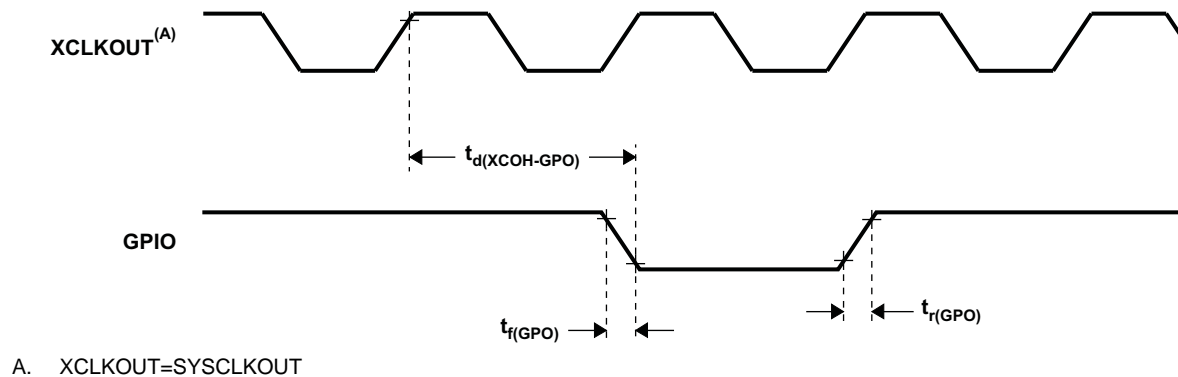
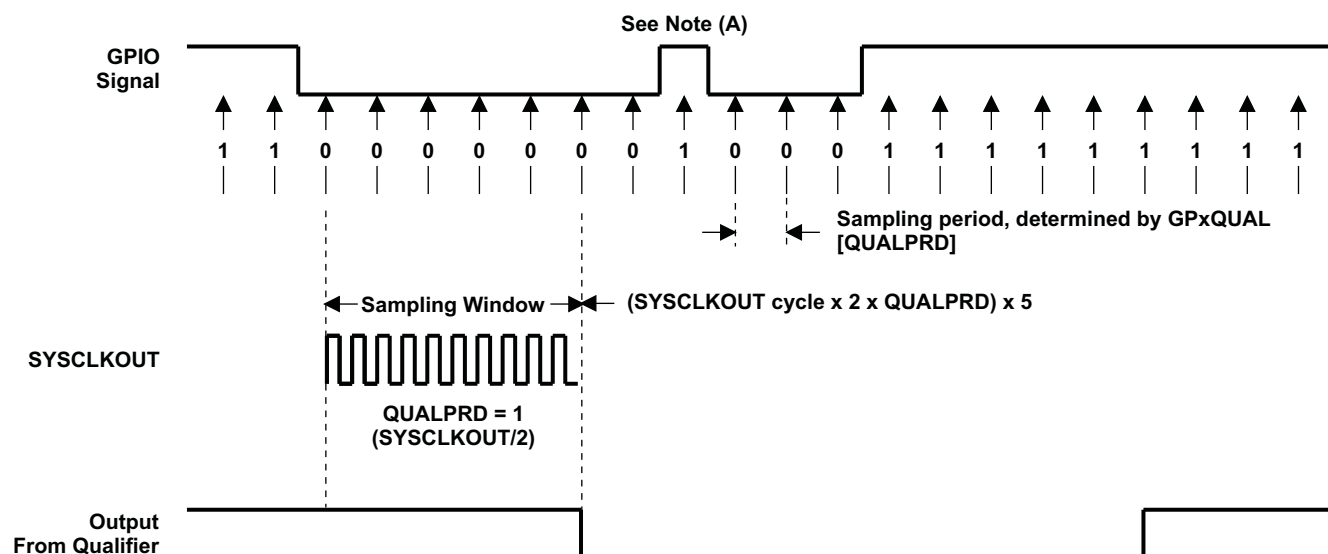


Figure 6-23. 通用输出时序

6.19 通用输入/输出 (GPIO) - 输入时序



- A. 这个毛刺脉冲将被输入限定器所忽略。QUALPRD 位字段指定了限定采样周期。它可在 00 至 0xFF 间变化。当 QUALPRD=00 时，输入限定不使用。对于任何其它的 "n" 值，限定采样周期为 2n SYSCLKOUT 周期（也就是说，在每一个 SYSCLKOUT 周期上，GPIO 引脚将被采样）。为了识别一个给定的输入，六个连续的样本必须为同样的值。
- B. 为了使限定符检测到变化，输入必须在 10 个 SYSCLKOUT 周期或者更长的时间内保持稳定。换句话说，输入应该在 (5 x QUALPRD x 2) SYSCLKOUT 周期内保持稳定。这将为检测发生启用所需的 5 个采样周期。由于外部时钟被异步驱动，一个 13 SYSCLKOUT 宽的脉冲将确保可靠识别。

Figure 6-24. GPIO 输入限定符 - 针对 QUALPRD=1 的示例图

Table 6-25. 通用输入时序要求

				最小值	最大值	单位
t _w (GPI)	脉冲持续时间, GPIO 低电平/高电平的时间	所有 GPIO	无限定符	2t _c (SCO)		周期
			带有限定符	1t _c (SCO) + IQT ⁽¹⁾		

(1) 输入限定时间 (IQT)=[$t_{c(SCO)} \times 2 \times QUALPRD$] $\times 5 + [t_{c(SCO)} \times 2 \times QUALPRD]$.

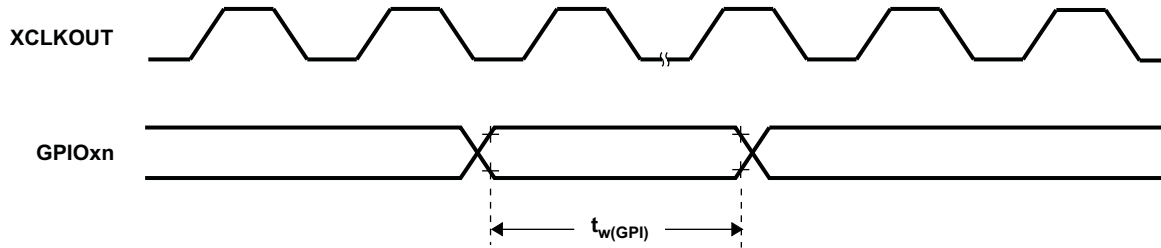


Figure 6-25. 通用输入时序

NOTE

对于通用输入的脉宽要求也同样适用于 \overline{XBIO} 和 ADCSOC 引脚。

6.20 串行外设接口 (SPI) 主控模式时序

Table 6-26列出了主控模式时序（时钟相位 = 0）而Table 6-27列出了时序（时钟相位=1）。Figure 6-26和Figure 6-27显示了时序波形。

Table 6-26. SPI 主控模式外部时序（时钟相位 = 0）⁽¹⁾⁽²⁾

编号			当 (SPIBRR+1) 为偶数或者 SPIBRR=0 或者 2 时的 SPI		当 (SPIBRR+1) 为奇数并且 SPIBRR>3 时的 SPI		单位
			最小值	最大值	最小值	最大值	
1	$t_{c(SPC)M}$	周期时间, SPICLK	$4t_{c(LCO)}$	$128t_{c(LCO)}$	$5t_{c(LCO)}$	$127t_{c(LCO)}$	ns
2 ⁽³⁾	$t_{w(SPCH)M}$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}$	ns
	$t_{w(SPCL)M}$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}$	
3 ⁽³⁾	$t_{w(SPCL)M}$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}$	ns
	$t_{w(SPCH)M}$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}$	
4 ⁽³⁾	$t_{d(SPCH-SIMO)M}$	延迟时间, SPICLK 高电平至 SPISIMO 有效的时间 (时钟极性 = 0)	-10	10	-10	10	ns
	$t_{d(SPCL-SIMO)M}$	延迟时间, SPICLK 低电平至 SPISIMO 有效的时间 (时钟极性 = 1)	-10	10	-10	10	
5 ⁽³⁾	$t_{v(SPCL-SIMO)M}$	有效时间, SPICLK 低电平 后, SPISIMO 数据有效的的时间 (时钟 极性 = 0)	$0.5t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}+0.5t_{c(LCO)}-10$		ns
	$t_{v(SPCH-SIMO)M}$	有效时间, SPICLK 高电平之 后, SPISIMO 数据有效的的时间 (时钟 极性 = 1)	$0.5t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}+0.5t_{c(LCO)}-10$		
8 ⁽³⁾	$t_{su(SOMI-SPCL)M}$	建立时间, SPISOMI 在 SPICLK 低电 平之前的时间 (时钟极性 = 0)	0		0		ns
	$t_{su(SOMI-SPCH)M}$	建立时间, SPISOMI 在 SPICLK 高电 平之前的时间 (时钟极性 = 1)	0		0		
9 ⁽³⁾	$t_{v(SPCL-SOMI)M}$	有效时间, SPICLK 低电平之后 SPISOMI 数据有效的的时间 (时钟极性 = 0)	$0.25t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}-0.5t_{c(LCO)}-10$		ns
	$t_{v(SPCH-SOMI)M}$	有效时间, SPICLK 高电平之后 SPISOMI 数据有效的的时间 (时钟极性 = 1)	$0.25t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}-0.5t_{c(LCO)}-10$		

(1) 主控/受控位 (SPICTL.2) 被设定, 而时钟相位的位 (SPICTL.3) 被清除。

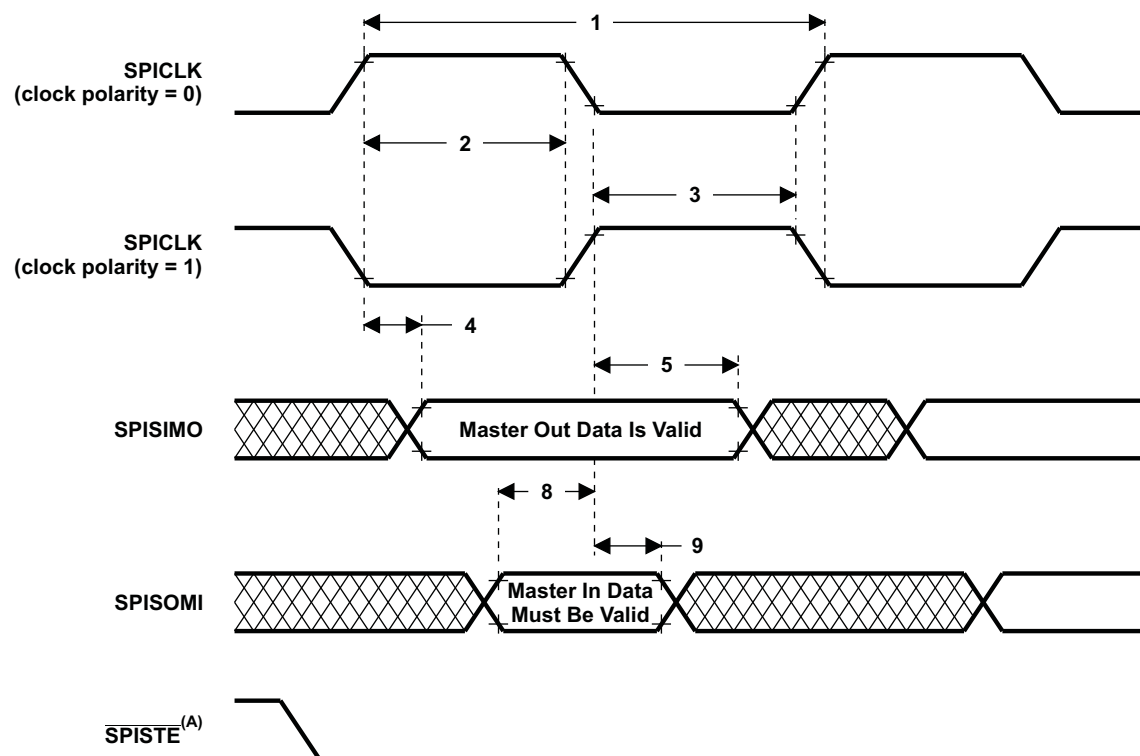
(2) $t_{c(SPC)} = \text{SPI 时钟周期时间} = \text{LSPCLK}/4$ 或者 $\text{LSPCLK}/(\text{SPIBRR} + 1)$

$t_{c(LCO)} = \text{LSPCLK 周期时间}$

(3) 作为基准的 SPICLK 信号的有效沿由 CLOCK POLARITY (时钟极性) 位 (SPICCR 6) 控制。

注释: 内部时钟预分频器必须被调节, 这样, SPI 时钟速度被限定在以下 SPI 时钟速率上:

- 主控模式发送: 最大值 20MHz 主控模式接收: 最大值 12.5MHz
- 受控模式发送: 最大值 12.5MHz 受控模式接收: 最大值 12.5MHz



- A. 在主机模式下，在有效的 SPI 时钟边沿之前 $0.5t_{c(SPC)}$ ， \overline{SPISTE} 变为有效。在字的尾端， \overline{SPISTE} 在接收到最后一个数据位的边沿 (SPICLK) 之后 $0.5t_{c(SPC)}$ 将变为无效，除非 \overline{SPISTE} 在 FIFO 和非 FIFO 模式中的背靠背传送字间保持有效。

Figure 6-26. SPI 主机模式外部时序（时钟相位 = 0）

Table 6-27. SPI 主控模式外部时序（时钟相位 = 1）⁽¹⁾⁽²⁾

编号			当 (SPIBRR+1) 为偶数或者 SPIBRR=0 或者 2 时的 SPI		当 (SPIBRR+1) 为奇数并且 SPIBRR>3 时的 SPI		单位
			最小值	最大值	最小值	最大值	
1	$t_{c(SPC)M}$	周期时间, SPICLK	$4t_{c(LCO)}$	$128t_{c(LCO)}$	$5t_{c(LCO)}$	$127t_{c(LCO)}$	ns
2 ⁽³⁾	$t_{w(SPCH)M}$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}$	ns
	$t_{w(SPCL)M}$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}$	
3 ⁽³⁾	$t_{w(SPCL)M}$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}$	ns
	$t_{w(SPCH)M}$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}$	
6 ⁽³⁾	$t_{su(SIMO-SPCH)M}$	建立时间, 在 SPICLK 高电平之前 SPISIMO 数据有效的的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}-10$		ns
	$t_{su(SIMO-SPCL)M}$	建立时间, 在 SPICLK 低电平之前 SPISIMO 数据有效的的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}-10$		
7 ⁽³⁾	$t_{v(SPCH-SIMO)M}$	有效时间, SPICLK 高电平之后 SPISIMO 数据有效的的时间 (时钟极 性 = 0)	$0.5t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}-10$		ns
	$t_{v(SPCL-SIMO)M}$	有效时间, SPICLK 低电平 后, SPISIMO 数据有效的的时间 (时 钟极性 = 1)	$0.5t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}-10$		
10 ⁽³⁾	$t_{su(SOMI-SPCH)M}$	建立时间, SPISOMI 在 SPICLK 高 电平之前的时间 (时钟极性 = 0)	0		0		ns
	$t_{su(SOMI-SPCL)M}$	建立时间, SPISOMI 在 SPICLK 低 电平之前的时间 (时钟极性 = 1)	0		0		

(1) 主控/受控位 (SPICTL.2) 被设定并且时钟相位的位 (SPICTL.3) 被设定。

(2) $t_{c(SPC)} = \text{SPI 时钟周期时间} = \text{LSPCLK}/4$ 或者 $\text{LSPCLK}/(\text{SPIBRR}+1)$

$t_{c(LCO)} = \text{LSPCLK 周期时间}$

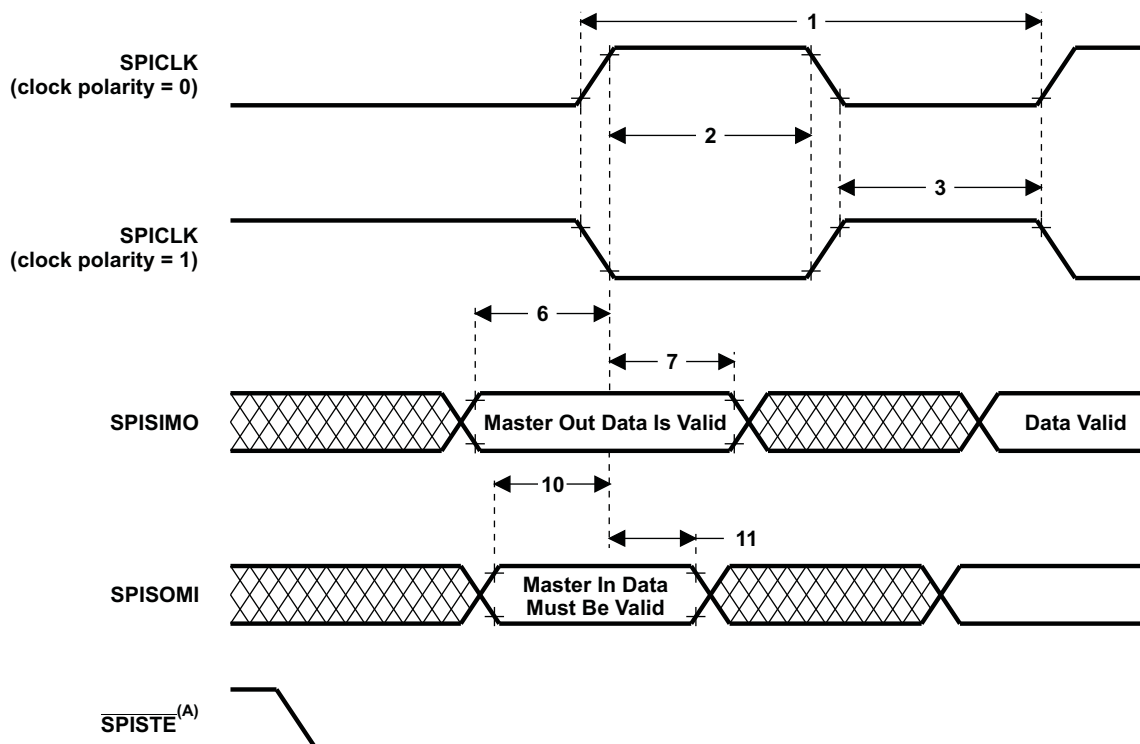
(3) 作为基准的 SPICLK 信号的有效沿由 CLOCK POLARITY (时钟极性) 位 (SPICCR 6) 控制。

注释: 内部时钟预分频器必须被调节, 这样, SPI 时钟速度被限定在以下 SPI 时钟速率上:

- 主控模式发送: 最大值 20MHz 主控模式接收: 最大值 12.5MHz
- 受控模式发送: 最大值 12.5MHz 受控模式接收: 最大值 12.5MHz

Table 6-27. SPI 主控模式外部时序（时钟相位 = 1）⁽¹⁾⁽²⁾ (continued)

编号			当 (SPIBRR+1) 为偶数或者 SPIBRR=0 或者 2 时的 SPI	当 (SPIBRR+1) 为奇数并且 SPIBRR>3 时的 SPI	单位
			最小值	最大值	
11 ⁽³⁾	t _v (SPCH-SOMI)M	有效时间，SPICLK 高电平之后 SPISOMI 数据有效的时间（时钟极 性 = 0）	0.25t _c (SPC)M-10	0.5t _c (SPC)M-10	ns
	t _v (SPCL-SOMI)M	有效时间，SPICLK 低电平之后 SPISOMI 数据有效的时间（时钟极 性 = 1）	0.25t _c (SPC)M-10	0.5t _c (SPC)M-10	



- A. 在主机模式下，在有效的 SPI 时钟边沿之前 $0.5t_{c(SPC)}$ ， \overline{SPISTE} 变为有效。在字的尾端， \overline{SPISTE} 在接收到最后一个数据位的边沿 (SPICLK) 之后 $0.5t_{c(SPC)}$ 将变为无效，除非 \overline{SPISTE} 在 FIFO 和非 FIFO 模式中的背靠背传送字间保持有效。

Figure 6-27. SPI 主机外部时序 (时钟相位 = 1)

6.21 串行外设接口 (SPI) 受控模式时序

Table 6-28列出了主控模式时序（时钟相位 = 0）而Table 6-29列出了时序（时钟相位 = 1）。Figure 6-28和Figure 6-29显示了时序波形。

Table 6-28. SPI 受控模式外部时序（时钟相位 = 0）⁽¹⁾⁽²⁾

编号		最小值	最大值	单位
12	$t_{c(SPC)}S$ 周期时间, SPICLK	$4t_{c(LCO)}$		ns
13 ⁽³⁾	$t_{w(SPCH)}S$ 脉冲持续时间, SPICLK 高电平的时间（时钟极性 = 0）	$0.5t_{c(SPC)}S-10$	$0.5t_{c(SPC)}S$	ns
	$t_{w(SPCL)}S$ 脉冲持续时间, SPICLK 低电平的时间（时钟极性 = 1）	$0.5t_{c(SPC)}S-10$	$0.5t_{c(SPC)}S$	
14 ⁽³⁾	$t_{w(SPCL)}S$ 脉冲持续时间, SPICLK 低电平的时间（时钟极性 = 0）	$0.5t_{c(SPC)}S-10$	$0.5t_{c(SPC)}S$	ns
	$t_{w(SPCH)}S$ 脉冲持续时间, SPICLK 高电平的时间（时钟极性 = 1）	$0.5t_{c(SPC)}S-10$	$0.5t_{c(SPC)}S$	
15 ⁽³⁾	$t_{d(SPCH-SOMI)}S$ 延迟时间, SPICLK 高电平至 SPISOMI 有效的时间（时钟极性 = 0）	$0.375t_{c(SPC)}S-10$		ns
	$t_{d(SPCL-SOMI)}S$ 延迟时间, SPICLK 低电平至 SPISOMI 有效的时间（时钟极性 = 1）	$0.375t_{c(SPC)}S-10$		
16 ⁽³⁾	$t_{v(SPCL-SOMI)}S$ 有效时间, SPICLK 低电平之后 SPISOMI 数据有效的时间（时钟极性 = 0）	$0.75t_{c(SPC)}S$		ns
	$t_{v(SPCH-SOMI)}S$ 有效时间, SPICLK 高电平之后 SPISOMI 数据有效的时间（时钟极性 = 1）	$0.75t_{c(SPC)}S$		
19 ⁽³⁾	$t_{su(SIMO-SPCL)}S$ 建立时间, SPISIMO 在 SPICLK 低电平之前的时间（时钟极性 = 0）	0		ns
	$t_{su(SIMO-SPCH)}S$ 建立时间, SPISIMO 在 SPICLK 高电平之前的时间（时钟极性 = 1）	0		
20 ⁽³⁾	$t_{v(SPCL-SIMO)}S$ 有效时间, SPICLK 低电平后, SPISIMO 数据有效的时间（时钟极性 = 0）	$0.5t_{c(SPC)}S$		ns
	$t_{v(SPCH-SIMO)}S$ 有效时间, SPICLK 高电平之后 SPISIMO 数据有效的时间（时钟极性 = 1）	$0.5t_{c(SPC)}S$		

(1) MASTER/SLAVE 位 (SPICTL 2) 位被清除并且 CLOSE PHASE（时钟相位）位 (SPICTL 3) 被清除。

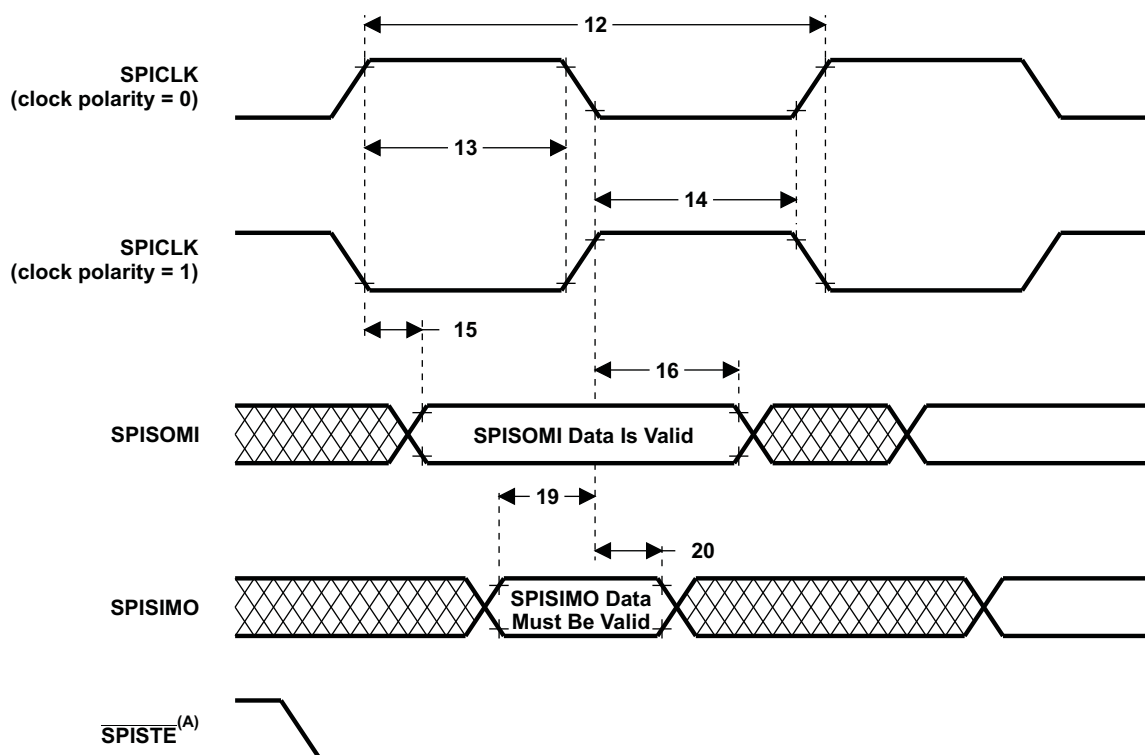
(2) $t_{c(SPC)}$ = SPI 时钟周期时间 = LSPCLK/4 或者 LSPCLK/(SPIBRR + 1)

$t_{c(LCO)}$ = LSPCLK 周期时间

(3) 作为基准的 SPICLK 信号的有效沿由 CLOCK POLARITY（时钟极性）位 (SPICCR 6) 控制。

注释：内部时钟预分频器必须被调节，这样，SPI 时钟速度被限定在以下 SPI 时钟速率上：

- 主控模式发送：最大值 20MHz 主控模式接收：最大值 12.5MHz
- 受控模式发送：最大值 12.5MHz 受控模式接收：最大值 12.5MHz



- A. 在受控模式下, $\overline{\text{SPISTE}}$ 信号至少应该在有效 SPI 时钟边沿前 $0.5t_{\text{c}}(\text{SPC})$ 被置为低电平有效并且在接收到最后一个数据位的边沿 (SPICLK) 之后保持至少 $0.5t_{\text{c}}(\text{SPC})$ 。

Figure 6-28. SPI 受控模式外部时序 (时钟相位 = 0)

Table 6-29. SPI 受控模式外部时序（时钟相位 = 1）⁽¹⁾⁽²⁾

编号		最小值	最大值	单位
12	$t_{c(SPC)}S$ 周期时间, SPICLK	$8t_{c(LCO)}$		ns
13 ⁽³⁾	$t_{w(SPCH)}S$ 脉冲持续时间, SPICLK 高电平的时间（时钟极性 = 0）	$0.5t_{c(SPC)}S-10$	$0.5t_{c(SPC)}S$	ns
	$t_{w(SPCL)}S$ 脉冲持续时间, SPICLK 低电平的时间（时钟极性 = 1）	$0.5t_{c(SPC)}S-10$	$0.5t_{c(SPC)}S$	
14 ⁽³⁾	$t_{w(SPCL)}S$ 脉冲持续时间, SPICLK 低电平的时间（时钟极性 = 0）	$0.5t_{c(SPC)}S-10$	$0.5t_{c(SPC)}S$	ns
	$t_{w(SPCH)}S$ 脉冲持续时间, SPICLK 高电平的时间（时钟极性 = 1）	$0.5t_{c(SPC)}S-10$	$0.5t_{c(SPC)}S$	
17 ⁽³⁾	$t_{su(SOMI-SPCH)}S$ 建立时间, SPISOMI 在 SPICLK 高电平之前的时间（时钟极性 = 0）	$0.125t_{c(SPC)}S$		ns
	$t_{su(SOMI-SPCL)}S$ 建立时间, SPISOMI 在 SPICLK 低电平之前的时间（时钟极性 = 1）	$0.125t_{c(SPC)}S$		
18 ⁽³⁾	$t_{v(SPCH-SOMI)}S$ 有效时间, SPICLK 高电平之后 SPISOMI 数据有效的的时间（时钟极性 = 0）	$0.75t_{c(SPC)}S$		ns
	$t_{v(SPCL-SOMI)}S$ 有效时间, SPICLK 低电平之后 SPISOMI 数据有效的的时间（时钟极性 = 1）	$0.75t_{c(SPC)}S$		
21 ⁽³⁾	$t_{su(SIMO-SPCH)}S$ 建立时间, SPISIMO 在 SPICLK 高电平之前的时间（时钟极性 = 0）	0		ns
	$t_{su(SIMO-SPCL)}S$ 建立时间, SPISIMO 在 SPICLK 低电平之前的时间（时钟极性 = 1）	0		
22 ⁽³⁾	$t_{v(SPCH-SIMO)}S$ 有效时间, SPICLK 高电平之后 SPISIMO 数据有效的的时间（时钟极性 = 0）	$0.5t_{c(SPC)}S$		ns
	$t_{v(SPCL-SIMO)}S$ 有效时间, SPICLK 低电平后, SPISIMO 数据有效的的时间（时钟极性 = 1）	$0.5t_{c(SPC)}S$		

(1) MASTER/SLAVE 位 (SPICTL.2) 被清除并且 CLOCK PHASE 位 (SPICTL.3) 被设定。

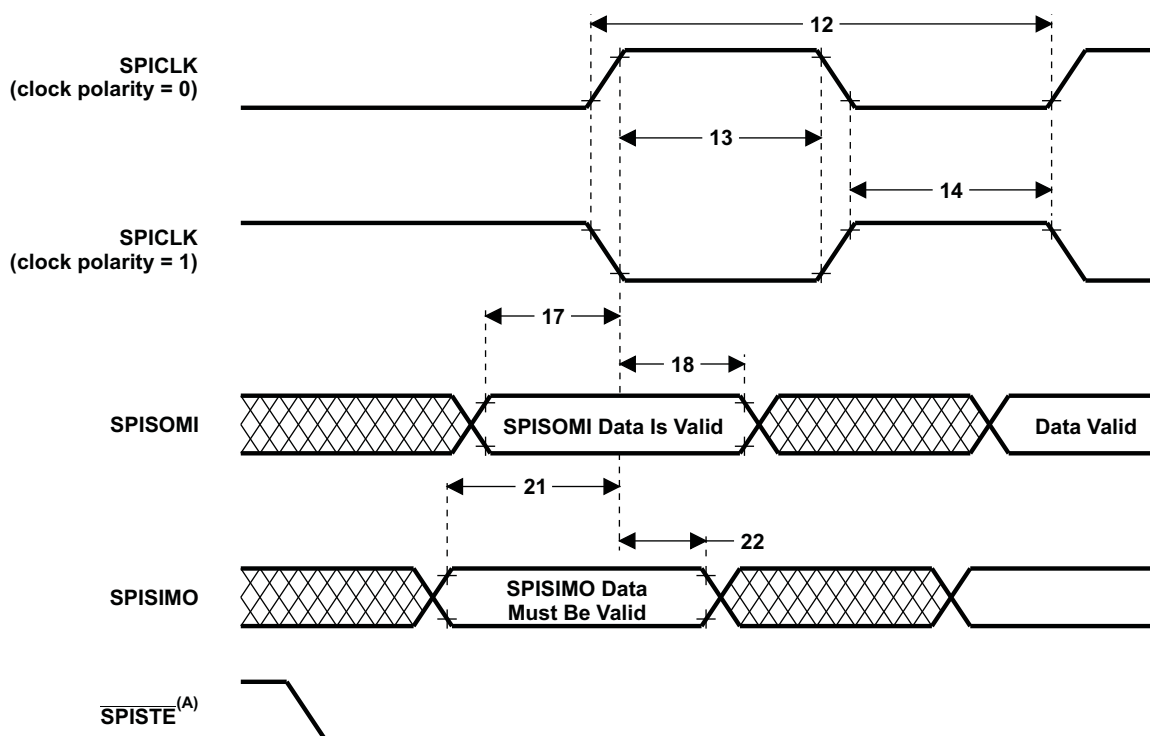
(2) $t_{c(SPC)} = \text{SPI 时钟周期时间} = \text{LSPCLK}/4$ 或者 $\text{LSPCLK}/(\text{SPIBRR} + 1)$

$t_{c(LCO)} = \text{LSPCLK 周期时间}$

(3) 作为基准的 SPICLK 信号的有效沿由 CLOCK POLARITY（时钟极性）位 (SPICCR 6) 控制。

注释：内部时钟预分频器必须被调节，这样，SPI 时钟速度被限定在以下 SPI 时钟速率上：

- 主控模式发送：最大值 20MHz 主控模式接收：最大值 12.5MHz
- 受控模式发送：最大值 12.5MHz 受控模式接收：最大值 12.5MHz



- A. 在受控模式下， $\overline{\text{SPISTE}}$ 信号至少应该在有效 SPI 时钟边沿前 $0.5t_{\text{c}}(\text{SPC})$ 被置为低电平有效并且在接收到最后一个数据位的边沿 (SPICLK) 之后保持至少 $0.5t_{\text{c}}(\text{SPC})$ 。

Figure 6-29. SPI 受控模式外部时序 (时钟相位 = 1)

6.22 外部接口 (XINTF) 时序

每个 XINTF 访问由三部分组成：建立、有效、和跟踪。用户在 XTIMING 寄存器中配置建立/有效/跟踪等待状态。有一个 XTIMING 寄存器用于每个 XINTF 区域。Table 6-30 显示了 XTIMING 寄存器中配置的参数和以 XTIMING 周期为单位的脉冲持续时间之间的关系。

Table 6-30. XTIMING 中配置的参数和脉冲持续时间之间的关系⁽¹⁾⁽²⁾

说明	持续时间 (ns)	
	X2TIMING=0	X2TIMING=1
LR 建立周期, 读取访问	$XRDLEAD \times t_{c(XTIM)}$	$(XRDLEAD \times 2) \times t_{c(XTIM)}$
AR 激活周期, 读取访问	$(XRDACTIVE + WS + 1) \times t_{c(XTIM)}$	$(XRDACTIVE \times 2 + WS + 1) \times t_{c(XTIM)}$
TR 跟踪周期, 读取访问	$XRDTRAIL \times t_{c(XTIM)}$	$(XRDTRAIL \times 2) \times t_{c(XTIM)}$
LW 建立周期, 写入访问	$XWRLEAD \times t_{c(XTIM)}$	$(XWRLEAD \times 2) \times t_{c(XTIM)}$
AW 激活周期, 写入访问	$(XWRACTIVE + WS + 1) \times t_{c(XTIM)}$	$(XWRACTIVE \times 2 + WS + 1) \times t_{c(XTIM)}$
TW 跟踪周期, 写入访问	$XWRTRAIL \times t_{c(XTIM)}$	$(XWRTRAIL \times 2) \times t_{c(XTIM)}$

(1) $t_{c(XTIM)}$ – Cycle time, XTIMCLK

(2) WS 是指当使用 XREADY 时, 由硬件插入的等待状态的数量。如果此区域被配置成忽略 XREADY (USEREADY=0), 那么 WS=0。

当配置每个区域的 XTIMING 寄存器时, 必须满足最小等待状态要求。这些要求是器件数据表中指定的任一时序要求之外的要求。没有任何内部器件硬件来检测非法设置。

- 如果 XREADY 信号被忽略 (USEREADY=0), 那么:

- 建立: $LR \geq t_{c(XTIM)}$
 $LW \geq t_{c(XTIM)}$

这些配置引起以下这些 XTIMING 寄存器配置限制 (没有硬件检测非法 XTIMING 配置):

XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
≥ 1	≥ 0	≥ 0	≥ 1	≥ 0	≥ 0	0, 1

没有采样 XREADY 时, 有效和无效时序示例 (没有硬件检测非法 XTIMING 配置):

	XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
无效	0	0	0	0	0	0	0, 1
有效	1	0	0	1	0	0	0, 1

- 如果 XREADY 信号在同步模式中被采样（USEREADY=1，READYMODE=0），那么：

- 建立：
 $LR \geq t_{c(XTIM)}$
 $LW \geq t_{c(XTIM)}$
- 有效：
 $AR \geq 2 \times t_{c(XTIM)}$
 $AW \geq 2 \times t_{c(XTIM)}$

注释：限制条件不包括外部硬件等待状态。

这些配置引起以下这些 XTIMING 寄存器配置限制（没有硬件检测非法 XTIMING 配置）：

XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
≥ 1	≥ 1	≥ 0	≥ 1	≥ 1	≥ 0	0, 1

当使用同步 XREADY 时，有效和无效时序示例（没有硬件检测非法 XTIMING 配置）：

	XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
无效	0	0	0	0	0	0	0, 1
无效	1	0	0	1	0	0	0, 1
有效	1	1	0	1	1	0	0, 1

- 如果 XREADY 信号在同步模式中被采样(USEREADY=1, READYMODE1)，那么：

1. 建立： $LR \geq t_{c(XTIM)}$

$$LW \geq t_{c(XTIM)}$$

2. 有效： $AR \geq 2 \times t_{c(XTIM)}$

$$AW \geq 2 \times t_{c(XTIM)}$$

注释：限制条件不包括外部硬件等待状态。

3. 建立 + 有效： $LR + AR \geq 4 \times t_{c(XTIM)}$

$$LW + AW \geq 4 \times t_{c(XTIM)}$$

注释：限制条件不包括外部硬件等待状态

这些配置引起以下这些 XTIMING 寄存器配置限制（没有硬件检测非法 XTIMING 配置）：

XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
≥ 1	≥ 2	0	≥ 1	≥ 2	0	0, 1

或者（没有硬件检测非法 XTIMING 配置）

XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
≥ 2	≥ 1	0	≥ 2	≥ 1	0	0, 1

当使用同步 XREADY 时，有效和无效时序示例（没有硬件检测非法 XTIMING 配置）：

	XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
无效	0	0	0	0	0	0	0, 1
无效	1	0	0	1	0	0	0, 1
无效	1	1	0	1	1	0	0
有效	1	1	0	1	1	0	1
有效	1	2	0	1	2	0	0, 1
有效	2	1	0	2	1	0	0, 1

除非另外注明，否则所有 XINTF 时序适用于Table 6-31中显示的时钟配置。

Table 6-31. XINTF 时钟配置

模式	SYSCLKOUT	XTIMCLK	XCLKOUT
1 示例:	150MHz	SYSCLKOUT 150MHz	SYSCLKOUT 150MHz
2 示例:	150MHz	SYSCLKOUT 150MHz	1/2 SYSCLKOUT 75MHz
3 示例:	150MHz	1/2 SYSCLKOUT 75MHz	1/2 SYSCLKOUT 75MHz
4 示例:	150MHz	1/2 SYSCLKOUT 75MHz	1/4 SYSCLKOUT 37.5MHz

SYSCLKOUT 和 XTIMCLK 之间的关系显示在Figure 6-30中。

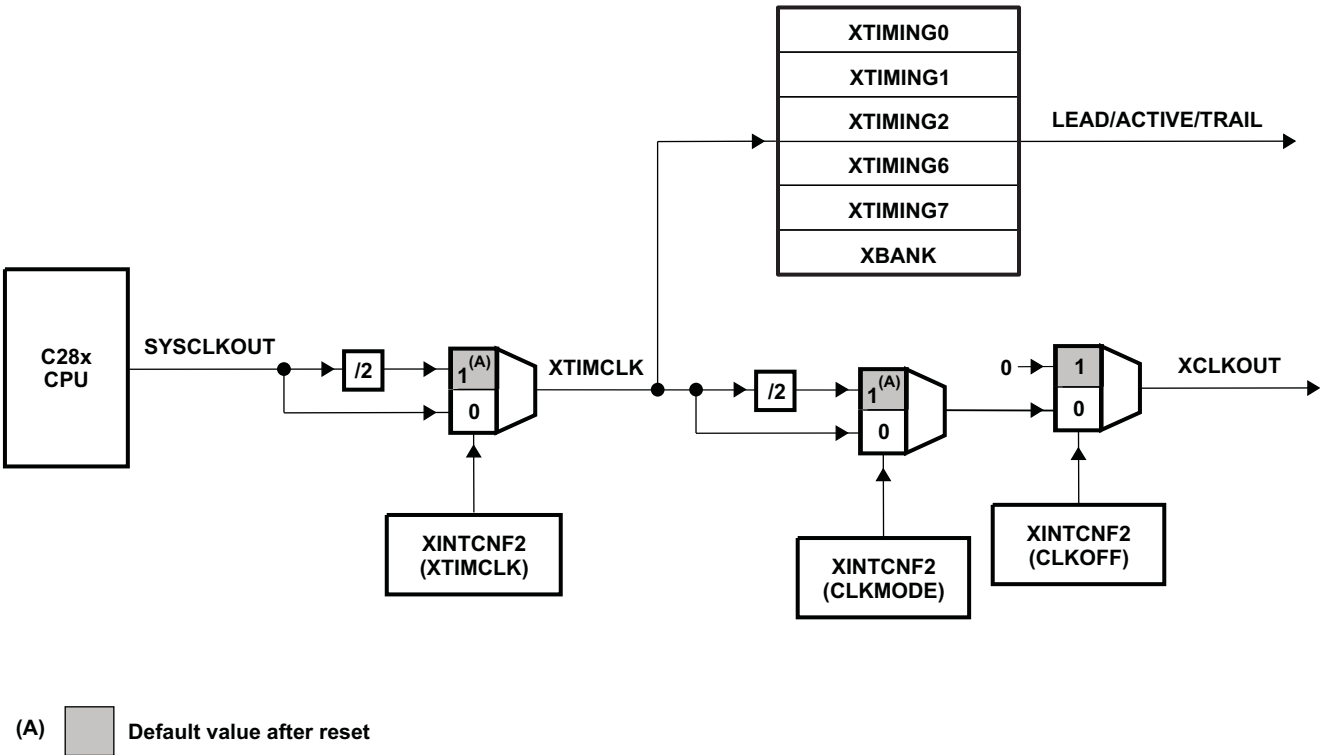


Figure 6-30. XTIMCLK 和 SYSCLKOUT 之间的关系

6.23 XINTF 信号与 XCLKOUT 对齐

对于每个 XINTF 访问，建立、有效、跟踪周期的数量基于内部时钟 XTIMCLK。诸如 $\overline{\text{XRD}}$ ， $\overline{\text{XWE}}$ ，和区域芯片选择 ($\overline{\text{XZCS}}$) 的选通脉冲的状态改变与 XTIMCLK 的上升边沿有关。外部时钟，XCLKOUT，可被配置成等于 XTIMCLK 周期或者为 XTIMCLK 周期的一半。

对于 XCLKOUT=XTIMCLK 的情况，所有 XINTF 选通时钟将相对于 XCLKOUT 的上升边沿改变状态。对于 XCLKOUT=XTIMCLK 一半的情况，一些选通脉冲将在 XCLKOUT 的上升边沿或者 XCLKOUT 的下降边沿上改变状态。在 XINTF 时序表中，符号 XCOHL 被用于表示相对于任一种情况的参数；XCLKOUT 上升边沿（高电平）或者 XCLKOUT 下降边沿（低电平）。如果参数一直相对于 XCLKOUT 的上升边沿的话，符号 XCOH 被使用。

对于 XCLKOUT=XTIMCLK 一半的情况，基于从访问开始到信号变化发生点的 XTIMCLK 周期的数量，与变化对齐的 XCLKOUT 边沿可被确定。如果这个 XTIMCLK 周期的数量为偶数，对齐将相对于 XCLKOUT 的上升边沿。如果这个 XTIMCLK 周期的数量为奇数，那么信号将相对于 XCLKOUT 的下降边沿发生变化。示例包括如下：

- 在一个访问开始时发生变化的选通脉冲一直与 XCLKOUT 的上升边沿对齐。这是因为所有 XINTF 方位相对于 XCLKOUT 的上升边沿开始。

示例： XZCSL 区域芯片选择低电平有效
 XRNWL $\overline{\text{XR}/\overline{\text{W}}}$ 低电平有效

- 如果用于访问的建立 XTIMCLK 周期为偶数，在一个有效周期开始时发生变化的选通脉冲将与 XCLKOUT 的上升边沿对齐。如果建立 XTIMCLK 周期的数量为偶数，那么对齐将相对于 XCLKOUT 的下降边沿。

示例： XRD $\overline{\text{XRD}}$ 低电平有效
 XWEL $\overline{\text{XWE}}$ 低电平有效

- 如果用于访问的建立和有效 XTIMCLK 周期总数（包括硬件等待状态）为偶数，在一个跟踪周期开始时发生变化的选通脉冲将与 XCLKOUT 的上升边沿对齐。如果建立和有效 XTIMCLK 周期的数量（包括硬件等待状态）为奇数，那么对齐将相对于 XCLKOUT 的下降边沿。

示例： XRDH $\overline{\text{XRD}}$ 高电平无效
 XWEH $\overline{\text{XWE}}$ 高电平无效

- 如果建立和有效加上跟踪 XTIMCLK 周期总数（包括硬件等待状态）为偶数，在一个访问末尾发生变化的选通脉冲将与 XCLKOUT 的上升边沿对齐。如果建立和有效加上跟踪 XTIMCLK 周期的数量（包括硬件等待状态）为奇数，那么对齐将相对于 XCLKOUT 的下降边沿。

示例： XZCSH 区域芯片选择高电平无效
 XRNWH $\overline{\text{XR}/\overline{\text{W}}}$ 高电平无效

6.24 外部接口读取时序

Table 6-32. 外部内存接口读取开关特性

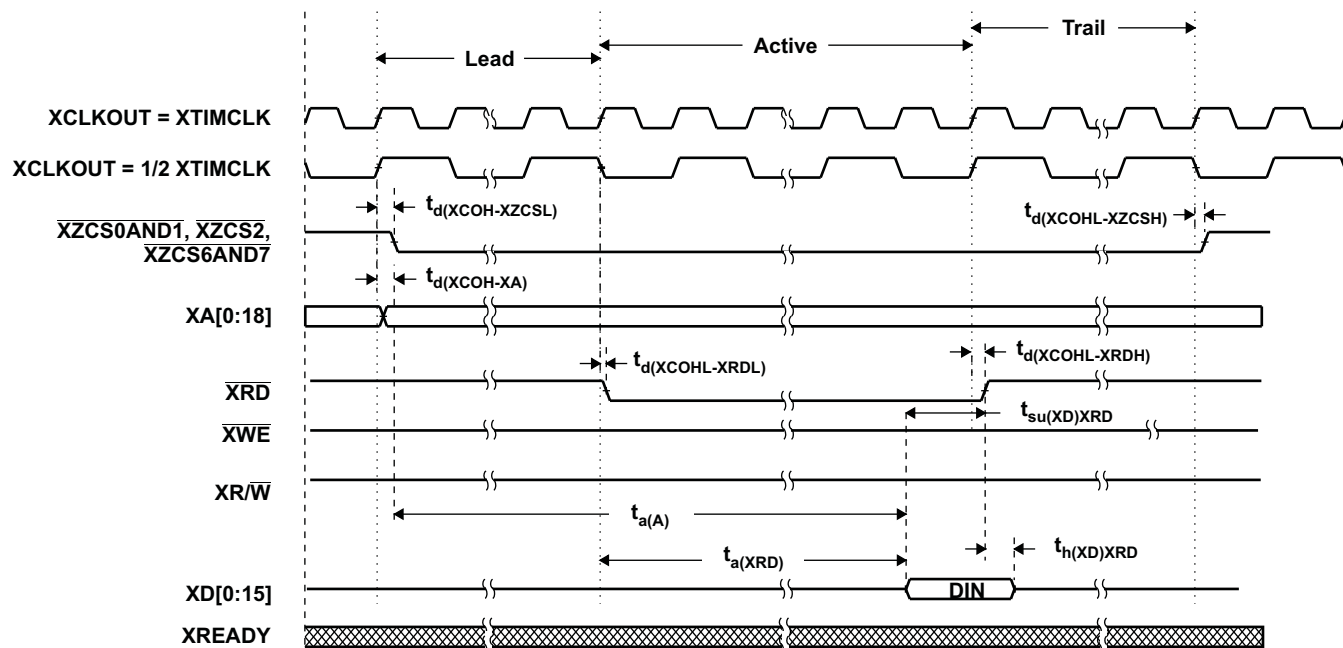
参数	最小值	最大值	单位
$t_d(\text{XCOH-XZCSL})$		1	ns
$t_d(\text{XCOHL-XZCSH})$	-2	3	ns
$t_d(\text{XCOH-XA})$		2	ns
$t_d(\text{XCOHL-XRDL})$		1	ns
$t_d(\text{XCOHL-XRDH})$	-2	1	ns
$t_h(\text{XA})\text{XZCSH}$	(1)		ns
$t_h(\text{XA})\text{XRD}$	(1)		ns

(1) 在无效周期期间，XINTF 地址总线将一直保持总线输出的最后一个地址。这个包括对齐周期。

Table 6-33. 外部存储器接口读取时序要求

	最小值	最大值	单位
$t_a(\text{A})$		$(\text{LR}+\text{AR})-14^{(1)}$	ns
$t_a(\text{XRD})$		$\text{AR}-12^{(1)}$	ns
$t_{su}(\text{XD})\text{XRD}$	12		ns
$t_h(\text{XD})\text{XRD}$	0		ns

(1) LR = 建立周期，读取访问。AR = 有效周期，读取访问。请参考 Table 6-30。



- 所有 XINTF 访问（建立周期）在 XCLKOUT 的上升沿上开始。当需要时，器件将在一个满足这个要求的访问之前插入一个对准周期。
- 在对准周期期间，所有信号将被转换为它们的未激活状态。
- 因为 USEREADY=0，外部 XREADY 输入信号被忽略。
- 在包括对准周期在内的无效周期期间，XA [0:18] 将保持出现在总线上的最后一个地址。

Figure 6-31. 示例读取访问

用于这个示例的 XTIMING 寄存器参数：

XRDL	XRDACTIVE	XRDTAIL	USEREADY	X2TIMING	XWRLEAD	XWRACTIVE	XWRTRAIL	READYMODE
≥ 1	≥ 0	≥ 0	0	0	N/A ⁽¹⁾	N/A ⁽¹⁾	N/A ⁽¹⁾	N/A ⁽¹⁾

(1) 对于这个示例，N/A = “无关”

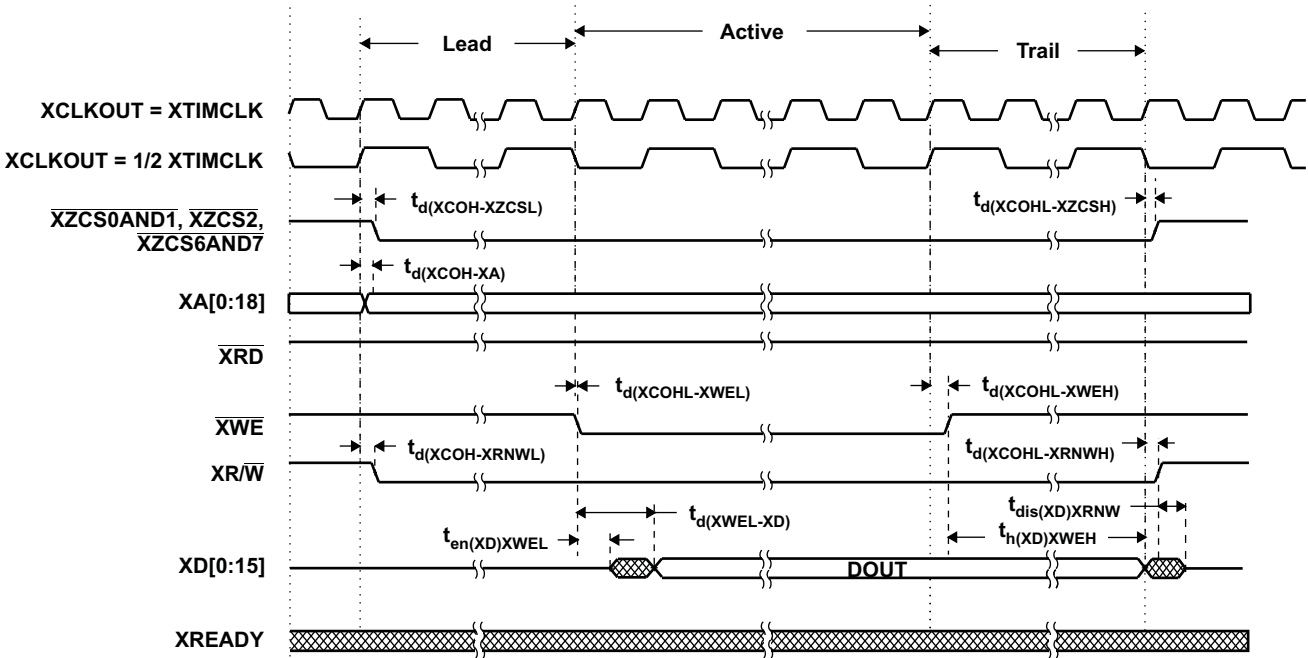
6.25 外部接口写入时序

Table 6-34. 外部存储器接口写入开关特性

参数	最小值	最大值	单位
$t_{d(XCOH-XZCSL)}$		1	ns
$t_{d(XCOHL-XZCSH)}$	-2	3	ns
$t_{d(XCOH-XA)}$		2	ns
$t_{d(XCOHL-XWEL)}$		2	ns
$t_{d(XCOHL-XWEH)}$		2	ns
$t_{d(XCOH-XRNL)}$		1	ns
$t_{d(XCOHL-XRNWH)}$	-2	1	ns
$t_{en(XD)XWEL}$	0		ns
$t_{d(XWEL-XD)}$		4	ns
$t_{h(XA)XZCSH}$	(1)		ns
$t_{h(XD)XWE}$	TW-2 ⁽²⁾		ns
$t_{dis(XD)XRNW}$		4	ns

(1) 无效周期期间，XINTF 地址总线将一直保持总线上产生的最后地址。这包括对准周期。

(2) TW = 跟踪周期，写入访问。请参考 Table 6-30。



- A. 所有 XINTF 访问（建立周期）在 XCLKOUT 的上升沿上开始。当需要时，器件将在一个满足这个要求的访问之前插入一个对准周期。
- B. 在对准周期期间，所有信号将被转换为它们的未激活状态。
- C. 因为 USERREADY=0，外部 XREADY 输入信号被忽略。
- D. 在包括对准周期在内的无效周期期间，XA [0:18] 将保持出现在总线上的最后一个地址。

Figure 6-32. 示例写入访问

用于这个示例的 XTIMING 寄存器参数：

XRDLEAD	XRDACTIVE	XRDTRAIL	USERREADY	X2TIMING	XWRLEAD	XWRACTIVE	XWRTRAIL	READYMODE
N/A ⁽¹⁾	N/A ⁽¹⁾	N/A ⁽¹⁾	0	0	≥ 1	≥ 0	≥ 0	N/A ⁽¹⁾

(1) 对于这个示例，N/A = “无关”

6.26 带有一个外部等待状态的外部接口读取准备就绪时序

Table 6-35. 外部存储器接口读取开关特性（读取准备就绪，1 个等待状态）

参数	最小值	最大值	单位
$t_{d(XCOH-XZCSL)}$ 延迟时间, XCLKOUT 高电平到区域芯片选择低电平有效的时间		1	ns
$t_{d(XCOHL-XZCSH)}$ 延迟时间, XCLKOUT 高电平/低电平到区域芯片选择高电平无效的时间	-2	3	ns
$t_{d(XCOH-XA)}$ 延迟时间, XCLKOUT 高电平到地址有效的时间		2	ns
$t_{d(XCOHL-XRDL)}$ 延迟时间, XCLKOUT 高电平/低电平到 \overline{XRDL} 低电平有效的时间		1	ns
$t_{d(XCOHL-XRDH)}$ 延迟时间, XCLKOUT 高电平/低电平到 \overline{XRDL} 高电平无效的时间	-2	1	ns
$t_{h(XA)XZCSH}$ 保持时间, 区域芯片选择高电平无效之后的地址有效时间	(1)		ns
$t_{h(XA)XRD}$ 保持时间, \overline{XRDL} 高电平无效后的地址有效时间	(1)		ns

(1) 无效周期期间, XINTF 地址总线将一直保持总线上产生的最后一个地址。这包括对准周期。

Table 6-36. 外部存储器接口读取时序要求（读取就绪，1 个等待状态）

	最小值	最大值	单位
$t_{a(A)}$ 访问时间, 从有效地址读取数据的时间		(LR + AR)-14 ⁽¹⁾	ns
$t_{a(XRD)}$ 访问时间, 从 \overline{XRDL} 低电平有效读取有效数据的时间		(1)	ns
$t_{su(XD)XRD}$ 建立时间, \overline{XRDL} 选通脉冲高电平无效前的读取数据有效的时间	12		ns
$t_{h(XD)XRD}$ 保持时间, \overline{XRDL} 无效高电平之后读取数据有效的时间	0		ns

(1) LR = 建立周期, 读取访问。AR = 有效周期, 读取访问。请参考 Table 6-30。

Table 6-37. 同步 XREADY 时序要求（读取准备就绪，1 个等待状态）⁽¹⁾

	最小值	最大值	单位
$t_{su(XRDYsynchL)XCOHL}$ 建立时间, XCLKOUT 高电平/低电平之前 XREADY（同步）低电平的时间	15		ns
$t_{h(XRDYsynchL)}$ 保持时间, XREADY（同步）低电平的时间	12		ns
$t_{e(XRDYsynchH)}$ 采样 XCLKOUT 边沿之前 XREADY（同步）能够变为高电平的最早时间		3	ns
$t_{su(XRDYsynchH)XCOHL}$ 建立时间, XCLKOUT 高电平/低电平之前 XREADY（同步）高电平的时间	15		ns
$t_{h(XRDYsynchH)XZCSH}$ 保持时间, 区域芯片选择高电平之后 XREADY（同步）保持高电平的时间	0		ns

(1) 第一个 XREADY（同步）样本相对于 Figure 6-33 中的 E 发生:

$$E = (XRDLEAD + XRDACTIVE) t_{c(XTIM)}$$

当首次采样时, 如果 XREADY（同步）被发现为高电平, 那么访问将完成。如果发现 XREADY（同步）为低电平, 它将在每个 $t_{c(XTIM)}$ 内被重新采样直到它为高电平。

对于每个样本, 相对于访问开始的建立时间 (D) 可计算为:

$$D = (XRDLEAD + XRDACTIVE + n - 1) t_{c(XTIM)} - t_{su(XRDYsynchL)XCOHL}$$

, 在这里, n 为样本数量 (n = 1, 2, 3, 以此类推)。

Table 6-38. 异步 XREADY 时序要求（读取准备就绪，1 个等待状态）⁽¹⁾

	最小值	最大值	单位
$t_{su(XRDYAsynchL)XCOHL}$ 建立时间, 在 XCLKOUT 高电平/低电平之前 XREADY（异步）低电平的时间	11		ns
$t_{h(XRDYAsynchL)}$ 保持时间, XREADY（异步）低电平的时间	8		ns
$t_{e(XRDYAsynchH)}$ 采样 XCLKOUT 边沿之前, XREADY（异步）能够变为高电平的最早时间		3	ns
$t_{su(XRDYAsynchH)XCOHL}$ 建立时间, 在 XCLKOUT 高电平/低电平之前 XREADY（异步）高电平的时间	11		ns
$t_{h(XRDYAsynchH)XZCSH}$ 保持时间, 区域芯片选择高电平之后 XREADY（异步）保持高电平的时间	0		ns

(1) 第一个 XREADY（异步）样本相对于 Figure 6-34 中的 E 发生:

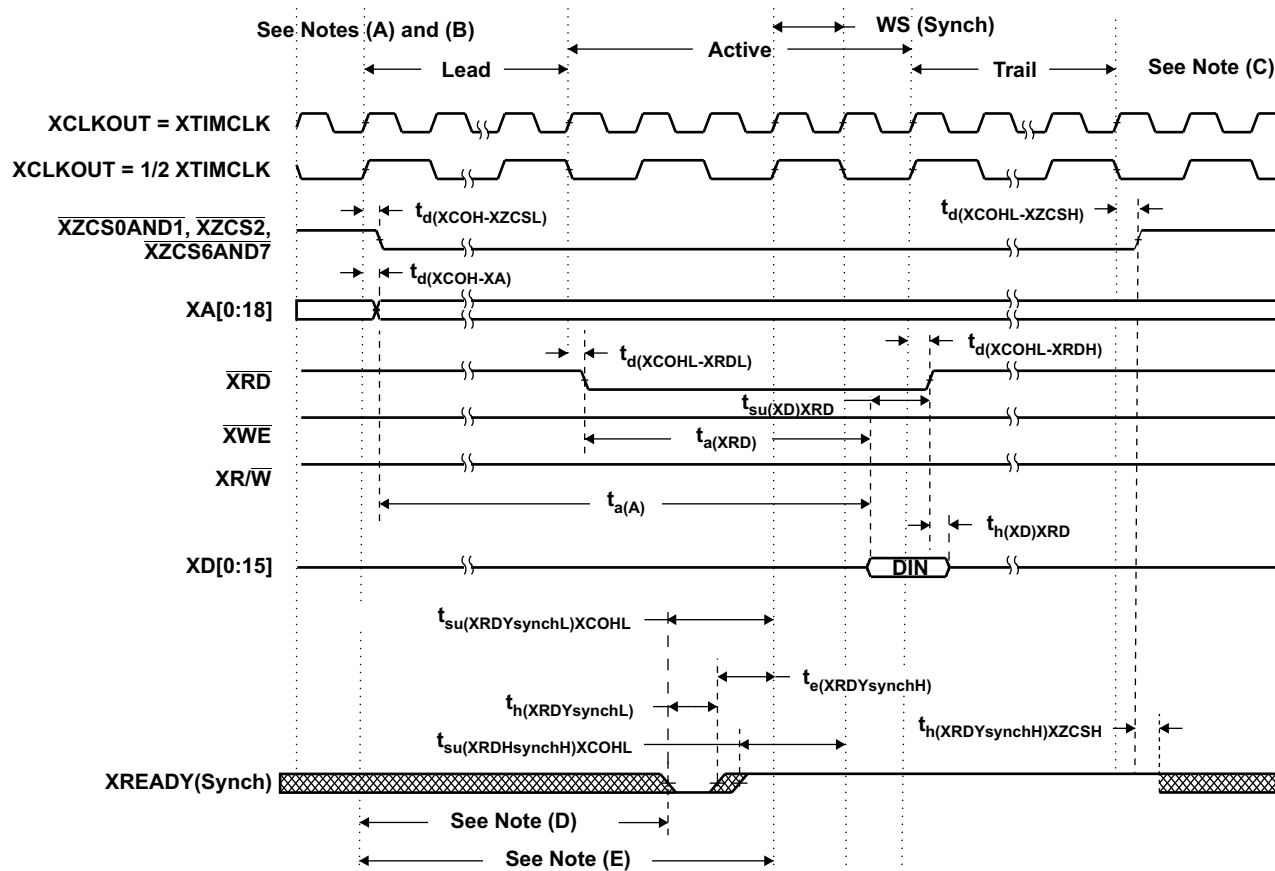
$$E = (XRDLEAD + XRDACTIVE - 2) t_{c(XTIM)}$$

当首次采样时, 如果 XREADY（异步）被发现为高电平, 那么访问将完成。如果发现 XREADY（异步）为低电平, 它将在每个 $t_{c(XTIM)}$ 内被重新采样直到它为高电平。

对于每个样本, 从访问开始的建立时间可计算为:

$$D = (XRDLEAD + XRDACTIVE - 3 + n) t_{c(XTIM)} - t_{su(XRDYAsynchL)XCOHL}$$

, 在这里, n 为样本数量 (n = 1, 2, 3, 以此类推)。

**Legend:**
 = Don't care. Signal can be high or low during this time.

- A. 所有 XINTF 访问（建立周期）在 XCLKOUT 的上升沿上开始。当需要时，器件将在一个满足这个要求的访问之前插入一个对准周期。
- B. 在对准周期期间，所有信号将被转换为它们的未激活状态。
- C. 在未激活周期期间，XINTF 地址总线将一直保持总线上产生的最后一个地址。这包括对准周期。
- D. 对于每一个样本，从访问 (D) 开始的建立时间可计算如下：

$$D = (XRDLEAD + XRDACTIVE + n - 1) t_{c(XTIM)} - t_{su(XRDYsynchL)XCOHL}$$
- E. 关于相对于这个点的第一个样本

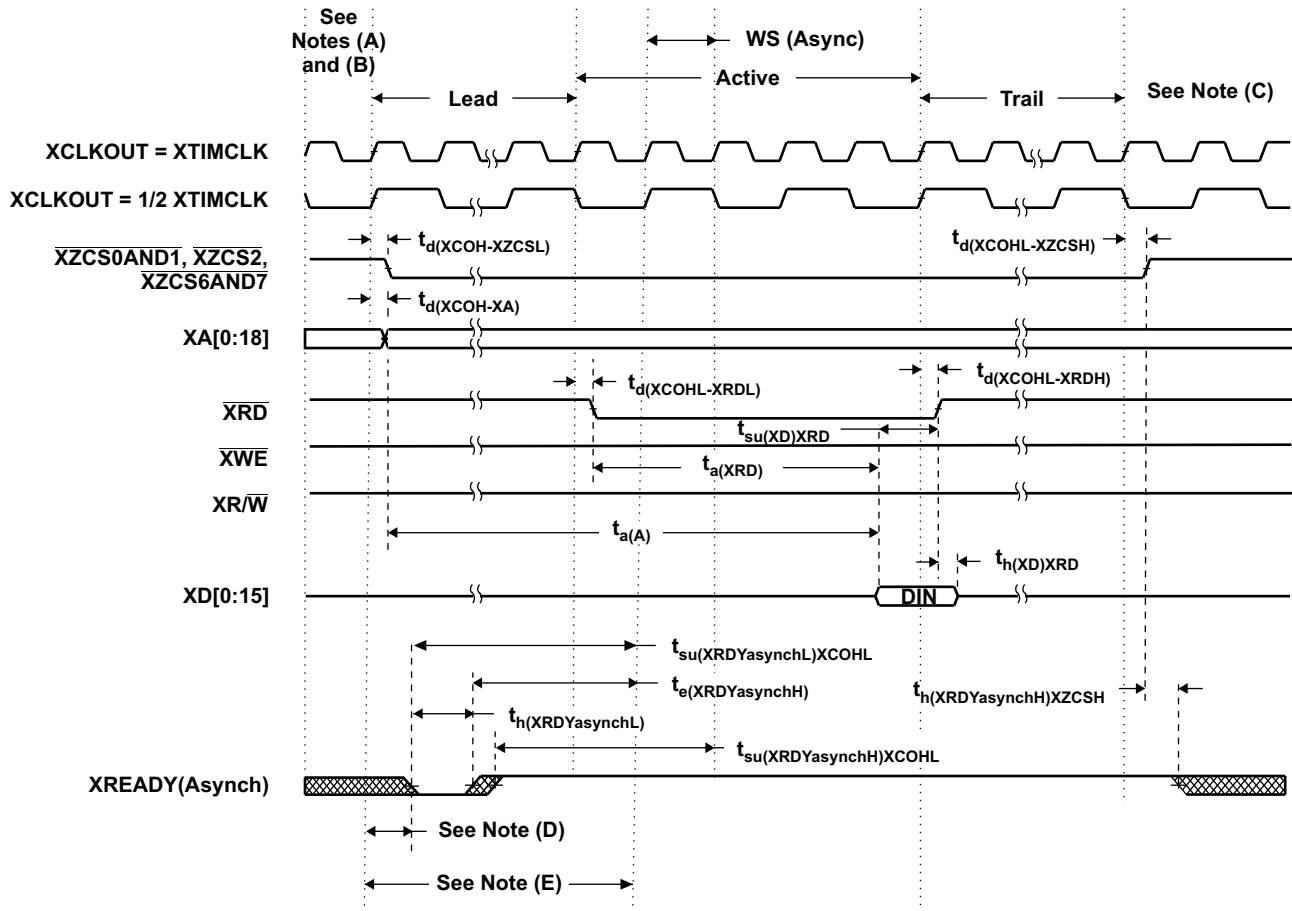
$$E = (XRDLEAD + XRDACTIVE) t_{c(XTIM)}$$
，在这里，n 为样本数量（n = 1, 2, 3, 以此类推）。

Figure 6-33. 使用同步 XREADY 访问的样本读取

用于这个示例的 XTIMING 寄存器参数：

XRDLEAD	XRDACTIVE	XRDTRAIL	USEREADY	X2TIMING	XWRLEAD	XWRACTIVE	XWRTRAIL	READYMODE
≥ 1	3	≥ 1	1	0	N/A ⁽¹⁾	N/A ⁽¹⁾	N/A ⁽¹⁾	0=XREADY (同步)

(1) 对于这个示例，N/A = “无关”



Legend:

= Don't care. Signal can be high or low during this time.

- 所有 XINTF 访问（建立周期）在 XCLKOUT 的上升沿上开始。当需要时，器件将在一个满足这个要求的访问之前插入一个对准周期。
- 在对准周期期间，所有信号将被转换为它们的未激活状态。
- 在未激活周期期间，XINTF 地址总线将一直保持总线上产生的最后一个地址。这包括对准周期。
- 对于每个示例，相对于访问开始的建立时间可计算为：

$$D = (XRDLEAD + XRDACTIVE - 3 + n) t_{c(XTIM)} - t_{su(XRDYasynchL)XCOHL}$$
 ，在这里，n 为样本数量（n = 1, 2, 3, 以此类推）。
- 关于相对于这个点的第一个样本：

$$E = (XRDLEAD + XRDACTIVE - 2) t_{c(XTIM)}$$

Figure 6-34. 使用异步 XREADY 访问的样本读取

用于这个示例的 XTIMING 寄存器参数：

XRDLEAD	XRDACTIVE	XRDTRAIL	USEREADY	X2TIMING	XWRLEAD	XWRACTIVE	XWRTRAIL	READYMODE
≥ 1	3	≥ 1	1	0	N/A ⁽¹⁾	N/A ⁽¹⁾	N/A ⁽¹⁾	1 = XREADY (异步)

(1) 在这个示例中，N/A = “无关”

6.27 带有一个外部等待状态的外部接口写入准备就绪时序

Table 6-39. 外部存储器接口写入开关特性（写入准备就绪，1 个等待状态）

参数	最小值	最大值	单位
$t_{d(XCOH-XZCSL)}$ 延迟时间, XCLKOUT 高电平到区域芯片选择低电平有效的时间		1	ns
$t_{d(XCOHL-XZCSH)}$ 延迟时间, XCLKOUT 高电平或低电平到区域芯片选择高电平无效的时间	-2	3	ns
$t_{d(XCOH-XA)}$ 延迟时间, XCLKOUT 高电平到地址有效的时间		2	ns
$t_{d(XCOHL-XWEL)}$ 延迟时间, XCLKOUT 高电平/低电平到 \overline{XWE} 低电平的时间		2	ns
$t_{d(XCOHL-XWEH)}$ 延迟时间, XCLKOUT 高电平/低电平到 \overline{XWE} 高电平的时间		2	ns
$t_{d(XCOH-XRNWL)}$ 延迟时间, XCLKOUT 高电平到 $\overline{XR\overline{W}}$ 低电平的时间		1	ns
$t_{d(XCOHL-XRNWH)}$ 延迟时间, XCLKOUT 高电平/低电平到 $\overline{XR\overline{W}}$ 高电平的时间	-2	1	ns
$t_{en(XD)XWEL}$ 使能时间, 从 \overline{XWE} 低电平驱动数据总线的时间	0		ns
$t_{d(XWEL-XD)}$ 延迟时间, \overline{XWE} 低电平有效之后数据有效的时间		4	ns
$t_{h(XA)XZCSH}$ 保持时间, 区域芯片选择高电平无效之后地址有效的时间	(1)		ns
$t_{h(XD)XWE}$ 保持时间, \overline{XWE} 高电平无效之后写入数据有效的时间	TW-2 ⁽²⁾		ns
$t_{dis(XD)XRNW}$ DSP 在 \overline{W} 高电平无效之后释放数据总线的最长时间		4	ns

(1) 在未激活周期期间, XINTF 地址总线将一直保持总线上产生的最后一个地址。这包括对准周期。

(2) TW = 跟踪周期, 写入访问。请参考 Table 6-30。

Table 6-40. 同步 XREADY 时序要求（写入准备就绪，1 个等待状态⁽¹⁾）

	最小值	最大值	单位
$t_{su(XRDYsynchL)XCOHL}$ 建立时间, 在 XCLKOUT 高电平/低电平之前 XREADY（同步）低电平的时间	15		ns
$t_{h(XRDYsynchL)}$ 保持时间, XREADY（同步）低电平的时间	12		ns
$t_{e(XRDYsynchH)}$ 采样 XCLKOUT 边沿之前, XREADY（同步）能够变为高电平的最早时间		3	ns
$t_{su(XRDYsynchH)XCOHL}$ 建立时间, 在 XCLKOUT 高电平/低电平之前 XREADY（同步）高电平的时间	15		ns
$t_{h(XRDYsynchH)XZCSH}$ 保持时间, 区域芯片选择高电平之后 XREADY（同步）保持高电平的时间	0		ns

(1) 第一个 XREADY（同步）采样相对于 Figure 6-35 中的 E 发生:

$$E = (XWRLEAD + XWRACTIVE) t_{c(XTIM)}$$

当首次采样时, 如果 XREADY（同步）被发现为高电平, 那么访问将完成。如果发现 XREADY（同步）为低电平, 它将在每个 $t_{c(XTIM)}$ 内被重新采样直到它为高电平。

对于每个示例, 从访问开始的建立时间可计算为:

$$D = (XWRLEAD + XWRACTIVE + n - 1) t_{c(XTIM)} - t_{su(XRDYsynchL)XCOHL}$$

, 在这里, n 为样本数量 (n = 1, 2, 3, 以此类推)。

Table 6-41. 异步 XREADY 时序要求（写入准备就绪，1 个等待状态⁽¹⁾）

	最小值	最大值	单位
$t_{su(XRDYasynchL)XCOHL}$ 建立时间, 在 XCLKOUT 高电平/低电平之前 XREADY（异步）低电平的时间	11		ns
$t_{h(XRDYasynchL)}$ 保持时间, XREADY（异步）低电平的时间	8		ns
$t_{e(XRDYasynchH)}$ 采样 XCLKOUT 边沿之前, XREADY（异步）能够变为高电平的最早时间		3	ns
$t_{su(XRDYasynchH)XCOHL}$ 建立时间, 在 XCLKOUT 高电平/低电平之前 XREADY（异步）高电平的时间	11		ns
$t_{h(XRDYasynchH)XZCSH}$ 保持时间, 区域芯片选择高电平之后 XREADY（异步）保持高电平的时间	0		ns

(1) 第一个 XREADY（同步）采样相对于 Figure 6-36 中的 E 发生:

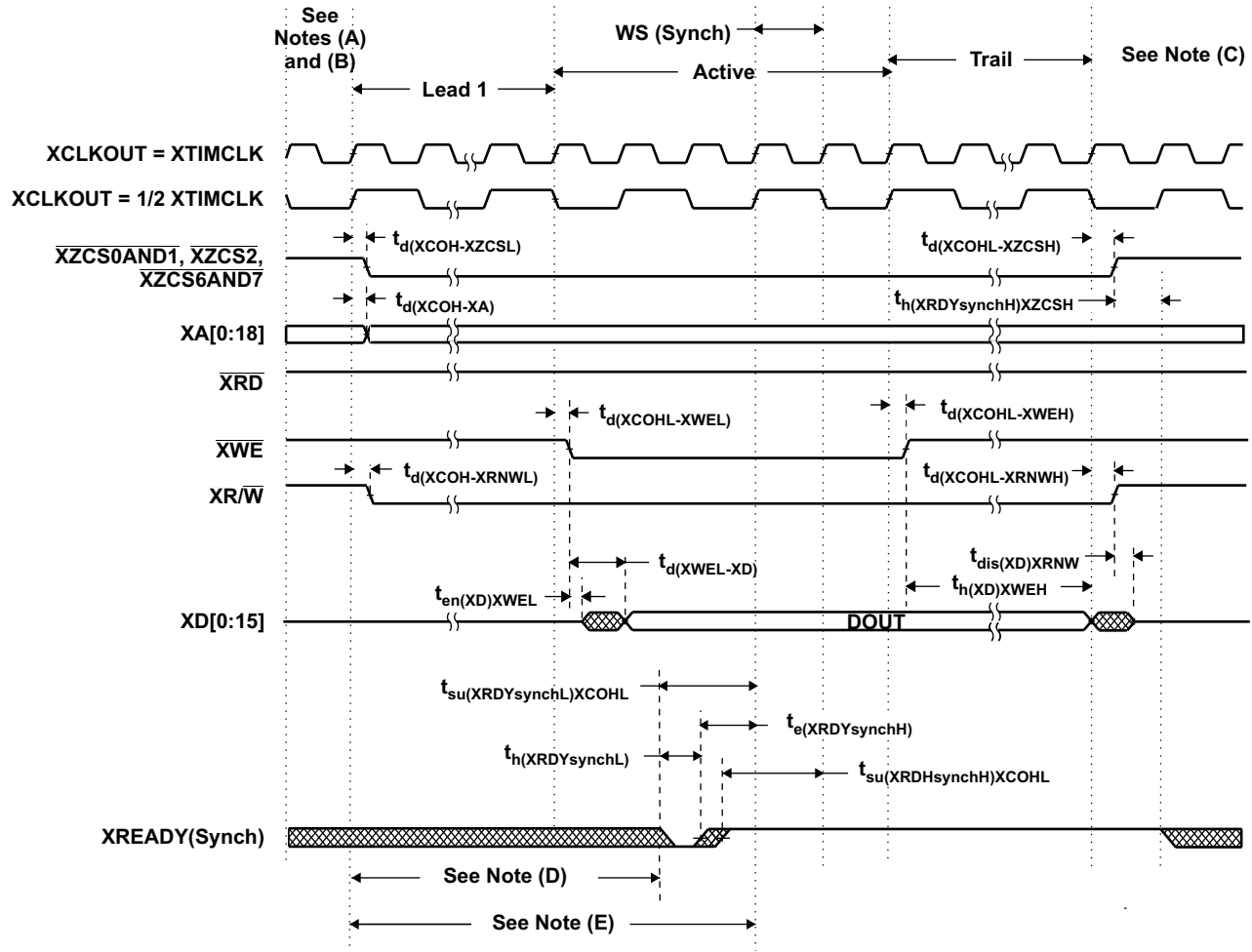
$$E = (XWRLEAD + XWRACTIVE - 2) t_{c(XTIM)}$$

当首次采样时, 如果 XREADY（异步）被发现为高电平, 那么访问将完成。如果发现 XREADY（异步）为低电平, 它将在每个 $t_{c(XTIM)}$ 内被重新采样直到它为高电平。

对于每个样本, 访问开始的建立时间可计算为:

$$D = (XWRLEAD + XWRACTIVE - 3 + n) t_{c(XTIM)} - t_{su(XRDYsynchL)XCOHL}$$

, 在这里, n 为样本数量 (n = 1, 2, 3, 以此类推)。



Legend:

▨ = Don't care. Signal can be high or low during this time.

- 所有 XINTF 访问（建立周期）在 XCLKOUT 的上升沿上开始。当需要时，器件将在一个满足这个要求的访问之前插入一个对准周期。
- 在对准周期期间，所有信号将被转换为它们的未激活状态。
- 在未激活周期期间，XINTF 地址总线将一直保持总线上产生的最后一个地址。这包括对准周期。
- 对于每个样本，访问开始的建立时间可计算为：

$$D = (XWRLEAD + XWRACTIVE + n - 1) t_{c(XTIM)} - t_{su(XRDYsynchL)XCOHL}$$
，在这里，n 为样本数量（n = 1, 2, 3, 以此类推）。
- 关于相对于这个点的第一个样本，

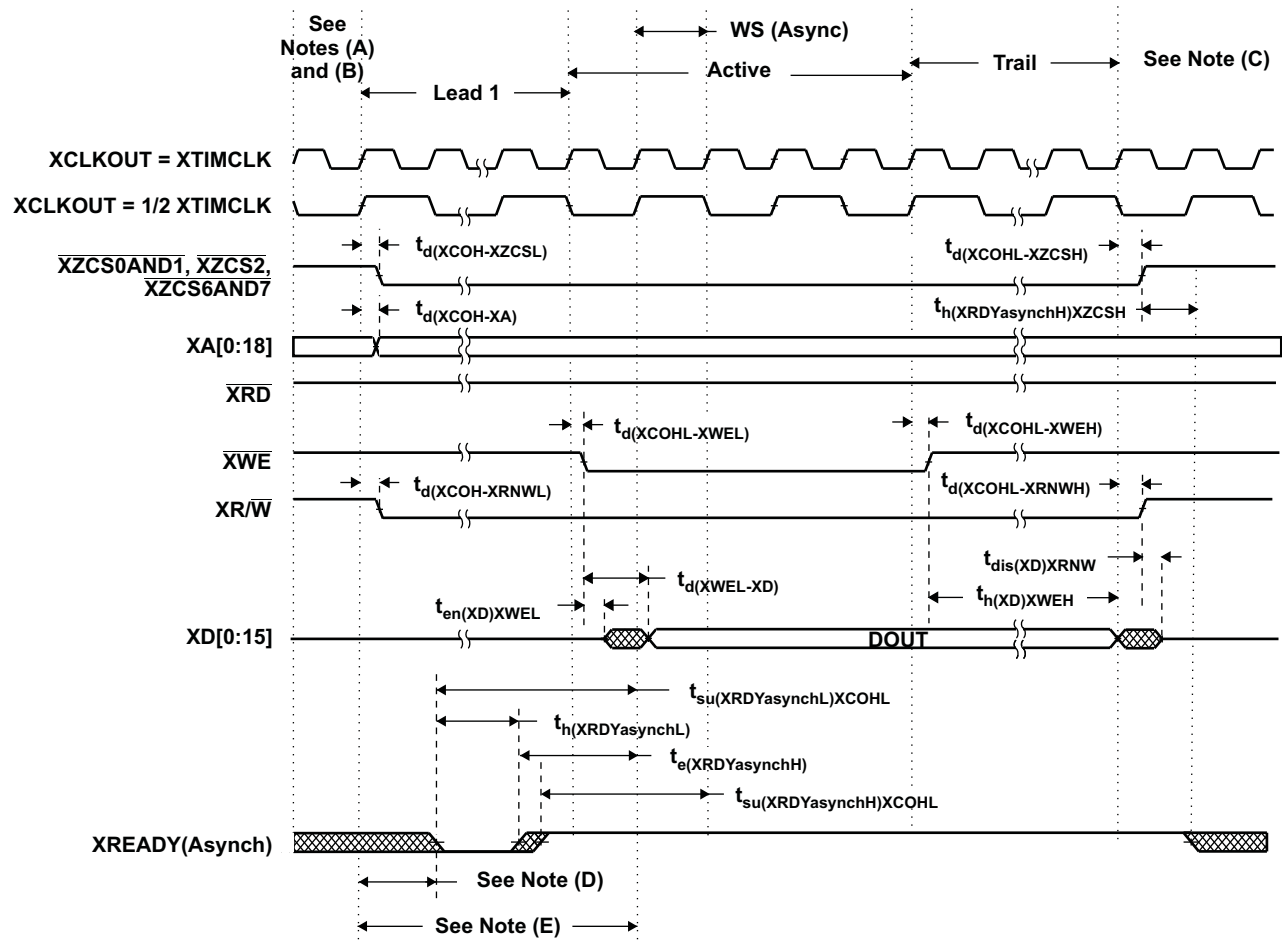
$$E = (XWRLEAD + XWRACTIVE) t_{c(XTIM)}$$


Figure 6-35. 使用同步 XREADY 访问的写入

用于这个示例的 XTIMING 寄存器参数：

XRDLEAD	XRDACTIVE	XRDTRAIL	USEREADY	X2TIMING	XWRLEAD	XWRACTIVE	XWRTRAIL	READYMODE
N/A ⁽¹⁾	N/A ⁽¹⁾	N/A ⁽¹⁾	1	0	≥ 1	3	≥ 1	0 = XREADY (同步)

(1) 对于这个样本，N/A = “无关”

**Legend:**

 = Don't care. Signal can be high or low during this time.

- 所有 XINTF 访问（建立周期）在 XCLKOUT 的上升沿上开始。当需要时，器件将在一个满足这个要求的访问之前插入一个对准周期。
- 在对准周期期间，所有信号将被转换为它们的未激活状态。
- 在未激活周期期间，XINTF 地址总线将一直保持总线上产生的最后一个地址。这包括对准周期。
- 对于每个样本，访问开始的建立时间可计算为：

$$D = (XWRLEAD + XWRACTIVE - 3 + n) t_{c(XTIM)} - t_{su(XRDYasynchL)XCOHL}$$
 ，在这里，n 为样本数量（n = 1, 2, 3, 以此类推）。
- 关于相对于这个点的第一个样本，

$$E = (XWRLEAD + XWRACTIVE - 2) t_{c(XTIM)}$$

Figure 6-36. 使用异步 XREADY 访问的写入

用于这个示例的 XTIMING 寄存器参数：

XRDLEAD	XRDACTIVE	XRDTRAIL	USEREADY	X2TIMING	XWRLEAD	XWRACTIVE	XWRTRAIL	READYMODE
N/A ⁽¹⁾	N/A ⁽¹⁾	N/A ⁽¹⁾	1	0	≥ 1	3	≥ 1	1 = XREADY (异步)

(1) 对于这个样本，N/A = “无关”

6.28 $\overline{\text{XHOLD}}$ 和 $\overline{\text{XHOLDA}}$

如果在 $\overline{\text{XHOLD}}$ 和 $\overline{\text{XHOLDA}}$ 同时为低电平时（授权外部总线访问）**HOLD** 模式位被设定， $\overline{\text{XHOLDA}}$ 信号被强制为高电平（在当前周期的末尾）并且外部接口不再为高阻抗模式。

复位时 ($\overline{\text{XRS}}$)，**HOLD** 模式位被设定为 0。如果 $\overline{\text{XHOLD}}$ 信号在系统复位时为低电平有效，总线和所有信号选通必须为高阻抗模式，并且 $\overline{\text{XHOLDA}}$ 信号也被驱动为低电平有效。

当 **HOLD** 模式被启用并且 $\overline{\text{XHOLDA}}$ 为低电平有效（外部总线置为有效），CPU 仍然可以从内部存储器执行代码。如果对外部接口进行访问，在 $\overline{\text{XHOLD}}$ 信号被去除前，CPU 暂停。

一个内部 **DMA** 请求，当被批准时，将以下信号置为高阻抗模式：

$\text{XA}[18:0]$	$\overline{\text{XZCS0AND1}}$
$\text{XD}[15:0]$	$\overline{\text{XZCS2}}$
$\overline{\text{XWE}}$, $\overline{\text{XRD}}$	$\overline{\text{XZCS6AND7}}$
$\text{XR}/\overline{\text{W}}$	

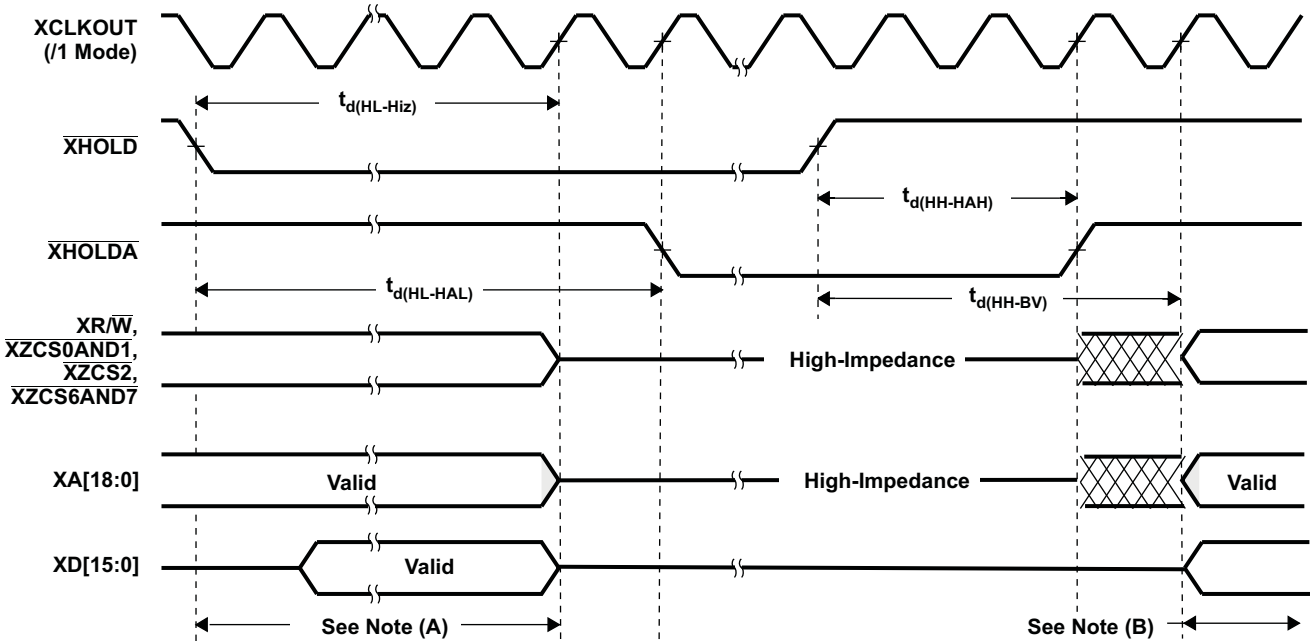
在这些信号事件期间，所有在这个组中未列出的其它信号保持在它们的缺省值或者功能运行模式。

6.29 $\overline{\text{XHOLD}}/\overline{\text{XHOLDA}}$ 时序

Table 6-42. $\overline{\text{XHOLD}}/\overline{\text{XHOLDA}}$ 时序要求 ($\text{XCLKOUT}=\text{XTIMCLK}$)⁽¹⁾⁽²⁾

		最小值	最大值	单位
$t_{d(\text{HL-HIZ})}$	延迟时间, $\overline{\text{XHOLD}}$ 低电平到所有地址、数据、和控制上的低阻抗到高阻抗的时间		$4t_{c(\text{XTIM})}$	ns
$t_{d(\text{HL-HAL})}$	延迟时间, $\overline{\text{XHOLD}}$ 低电平至 $\overline{\text{XHOLDA}}$ 低电平的时间		$5t_{c(\text{XTIM})}$	ns
$t_{d(\text{HH-HAH})}$	延迟时间, $\overline{\text{XHOLD}}$ 高电平至 $\overline{\text{XHOLDA}}$ 高电平的时间		$3t_{c(\text{XTIM})}$	ns
$t_{d(\text{HH-BV})}$	延迟时间, $\overline{\text{XHOLD}}$ 高电平到总线有效的的时间		$4t_{c(\text{XTIM})}$	ns

- (1) 当在 $\overline{\text{XHOLD}}$ 上检测到一个低电平信号时, 所有等待的 XINTF 访问将在总线被置为一个高阻抗状态前完成。
(2) $\overline{\text{XHOLD}}$ 的状态被锁存在 XTIMCLK 的上升边沿上。



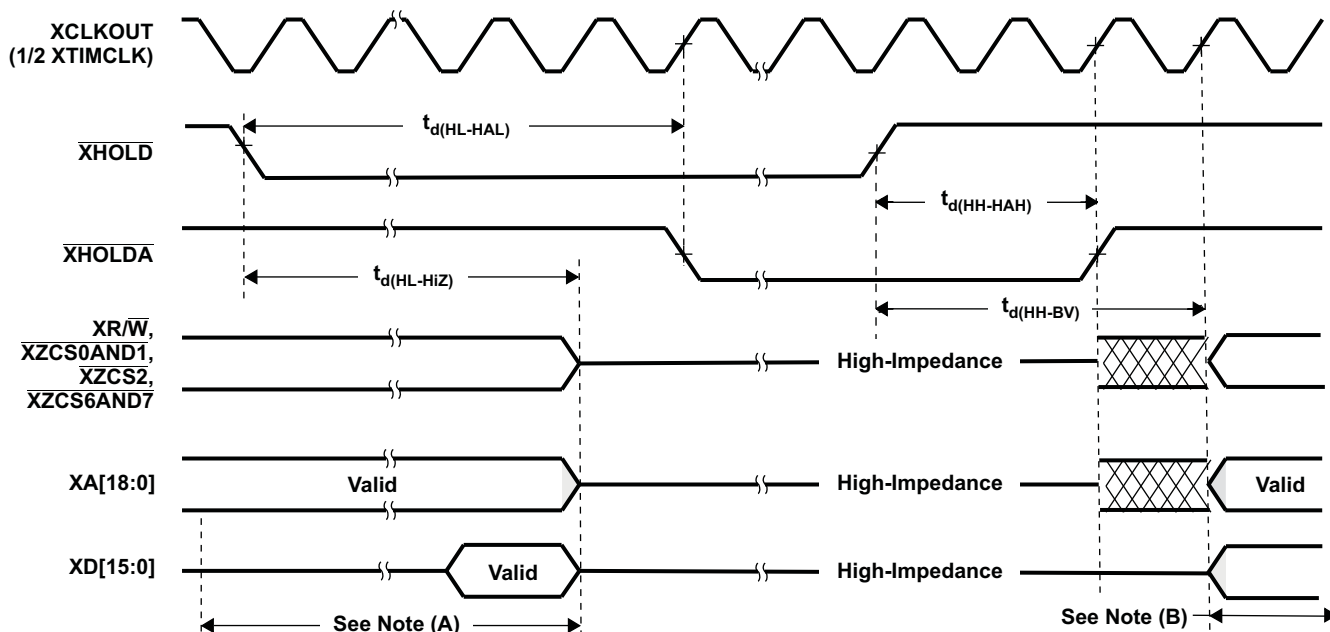
- A. 所有等待中的 XINTF 访问被完成。
B. 正常 XINTF 运行重新开始。

Figure 6-37. 外部接口保持波形

Table 6-43. $\overline{\text{XHOLD}}/\overline{\text{XHOLDA}}$ 时序要求 ($\text{XCLKOUT} = 1/2 \text{XTIMCLK}$)⁽¹⁾⁽²⁾⁽³⁾

		最小值	最大值	单位
$t_{d(\text{HL-HIZ})}$	延迟时间, $\overline{\text{XHOLD}}$ 低电平到所有地址、数据、和控制上的低阻抗到高阻抗的时间		$4t_{c(\text{XTIM})} + t_{c(\text{XCO})}$	ns
$t_{d(\text{HL-HAL})}$	延迟时间, $\overline{\text{XHOLD}}$ 低电平至 $\overline{\text{XHOLDA}}$ 低电平的时间		$4t_{c(\text{XTIM})} + 2t_{c(\text{XCO})}$	ns
$t_{d(\text{HH-HAH})}$	延迟时间, $\overline{\text{XHOLD}}$ 高电平至 $\overline{\text{XHOLDA}}$ 高电平的时间		$4t_{c(\text{XTIM})}$	ns
$t_{d(\text{HH-BV})}$	延迟时间, $\overline{\text{XHOLD}}$ 高电平到总线有效的时间		$6t_{c(\text{XTIM})}$	ns

- (1) 当在 $\overline{\text{XHOLD}}$ 上检测到一个低电平信号时, 所有等待的 XINTF 访问将在总线被置为一个高阻抗状态前完成。
(2) $\overline{\text{XHOLD}}$ 的状态被锁存在 XTIMCLK 的上升边沿上。
(3) 在 $\overline{\text{XHOLD}}$ 被检测为高电平或者低电平时, 所有总线转换和 $\overline{\text{XHOLDA}}$ 转换将相对于 XCLKOUT 的上升边沿发生。因此, 对于这个 $\text{XCLKOUT} = 1/2 \text{XTIMCLK}$ 的模式, 转换最多可以早于最大额定值 1 XTIMCLK 周期发生。



- A. 所有等待中的 XINTF 访问被完成。
B. 正常 XINTF 运行重新开始。

Figure 6-38. $\overline{\text{XHOLD}}/\overline{\text{XHOLDA}}$ 时序要求 ($\text{XCLKOUT} = 1/2 \text{XTIMCLK}$)

6.30 片载模数转换器

6.30.1 ADC 绝对最大额定值

除非另外注明，绝对最大额定值列表中的值在运行条件下指定。在超过那些绝对最大额定值下列出的应力下运行有可能会对器件造成永久损坏。它们只是应力额定值。长时间运行在最大绝对额定条件下会影响设备的可靠性。

电源电压范围 (V_{SSA1}/V_{SSA2} 至 $V_{DDA1}/V_{DDA2}/AVDDREFBG$)	-0.3V 至 4.6V
电源电压范围 (V_{SS1} 至 V_{DD1})	-0.3V 至 2.5V
模拟输入 (ADCIN) 钳制电流, 总数 (最大值)	$\pm 20\text{mA}^{(1)}$

(1) 这个模拟输入有一个内部钳制电路，此电路能够将电压固定在一个高于 V_{DDA} 或者低于 V_{SS} 的二极管压降。每个引脚上的持续钳制电流为 $\pm 2\text{mA}$ 。

6.30.2 在推荐运行条件下的 ADC 电气特性

Table 6-44. DC 技术规范⁽¹⁾

参数		最小值	典型值	最大值	单位
分辨率		12			位
ADC 时钟 ⁽²⁾		1			kHz
				25	MHz
精度					
INL (积分非线性) ⁽³⁾	1-18.75 MHz ADC 时钟			±1.5	最低有效位 (LSB)
DNL (微分非线性) ⁽³⁾	1-18.75 MHz ADC 时钟			±1	LSB
偏移误差 ⁽⁴⁾		-80		80	LSB
带有内部基准的总增益误差 ⁽⁵⁾	F281x	-200		200	LSB
	C281x	-80		80	
带有内部基准的总增益误差 ⁽⁶⁾	如果 ADCREFP-ADCREFM=1V±0.1%	-50		50	LSB
通道到通道偏移变化			±8		LSB
通道到通道增益变化			±8		LSB
模拟输入					
模拟输入电压 (ADCINx 至 ADCLO) ⁽⁷⁾		0		3	V
ADCLO		-5	0	5	mV
输入电容			10		pF
输入漏电流			3	±5	μA
内部电压基准 ⁽⁵⁾					
精度, ADCV _{REFP}		1.9	2	2.1	V
精度, ADCV _{REFM}		0.95	1	1.05	V
电压差异, ADCREFP-ADCREFM			1		V
温度系数			50		PPM/°C
基准噪声			100		μV
外部电压基准 ⁽⁶⁾					
精度, ADCV _{REFP}		1.9	2	2.1	V
精度, ADCV _{REFM}		0.95	1	1.05	V
输入电压差异, ADCREFP-ADCREFM		0.99	1	1.01	V

(1) 在 12.5MHz ADCCLK 上测试。

(2) 如果 SYSCLKOUT ≤ 25MHz, ADC 时钟 ≤ SYSCLKOUT/2。

(3) 对于高于 18.75 MHz–25 MHz 的频率, INL 降级。要求这些采样速率的应用应该使用一个 20K 电阻器作为 ADCRESEXT 引脚上的偏置电阻器。这提升了总体线性并且取自 ADC 的电流将比 24.9kΩ 偏置电流多几个 mA。对于 1-25MHz 的全范围, C281x 器件中的 ADC 模块能够运行在 ADCRESEXT 引脚上的 24.9kΩ 偏置电流上。

(4) 1 LSB 有 3.0/4096=0.732mV 的加权值。

(5) 一个单一内部带隙基准 (±5% 精度) 为 ADCREFP 和 ADCREFM 信号供源, 因此, 这些电压可一起跟踪。ADC 转换器使用这两个之间的差异作为它的基准。总体增益误差将是这里显示的增益误差与电压基准精度 (ADCREFP-ADCREFM) 的组合。为了获得更佳精度, 建议使用一个基于软件的校准过程。相关文档, 请见《F2810, F2811, 和 F2812 ADC 校准应用报告》(文献编号 [SPRA989](#)) 和节 5.2, 文档支持。

(6) 在这个模式下, 外部基准的精度对于总体增益很关键。电压差异 (ADCREFP-ADCREFM) 将确定总体精度。

(7) 应用到一个模拟输入引脚上的高于 V_{DDA}+0.3V 或者低于 V_{SS}-0.3V 的电压有可能暂时影响另外引脚的转换。为了避免这种情况, 模拟输入应该被保持在这些限值内。

Table 6-45. AC 技术规范

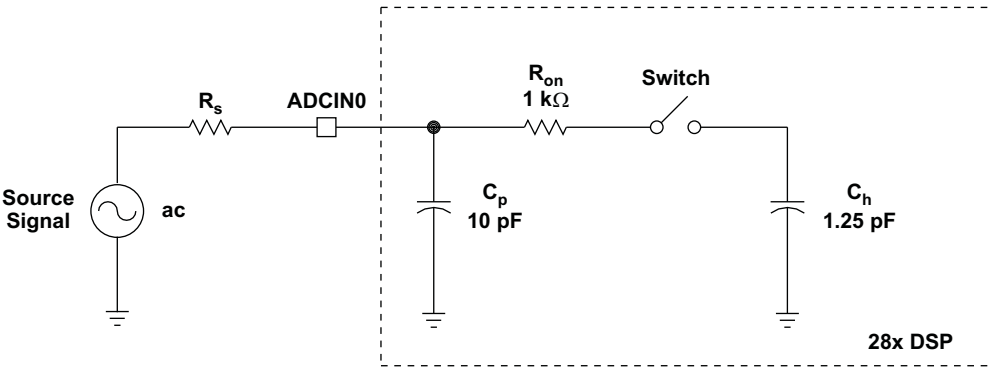
参数		最小值	典型值	最大值	单位
SINAD	信噪比 + 失真		62		dB
SNR	信噪比		62		dB
总谐波失真 (THD) (100kHz)	总谐波失真		-68		dB
ENOB (SNR)	有效位数		10.1		位
SFDR	无杂散动态范围		69		dB

6.30.3 针对不同 ADC 配置的流耗

Table 6-46. 针对不同 ADC 配置的流耗（在 25MHz ADCCLK 上）⁽¹⁾

I _{DDA} （典型值） ⁽²⁾	I _{DDAIO} （典型值）	I _{DD1} （典型值）	ADC 运行模式/条件
40mA	1μA	0.5mA	模式 A（运行模式） <ul style="list-style-type: none">BG REF 被启用PWD 被禁用
7mA	0	5μA	模式 B: <ul style="list-style-type: none">ADC 时钟被启用BG 和 REF 被启用PWD 被启用
1μA	0	5μA	模式 C: <ul style="list-style-type: none">ADC 时钟被启用BG 和 REF 被禁用PWD 被启用
1μA	0	0	模式 D: <ul style="list-style-type: none">ADC 时钟被禁用BG 和 REF 被禁用PWD 被启用

- (1) 测试条件:
- SYSCLKOUT = 150MHz
 - ADC 模块时钟 = 25MHz
 - ADC 在模式 A 中执行全部 16 个通道的连续转换
- (2) I_{DDA}包括进入 V_{DDA1}/V_{DDA2}和 AVDDREFBG 的电流



Typical Values of the Input Circuit Components:

- Switch Resistance (R_{on}): 1 kΩ
Sampling Capacitor (C_h): 1.25 pF
Parasitic Capacitance (C_p): 10 pF
Source Resistance (R_s): 50 Ω

Figure 6-39. ADC 模拟输入阻抗模型

6.30.4 ADC 加电控制位时序

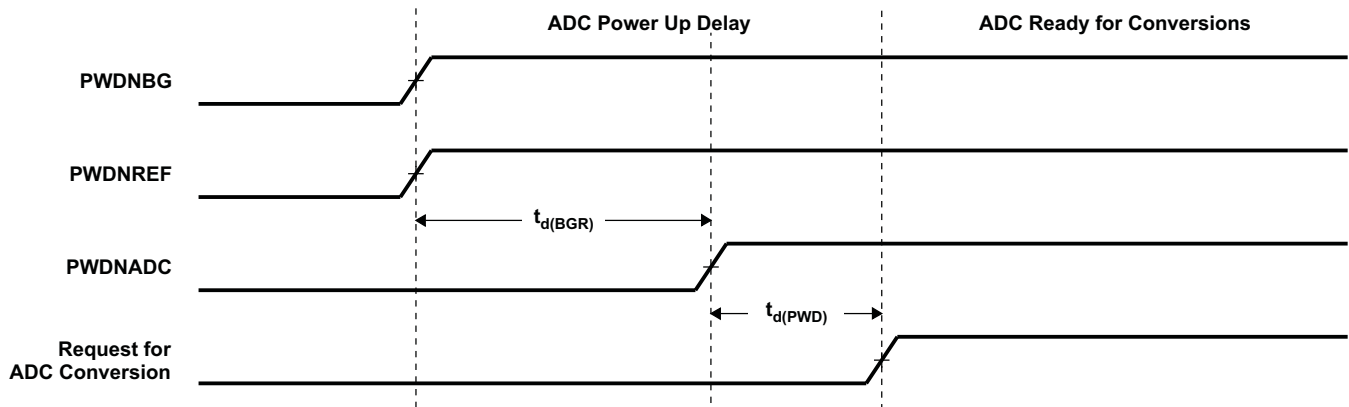


Figure 6-40. ADC 加电控制位时序

Table 6-47. ADC 加电延迟⁽¹⁾

		最小值	典型值	最大值	单位
$t_{d(BGR)}$	带隙基准稳定所需的延迟时间。ADCTRL3 寄存器的位 7 和 6 (ADCBGRFDN1/0) 在 ADCPWDN 位被启用前被设定为 1。	7	8	10	ms
$t_{d(PWD)}$	断电控制稳定所需的延迟时间。ADCTRL3 寄存器的位 5 (ADCPWDN) 在任何 ADC 转换启动前被设定为 1。	20	50		μ s
				1	ms

(1) 这些延迟是必须的并且建议在转换启动之前使 ADC 模拟基准电路稳定。如果转换在没有这些延迟的情况下启动，那么 ADC 的结果将显示出一个更改的增益。断电时，所有三个位被同时清零。

6.30.5 详细说明

6.30.5.1 基准电压

片载 ADC 有一个内置基准，这个基准为 ADC 提供了基准电压。ADCVREFP 被设定为 2.0V，而 ADCVREFM 被设定为 1.0V。

6.30.5.2 模拟输入

片载 ADC 由 16 个模拟输入组成，这些通道或者同时采样，或者每次两个通道采样。这些输入为软件可选。

6.30.5.3 转换器

片载 ADC 使用一个 12 位四级管线架构，此架构可在低功耗时实现一个高采样率。

6.30.5.4 转换时间

转换可以在两个不同的转换模式中执行：

- 顺序采样模式 (SMODE = 0)
- 同步采样模式 (SMODE = 1)

6.30.6 顺序采样模式（单通道）(SMODE = 0)

在顺序采样模式下，ADC 能够持续在任一通道（Ax 至 Bx）上转换输入信号。ADC 能够在来自事件管理器 (EVA/EVB)、软件触发器、或者从一个外部 ADCSOC 信号的事件触发上启动转换。如果 SMODE 位为 0，ADC 将在每个采样/保持脉冲上的所选通道上进行转换。下面对转换时间和结果寄存器更新的延迟进行解释说明。ADC 中断标志在结果寄存器更新之后的几个 SYSCLKOUT 周期内被设定。所选通道将在采样/保持脉冲的每个下降边沿上被采样。采样/保持脉冲宽度可被设定为 1 个ADC 时钟宽（最小值）或者 16 个ADC 时钟宽（最大值）。

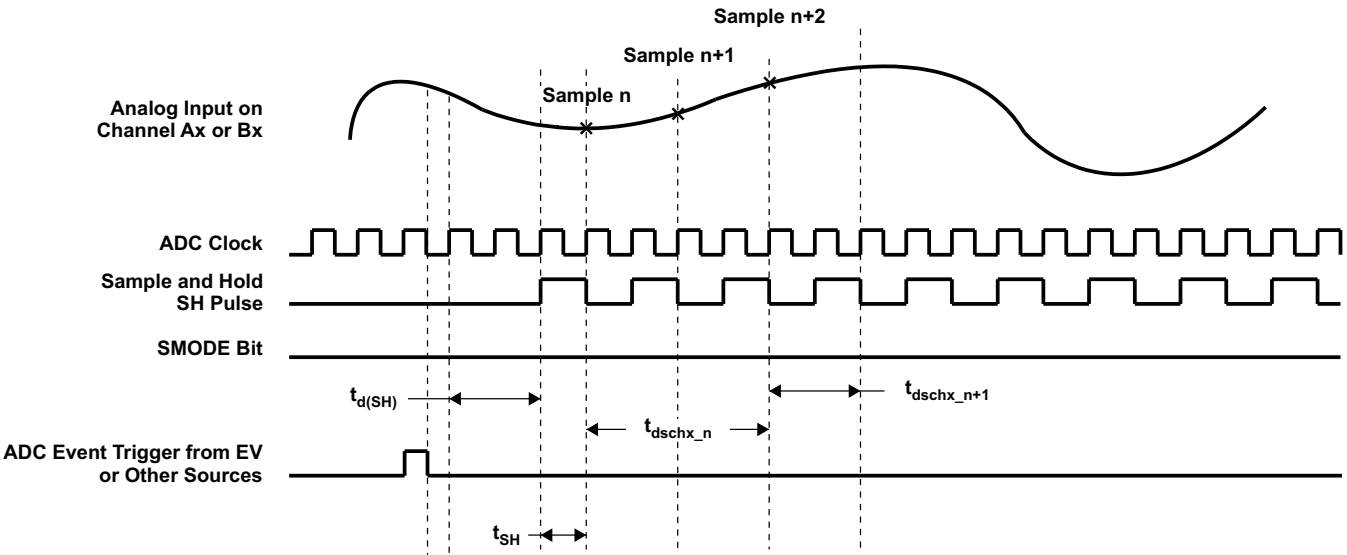


Figure 6-41. 顺序采样模式（单通道）时序

Table 6-48. 顺序采样模式时序

		SAMPLE（样本）n	SAMPLE n + 1	在 25MHz ADC 时钟上， t _c (ADCCCLK)=40ns	注释
t _d (SH)	从事件触发器到采样的延迟时间	2.5t _c (ADCCCLK)			
t _{SH}	采样 保持宽度 采集宽度	(1 + Acqps) * t _c (ADCCCLK)		Acqps = 0 时为 40ns	Acqps 值 = 0-15 ADCTRL1[8:11]
t _d (schx_n)	结果寄存器出现第一个结果的延迟时间	4t _c (ADCCCLK)		160ns	
t _d (schx_n+1)	结果寄存器中出现连续结果的延迟时间		(2 + Acqps) * t _c (ADCCCLK)	80ns	

6.30.7 同步采样模式（双通道）(SMODE=1)

在同步模式中，ADC 可在任何一对通道（A0/B0 至 A7/B7）持续转换输入信号。ADC 能够在来自事件管理器 (EVA/EVB)、软件触发器、或者从一个外部 ADCSOC 信号的事件触发上启动转换。如果 SMODE 位为 1，ADC 将在每个采样/保持脉冲上的两个所选通道上进行转换。下面对转换时间和结果寄存器更新的延迟进行解释说明。ADC 中断标志在结果寄存器更新之后的几个 SYSCLKOUT 周期内被设定。所选通道将在采样/保持脉冲的下降边沿上被同时采样。采样/保持脉冲宽度可被设定为 1 个 ADC 时钟宽（最小值）或者 16 个 ADC 时钟宽（最大值。）

NOTE

在同步模式中，ADCIN 通道对选择必须为 A0/B0, A1/B1, ..., A7/B7, 并且不是任何其它组合（例如 A1/B3, 等等）。

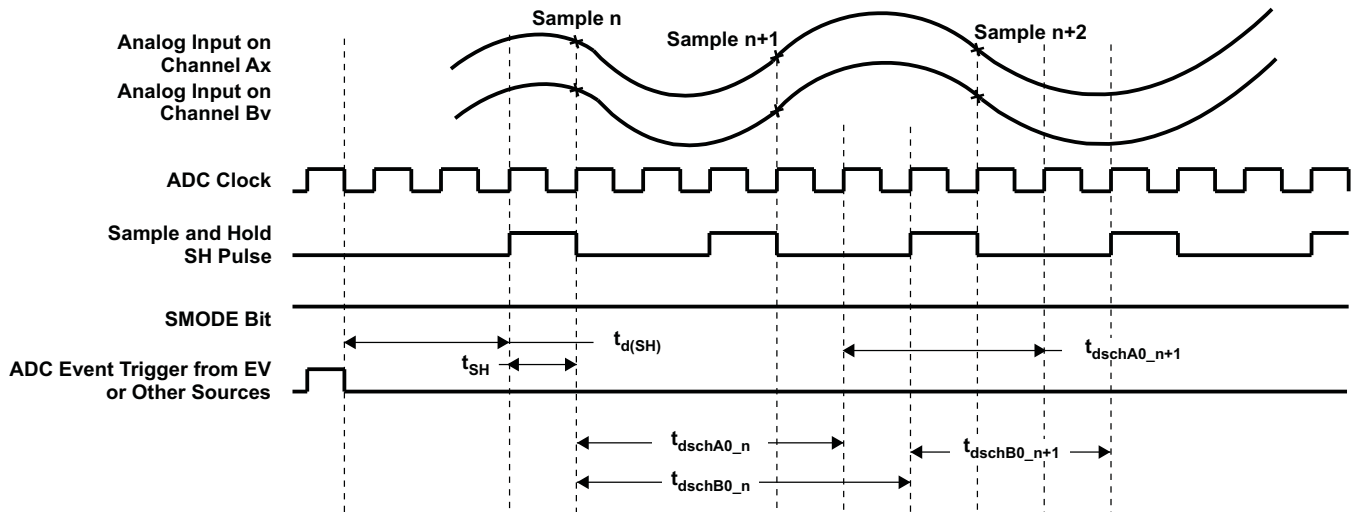


Figure 6-42. 同步采样模式时序

Table 6-49. 同步采样模式时序

		SAMPLE n	SAMPLE n + 1	在 25MHz 时 ADC 时钟, $t_c(\text{ADCCLK})=40\text{ns}$	注释
$t_d(\text{SH})$	从事件触发到采样的 延迟时间	$2.5t_c(\text{ADCCLK})$			
t_{SH}	采样/保持宽度/采集宽 度	$(1 + \text{Acqps}) * t_c(\text{ADCCLK})$		当 Acqps=0 时为 40ns	Acqps 值 = 0-15 ADCTRL1[8:11]
$t_d(\text{schA0}_n)$	结果寄存器出现第一 个结果的延迟时间	$4t_c(\text{ADCCLK})$		160ns	
$t_d(\text{schB0}_n)$	结果寄存器出现第一 个结果的延迟时间	$5t_c(\text{ADCCLK})$		200ns	
$t_d(\text{schA0}_{n+1})$	结果寄存器中出现连 续结果的延迟时间		$(3 + \text{Acqps}) * t_c(\text{ADCCLK})$	120ns	
$t_d(\text{schB0}_{n+1})$	结果寄存器中出现连 续结果的延迟时间		$(3 + \text{Acqps}) * t_c(\text{ADCCLK})$	120ns	

6.30.8 技术规范和术语的定义

积分非线性

积分非线性是指每个独立代码从零至满刻度所画的一条直线上的偏离。在首次代码转换前，作为零点的点出现 $1/2$ LSB。满刻度点被定义为超过最后一次代码转换的级别 $1/2$ LSB。这个偏离为每一个特定代码的中心到这两个点之间的精确直线的距离。

微分非线性

一个理想 ADC 显示分开距离恰好为 1 个 LSB 的代码转换。DNL 是从这个理想值的偏离。少于 ± 1 LSB 的微分非线性误差可确保无丢码。

零偏移

当模拟输入为零伏时，应当发生主进位转换。零误差被定义为实际转换到那个点的偏离。

增益误差

第一个代码转换应该出现在高于负满刻度的一个模拟值 $1/2$ LSB 上。最后一次转换应该出现在低于标称满刻度的一个模拟值 1.5 LSB 上。增益误差是首次和末次代码转换间的实际差异以及它们之间的理想差异。

信噪比+失真 (SINAD)

SINAD 是测得的输入信号的均方根值与所有其它低于那奎斯特频率的频谱分量（包括谐波但不包括 dc）的均方根总和的比。SINAD 的值用分贝表示。

有效位数 (ENOB)

对于一个正弦波，SINAD 可用位的数量表示。使用下面的公式，

$$N = \frac{(\text{SINAD} - 1.76)}{6.02}$$

有可能获得一个用 N（位的有效数）表达的性能测量值。因此，对于在给定输入频率上用于正弦波输入的器件的有效位数量可从这个测得的 SINAD 直接计算。

总谐波失真 (THD)

THD 是头流个谐波分量的均方根总和与测得的输入信号的均方根值的比并表达为一个百分比或者分贝值。

无杂散动态范围 (SFDR)

SFDR 是输入信号均方根振幅与峰值寄生信号间以分贝为单位的差异。

6.31 多通道缓冲串行端口 (McBSP) 模块

6.31.1 McBSP 发送和接收时序

Table 6-50. McBSP时序时要求⁽¹⁾⁽²⁾

编号			最小值	最大值	单位
	McBSP 模块时钟 (CLKG, CLKX, CLKR) 范围		1		kHz
				20 ⁽³⁾	MHz
	McBSP 模块周期时间 (CLKG, CLKX, CLKR) 范围		50		ns
				1	ms
M11	$t_{c}(\text{CKRX})$	周期时间, CLKR/X	CLKR/X 外部	2P	ns
M12	$t_{w}(\text{CKRX})$	脉冲持续时间, CLKR/X 高电平或者 CLKR/X 低电平的时间	CLKR/X 外部	P-7	ns
M13	$t_{r}(\text{CKRX})$	上升时间, CLKR/X	CLKR/X 外部	7	ns
M14	$t_{f}(\text{CKRX})$	下降时间, CLKR/X	CLKR/X 外部	7	ns
M15	$t_{su}(\text{FRH-CKRL})$	建立时间, 在 CLKR 低电平之前外部 FSR 为高电平的时间	CLKR 内部	18	ns
			CLKR 外部	2	
M16	$t_{h}(\text{CKRL-FRH})$	保持时间, CLKR 低电平之后, 外部 FSR 为高电平的时间	CLKR 内部	0	ns
			CLKR 外部	6	
M17	$t_{su}(\text{DRV-CKRL})$	建立时间, 在 CLKR 低电平之前, DR 有效的时间	CLKR 内部	18	ns
			CLKR 外部	2	
M18	$t_{h}(\text{CKRL-DRV})$	保持时间, 在 CLKR 低电平之后, DR 有效的时间	CLKR 内部	0	ns
			CLKR 外部	6	
M19	$t_{su}(\text{FXH-CKXL})$	建立时间, 在 CLKX 低电平之前, 外部 FSX 为高电平的时间	CLKX 内部	18	ns
			CLKX 外部	2	
M20	$t_{h}(\text{CKXL-FXH})$	保持时间, CLKX 低电平之后, 外部 FSX 为高电平的时间	CLKX 内部	0	ns
			CLKX 外部	6	

(1) 极性位 CLKRP=CLKXP=FSRP=FSXP=0。如果任一信号的极性被反转, 那么那个信号的时序基准也被反转。

(2) 2P=1/CLKG, 单位为 ns。CLKG 是采样率发生器复用的输出。CLKG = CLKSRG/(1 + CLKGDV)。

CLKSRG 可由 LSPCLK, CLKX, CLKR 供源。CLKSRG≤(SYSCLKOUT/2)。McBSP 的性能受到 I/O 缓冲器开关速度的限制。

(3) 内部时钟预分频器必须被调整, 这样的话, McBSP 时钟 (CLKG, CLKX, CLKR) 速度不会大于 I/O 缓冲器速度限制 (20MHz)。

Table 6-51. McBSP 开关特性⁽¹⁾⁽²⁾

编号	参数			最小值	最大值	单位
M1	$t_c(\text{CLKRX})$	周期时间, CLKR/X	CLKR/X 内部	2P		ns
M2	$t_w(\text{CLKRXH})$	脉冲持续时间, CLKR/X 高电平的时间	CLKR/X 内部	D-5 ⁽³⁾	D+5 ⁽³⁾	ns
M3	$t_w(\text{CLKRXL})$	脉冲持续时间, CLKR/X 低电平的时间	CLKR/X 内部	C-5 ⁽³⁾	C+5 ⁽³⁾	ns
M4	$t_d(\text{CLKRH-FRV})$	延迟时间, CLKR 高电平到内部 FSR 有效的时间	CLKR 内部	0	4	ns
			CLKR 外部	3	27	
M5	$t_d(\text{CLKXH-FXV})$	延迟时间, CLKX 高电平到内部 FSX 有效的时间	CLKX 内部	0	4	ns
			CLKX 外部	3	27	
M6	$t_{dis}(\text{CLKXH-DXHZ})$	禁用时间, CLKX 高电平到 DX 在最后一个数据位后为高阻抗的时间	CLKX 内部		8	ns
			CLKX 外部		14	
M7	$t_d(\text{CLKXH-DXV})$	延迟时间, CLKX 高电平到 DX 有效的时间。 这应用于除了第一个位之外的所有被发送的位。	CLKX 内部		9	ns
			CLKX 外部		28	
		延迟时间, CLKX 高电平到 DX 有效的时间。 当处于数据延迟 1 或者 2 (XDATDLY= 01b 或者 10b) 模式时, 只应用于发送的第一个位。	CLKX 内部		8	
			CLKX 外部		14	
			CLKX 内部		P+8	
			CLKX 外部		P+14	
M8	$t_{en}(\text{CLKXH-DX})$	使能时间, CLKX 高电平到 DX 被驱动的时间。 当处于数据延迟 1 或者 2 (XDATDLY= 01b 或者 10b) 模式时, 只应用于发送的第一个位。	DXENA=0	CLKX 内部	0	ns
			DXENA=0	CLKX 外部	6	
			DXENA=1	CLKX 内部	P	
			DXENA=1	CLKX 外部	P+6	
M9	$t_d(\text{FXH-DXV})$	延迟时间, FSX 高电平到 DX 有效的时间。 当处于数据延迟 0 (XDATDLY=00b) 模式时, 只应用于发送的第一个位。	DXENA=0	FSX 内部	8	ns
			DXENA=0	FSX 外部	14	
			DXENA=1	FSX 内部	P+8	
			DXENA=1	FSX 外部	P+14	
M10	$t_{en}(\text{FXH-DX})$	使能时间, FSX 高电平到 DX 被驱动的时间。 当处于数据延迟 0 (XDATDLY=00b) 模式时, 只应用于发送的第一个位。	DXENA=0	FSX 内部	0	ns
			DXENA=0	FSX 外部	6	
			DXENA=1	FSX 内部	P	
			DXENA=1	FSX 外部	P+6	

(1) 极性位 CLKRP=CLKXP=FSRP=FSXP=0。如果任一信号的极性被反转, 那么那个信号的时序基准也被反转。

(2) 2P=1/CLKG, 单位为 ns。

(3) C=CLKRX 低脉冲宽度 = P

D = CLKRX 高脉冲宽度 = P

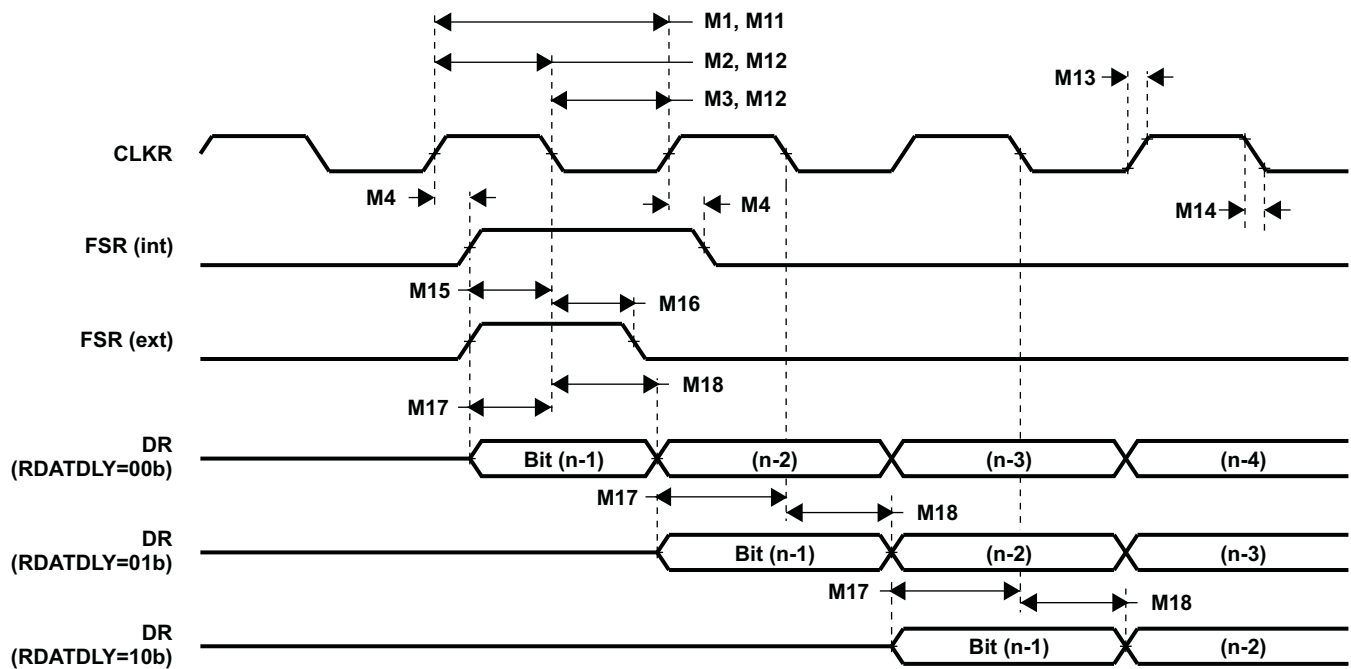


Figure 6-43. McBSP 接收时序

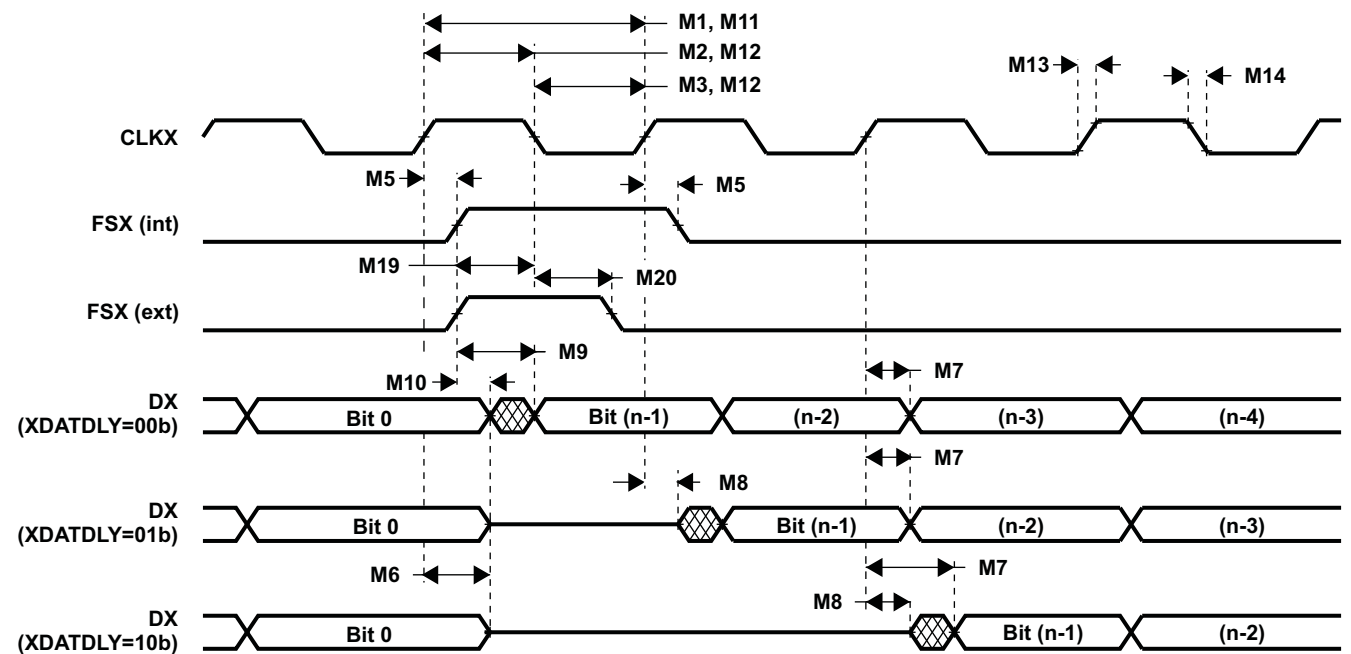


Figure 6-44. McBSP 发送时序

6.31.2 McBSP 作为 SPI 主控或者受控时序

Table 6-52. McBSP 作为 SPI 主控或者受控时序要求 (CLKSTP=10b, CLKXP=0)⁽¹⁾

编号			主控		受控		单位
			最小值	最大值	最小值	最大值	
M30	$t_{su}(DRV-CKXL)$	建立时间, 在 CLKX 低电平之前, DR 有效的时间	30		8P-10		ns
M31	$t_h(CKXL-DRV)$	保持时间, 在 CLKX 低电平之后, DR 有效的时间	1		8P-10		ns
M32	$t_{su}(BFXL-CKXH)$	建立时间, 在 CLKX 高电平之前, FSX 为低电平的时间			8P+10		ns
M33	$t_c(CKX)$	周期时间, CLKX	2P		16P		ns

(1) 2P=1/CLKG。
对于所有 SPI 受控模式, CLKX 必须至少为 8 个 CLKG 周期。此外, 通过设置 CLKSM=CLKGDV=1, CLKG 应该为 LSPCLK//2。借助于 75MHz 的最大 LSPCLK 速度, CLKX 最大频率为 LSPCLK/16, 即 4.6875MHz 且 P=13.3ns。

Table 6-53. McBSP 作为 SPI 主控或者受控开关特性 (CLKSTP= 10b, CLKXP= 0)⁽¹⁾

编号	参数	主控		受控		单位
		最小值	最大值	最小值	最大值	
M24	$t_h(CKXL-FXL)$	保持时间, CLKX 低电平之后, FSX 为低电平的时间	2P			ns
M25	$t_d(FXL-CKXH)$	延迟时间, FSX 低电平到 CLKX 变为高电平的时间	P			ns
M28	$t_{dis}(FXH-DXHZ)$	禁用时间, 从 FSX 高电平到最后一个数据位后 DX 高阻抗的时间	6	6P+6		ns
M29	$t_d(FXL-DXV)$	延迟时间, FSX 低电平到 DX 有效时的时间	6	4P+6		ns

(1) 2P=1/CLKG。
对于所有 SPI 受控模式, CLKX 必须至少为 8 个 CLKG 周期。此外, 通过设置 CLKSM=CLKGDV=1, CLKG 应该为 LSPCLK//2。借助于 75MHz 的最大 LSPCLK 速度, CLKX 最大频率为 LSPCLK/16, 即 4.6875MHz 且 P=13.3ns。

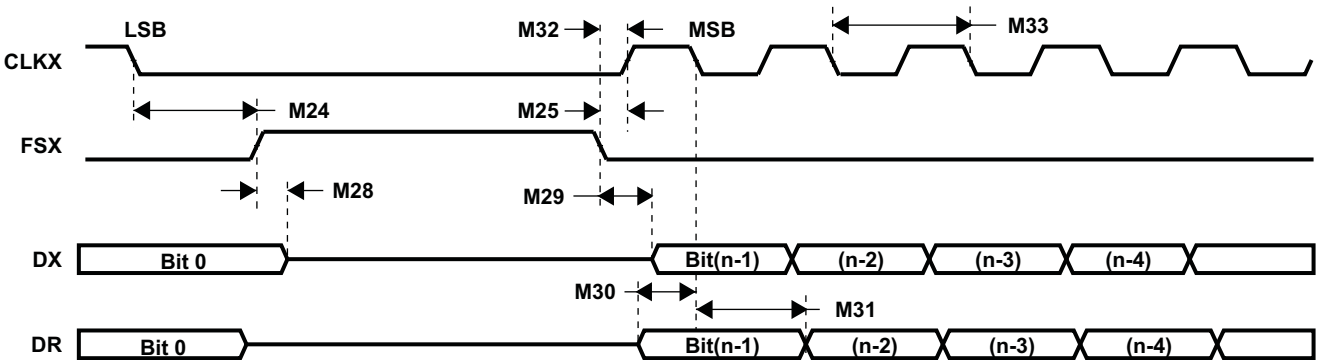


Figure 6-45. 作为 SPI 主控或者受控时的 McBSP 时序: CLKSTP=10b, CLKXP=0

Table 6-54. 作为 SPI 主控或者受控时的 McBSP 时序要求 (CLKSTP=11b, CLKXP=0)⁽¹⁾

编号		主控		受控		单位
		最小值	最大值	最小值	最大值	
M39	$t_{su}(DRV-CKXH)$ 建立时间, CLKX 高电平前, DR 有效时间	30		8P-10		ns
M40	$t_h(CKXH-DRV)$ 保持时间, CLKX 高电平后, DR 有效时间	1		8P-10		ns
M41	$t_{su}(FXL-CKXH)$ 建立时间, CLKX 高电平前, FSX 为低电平的时间			16P+10		ns
M42	$t_c(CKX)$ 周期时间, CLKX	2P		16P		ns

(1) $2P=1/CLKG$ 。

对于所有 SPI 受控模式, CLKX 必须至少为 8 个 CLKG 周期。此外, 通过设置 CLKSM=CLKGDV=1, CLKG 应该为 LSPCLK/2。借助于 75MHz 的最大 LSPCLK 速度, CLKX 最大频率为 LSPCLK/16, 即 4.6875MHz 且 P=13.3ns。

Table 6-55. McBSP 作为 SPI 主控或者受控时的开关特性 (CLKSTP= 11b, CLKXP= 0)⁽¹⁾

编号	参数	主控		受控		单位
		最小值	最大值	最小值	最大值	
M34	$t_h(CKXL-FXL)$ 保持时间, CLKX 低电平后, FSX 为低电平的时间	P				ns
M35	$t_d(FXL-CKXH)$ 延迟时间, FSX 低电平到 CLKX 为高电平的时间	2P				ns
M37	$t_{dis}(CKXL-DXHZ)$ 禁用时间, 从 CLKX 低电平到最后一个数据位后的 DX 高阻抗的时间	P+6		7P+6		ns
M38	$t_d(FXL-DXV)$ 延迟时间, FSX 低电平到 DX 有效时的时间	6		4P+6		ns

(1) $2P=1/CLKG$ 。

对于所有 SPI 受控模式, CLKX 必须至少为 8 个 CLKG 周期。此外, 通过设置 CLKSM=CLKGDV=1, CLKG 应该为 LSPCLK/2。借助于 75MHz 的最大 LSPCLK 速度, CLKX 最大频率为 LSPCLK/16, 即 4.6875MHz 且 P=13.3ns。

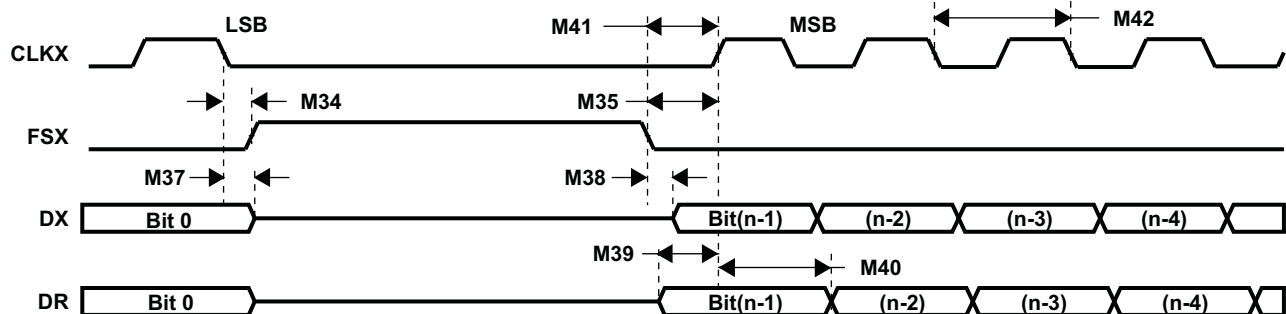


Figure 6-46. 作为 SPI 主控或者受控时的 McBSP 时序: CLKSTP= 11b, CLKXP= 0

Table 6-56. McBSP 作为 SPI 主控或者受控时的时序要求 (CLKSTP= 10b, CLKXP= 1)⁽¹⁾

编号		主控		受控		单位
		最小值	最大值	最小值	最大值	
M49	$t_{su}(DRV-CKXH)$ 建立时间, CLKX 高电平前, DR 的有效时间	30		8P-10		ns
M50	$t_h(CKXH-DRV)$ 保持时间, CLKX 高电平后, DR 的有效时间	1		8P-10		ns
M51	$t_{su}(FXL-CKXL)$ 建立时间, CLKX 低电平前, FSX 为低电平的时间			8P+10		ns
M52	$t_c(CKX)$ 周期时间, CLKX	2P		16P		ns

(1) $2P=1/CLKG$ 。
对于所有 SPI 受控模式, CLKX 必须至少为 8 个 CLKG 周期。此外, 通过设置 CLKSM=CLKGDV=1, CLKG 应该为 LSPCLK/2。借助于 75MHz 的最大 LSPCLK 速度, CLKX 最大频率为 LSPCLK/16, 即 4.6875MHz 且 P=13.3ns。

Table 6-57. McBSP 作为 SPI 主控或者受控时的开关特性 (CLKSTP= 10b, CLKXP= 1)⁽¹⁾

编号	参数	主控		受控		单位
		最小值	最大值	最小值	最大值	
M43	$t_h(CKXH-FXL)$ 保持时间, CLKX 高电平后, FSX 为低电平的时间	2P				ns
M44	$t_d(FXL-CKXL)$ 延迟时间, FSX 低电平时间到 CLKX 低电平的时间	P				ns
M47	$t_{dis}(FXH-DXHZ)$ 禁用时间, 从 FSX 高电平到最后一个数据位后 DX 高阻抗的时间	6		6P+6		ns
M48	$t_d(FXL-DXV)$ 延迟时间, FSX 低电平到 DX 有效时的时间	6		4P+6		ns

(1) $2P=1/CLKG$ 。
对于所有 SPI 受控模式, CLKX 必须至少为 8 个 CLKG 周期。此外, 通过设置 CLKSM=CLKGDV=1, CLKG 应该为 LSPCLK/2。借助于 75MHz 的最大 LSPCLK 速度, CLKX 最大频率为 LSPCLK/16, 即 4.6875MHz 且 P=13.3ns。

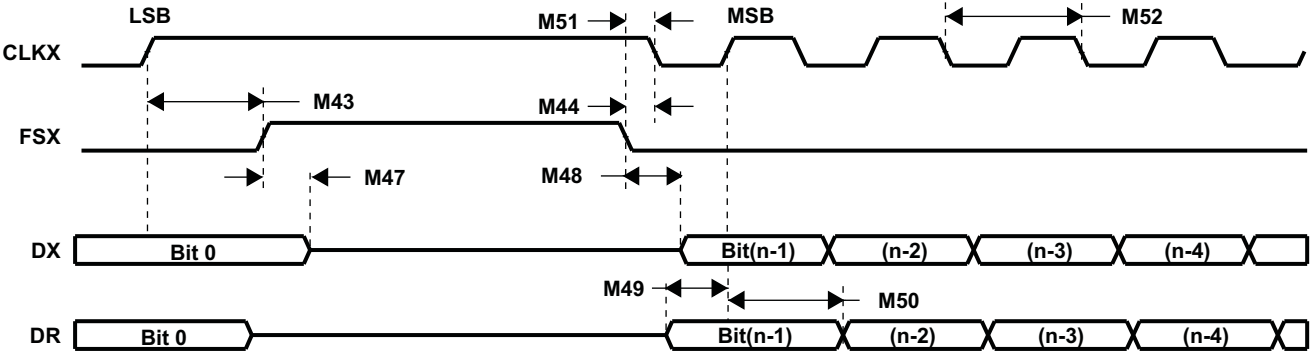


Figure 6-47. 作为 SPI 主控或者受控时的 McBSP 时序: CLKSTP= 10b, CLKXP= 1

Table 6-58. McBSP 作为 SPI 主控或者受控时的时序要求 (CLKSTP= 11b, CLKXP= 1)⁽¹⁾

编号			主控		受控		单位
			最小值	最大值	最小值	最大值	
M58	$t_{su}(DRV-CKXL)$	建立时间, 在 CLKX 低电平之前, DR 的有效时间	30		8P-10		ns
M59	$t_h(CKXL-DRV)$	保持时间, 在 CLKX 低电平之后, DR 的有效时间	1		8P-10		ns
M60	$t_{su}(FXL-CKXL)$	建立时间, CLKX 低电平前, FSX 为低电平的时间			16P+10		ns
M61	$t_c(CKX)$	周期时间, CLKX	2P		16P		ns

- (1) $2P=1/CLKG$ 。
对于所有 SPI 受控模式, CLKX 必须至少为 8 个 CLKG 周期。此外, 通过设置 CLKSM=CLKGDV=1, CLKG 应该为 LSPCLK/2。借助于 75MHz 的最大 LSPCLK 速度, CLKX 最大频率为 LSPCLK/16, 即 4.6875MHz 且 $P=13.3ns$ 。

Table 6-59. McBSP 作为 SPI 主控或者受控时的开关特性 (CLKSTP= 11b, CLKXP= 1)⁽¹⁾

编号	参数	主控		受控		单位
		最小值	最大值	最小值	最大值	
M53	$t_h(CKXH-FXL)$	保持时间, CLKX 高电平后, FSX 为低电平的时间	P			ns
M54	$t_d(FXL-CKXL)$	延迟时间, FSX 低电平时间到 CLKX 低电平的时间	2P			ns
M55	$t_d(CLKXH-DXV)$	延迟时间, CLKX 高电平到 DX 有效的时间	-2	0	3P+6 5P+20	ns
M56	$t_{dis}(CKXH-DXHZ)$	禁用时间, 从 CLKX 高电平到最后一个数据位后的 DX 高阻抗的时间	P+6		7P+6	ns
M57	$t_d(FXL-DXV)$	延迟时间, FSX 低电平到 DX 有效时的时间	6		4P+6	ns

- (1) $2P=1/CLKG$ 。
对于所有 SPI 受控模式, CLKX 必须至少为 8 个 CLKG 周期。此外, 通过设置 CLKSM=CLKGDV=1, CLKG 应该为 LSPCLK/2。借助于 75MHz 的最大 LSPCLK 速度, CLKX 最大频率为 LSPCLK/16, 即 4.6875MHz 且 $P=13.3ns$ 。

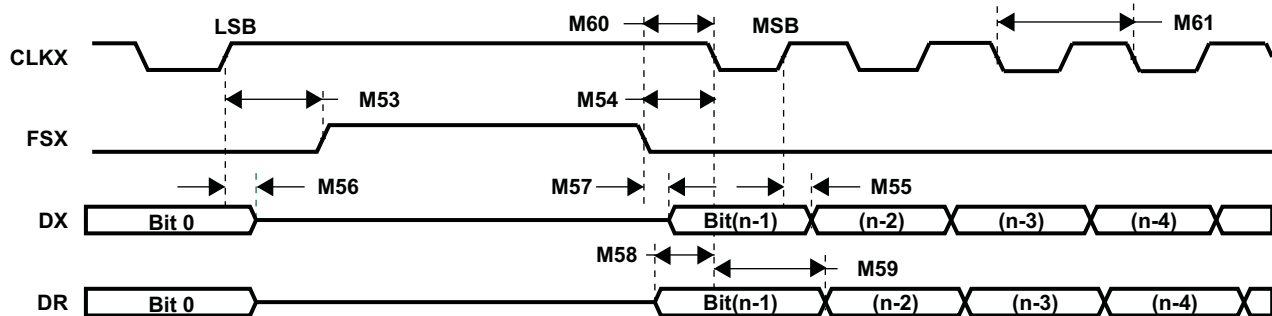


Figure 6-48. 作为 SPI 主控或者受控时的 McBSP 时序: CLKSTP= 11b, CLKXP= 1

6.32 闪存时序（只适用于 F281x）

Table 6-60. 对于 A 和 S 温度材料的闪存耐受度⁽¹⁾

	擦除/编程 温度	最小值	典型值	最大值	单位
N_f 闪存对于阵列的耐受度（写入/擦除周期）	0°C 至 85°C（环境温度）	20000 ⁽²⁾	50000 ⁽²⁾		周期
N_{OTP} OTP 对于阵列的耐受度（写入周期）	0°C 至 85°C（环境温度）			1	写入

(1) 所示温度范围之外的写入/擦除操作并未说明，有可能影响耐受数。

(2) 20000（最小值）和 50000（典型值）写入/擦除周期数量只适用于芯片修订版本 G。对于更早的芯片修订版本，所适用的写入/擦除周期数量为 100（最小值）和 1000（典型值）。

Table 6-61. 闪存对于 Q 温度材料的耐受度⁽¹⁾

	擦除/编程 温度	最小值	典型值	最大值	单位
N_f 闪存对于阵列的耐受度（写入/擦除周期）	-40°C 至 125°C（环境温度）	20000 ⁽²⁾	50000 ⁽²⁾		周期
N_{OTP} OTP 对于阵列的耐受度（写入周期）	-40°C 至 125°C（环境温度）			1	写入

(1) 所示温度范围之外的写入/擦除操作并未说明，有可能影响耐受数。

(2) 20000（最小值）和 50000（典型值）写入/擦除周期数量只适用于芯片修订版本 G。对于更早的芯片修订版本，所适用的写入/擦除周期数量为 100（最小值）和 1000（典型值）。

Table 6-62. 150MHz SYSCLKOUT 上的闪存参数：⁽¹⁾

参数			最小值	典型值	最大值	单位
编程时间	16 位字	使用闪存 API v1 ⁽²⁾		35		μ s
		使用闪存 API v2.10		50		
	8K 扇区	使用闪存 API v1 ⁽²⁾		170		ms
		使用闪存 API v2.10		250		
	16K 扇区	使用闪存 API v1 ⁽²⁾		320		ms
		使用闪存 API v2.10		500		
擦除时间 ⁽³⁾	8K 扇区			10		s
	16K 扇区			11		
$I_{DD3VFLP}$	擦除/编程周期期间的 V_{DD3VFL} 流耗	擦除		75		mA
		编程		35		
I_{DDP}	擦除/编程周期期间的 V_{DD} 流耗			140		mA
I_{DDIOP}	擦除/编程周期期间的 V_{DDIO} 流耗			20		mA

(1) 室温下包括函数调用开销在内的典型参数，是在所有外设关闭时的参数。

(2) 闪存 API v1.00 只可用于修订版本 C 芯片。

(3) 当器件从 TI 出货时，片载闪存存储器处于一个被擦除状态。这样，当首次编辑器件时，在编程前无需擦除闪存存储器。然而，对于所有随后的编程操作，需要执行擦除操作。

Table 6-63. 闪存 / OTP 访问时序

参数		最小值	最大值	单位
$t_{a(fp)}$	页式闪存访问时间	36		ns
$t_{a(fr)}$	随机闪存访问时间	36		ns
$t_{a(OTP)}$	OTP 访问时间	60		ns

Table 6-64. 不同频率上所要求的最小闪存等待状态（F281x 器件）

SYSCLKOUT (MHz)	SYSCLKOUT (ns)	页面 等待状态 ⁽¹⁾	随机 等待状态 ^{(1) (2)}	OTP
150	6.67	5	5	8
120	8.33	4	4	7
100	10	3	3	5
75	13.33	2	2	4
50	20	1	1	2
30	33.33	1	1	1
25	40	0	1	1
15	66.67	0	1	1
4	250	0	1	1

(1) 用于计算页等待状态和随机等待状态的公式:

$$\text{Flash Page Wait State} = \left\lceil \left(\frac{t_{a(fp)}}{t_{c(SCO)}} \right) - 1 \right\rceil \quad (\text{round up to the next highest integer, or 0, whichever is larger})$$

$$\text{Flash Random Wait State} = \left\lceil \left(\frac{t_{a(fr)}}{t_{c(SCO)}} \right) - 1 \right\rceil \quad (\text{round up to the next highest integer, or 1, whichever is larger})$$

$$\text{OTP Wait State} = \left\lceil \left(\frac{t_{a(OTP)}}{t_{c(SCO)}} \right) - 1 \right\rceil \quad (\text{round up to the next highest integer, or 1, whichever is larger})$$

(2) 随机等待状态必须大于或者等于 1。

6.33 ROM 时序（只适用于 C281x）**Table 6-65. ROM 访问时序**

参数		最小值	最大值	单位
$t_{a(rp)}$	页式 ROM 访问时间	23		ns
$t_{a(rr)}$	随机 ROM 访问时间	23		ns
$t_{a(ROM)}$	ROM（OTP 区域）访问时间 ⁽¹⁾	60		ns

(1) 在 C281x 器件中，一个 1K x 16 ROM 取代了闪存器件中的 OTP 块。

Table 6-66. 不同频率上所要求的最小 ROM 等待状态（C281x 器件）

SYSCLOCKOUT (MHz)	SYSCLOCKOUT (ns)	页等待状态 ⁽¹⁾	随机等待状态 ^{(1) (2)}
150	6.67	3	3
120	8.33	2	2
100	10	2	2
75	13.33	1	1
50	20	1	1
30	33.33	0	1
25	40	0	1
15	66.67	0	1
4	250	0	1

(1) 用于计算页等待状态和随机等待状态的公式：

$$\text{ROM Page Wait State} = \left\lceil \left(\frac{t_{a(rp)}}{t_{c(SCO)}} \right) - 1 \right\rceil \quad (\text{round up to the next highest integer, or 0, whichever is larger})$$

$$\text{ROM Random Wait State} = \left\lceil \left(\frac{t_{a(rr)}}{t_{c(SCO)}} \right) - 1 \right\rceil \quad (\text{round up to the next highest integer, or 1, whichever is larger})$$

(2) 随机等待状态必须大于或者等于 1。

6.34 从 F281x 器件到 C281x 器件的迁移

在从 F281x 器件向 C281x 器件迁移时，需要考虑的迁移事项如下：

- F281x 器件内的 1K OTP 内存已经被 C281x 器件中的 1K ROM 取代。
- 无需对 C281x 器件进行电源排序。换言之，3.3V 和 1.8V（或者 1.9V）可以一起斜升。C281x 还可以在执行了 F281x 电源排序的电路板上使用；然而，如果 1.8V（或者 1.9V）电源轨落后于 3.3V 电源轨，GPIO 引脚在 1.8V 电源轨至少达到 1 V 前处于未定义状态。
- 对于所有四个可能模式，F281x 和 C281x 器件的流耗不同。准确值请见适当的电气部分。
- V_{DD3VFL} 引脚是 F281x 器件中的 3.3V 闪存内核电源引脚，而在 C281x 器件中为一个 V_{DDIO} 引脚。
- F281x 和 C281x 器件为引脚兼容且代码兼容；然而，它们具有不同的电磁干扰 (EMI) / 静电放电 (ESD) 属性。在增加 C281x 器件的产量之前，评估两个器件的硬件设计性能。
- OTP 中地址 0x3D 7BFC 至 0x3D 7BFF 和主 ROM 阵列中的地址 0x3F7FF2 到 0x3F7FF5 为 ROM 特定部件信息预留并且不可用于用户应用。
- 对于 1-25MHz 的全范围，C281x 器件中的 ADC 模块能够运行在 ADCRESEXT 引脚上的 24.9kΩ 偏置电流上。当 F281x 设计向 C281x 迁移时，使用一个 24.9kΩ 电阻器来偏置 ADC。
- 针对闪存和 ROM 部件的页面和随机等待状态技术规范是不同的。在闪存向 ROM 部件迁移时，同一个等待状态值必须被用于最佳性能兼容性（例如，在使用软件延迟环路或者精准中断延迟十分关键的应用中）。
- 对于闪存和 ROM 部件，PART-ID 寄存器值是不同的。

281x

器件的勘误表，请参阅

《TMS320F2810, TMS320F2811, TMS320F2812, TMS320C2810, TMS320C2811, TMS320C2812 DSP 芯片勘误表》（文献编号 [SPRZ193](#)）。

7 修订历史记录

这个数据表的修订历史记录强调了使 **SPRS174S** 器件专用数据表变为 **SPRS174T** 修订版本所做的技术改变。

范围： 见下表。

位置	添加、删除、和修改
节 1.1	特性: <ul style="list-style-type: none">• 添加了“字节序：小端序” 特性
Table 6-4	推荐的“低压降稳压器” <ul style="list-style-type: none">• 用 TPS75005 替代 TPS767D301• 添加了 DESCRIPTION（说明）列
Table 6-59	作为 SPI 主控或者受控时的 McBSP 开关特性 (CLKSTP = 11b, CLKXP = 1): <ul style="list-style-type: none">• 添加了参数 M55, $t_{d(CLKXH-DXV)}$, 延迟时间, CLKX 高电平至 DX 有效的时间
Table 6-62	150MHz SYSCCLKOUT 上的闪存参数: <ul style="list-style-type: none">• 增加与器件被运出时闪存存储器处于被擦除状态时的脚注。

8 机械数据

Table 8-1到Table 8-4提供了针对不同封装的热阻特性。

Table 8-1. 针对 179 焊球 GHH 封装的热阻特性

参数	179-GHH 封装	单位
Ψ_{JT}	0.658	°C/W
Θ_{JA}	42.57	°C/W
Θ_{JC}	16.08	°C/W

Table 8-2. 针对 179 焊球 ZHH 封装的热阻特性

参数	179-ZHH 封装	单位
Ψ_{JT}	0.658	°C/W
Θ_{JA}	42.57	°C/W
Θ_{JC}	16.08	°C/W

Table 8-3. 针对 176 引脚 PGF 封装的热阻特性

参数	176-PGF 封装	单位
Ψ_{JT}	0.247	°C/W
Θ_{JA}	41.88	°C/W
Θ_{JC}	9.73	°C/W

Table 8-4. 针对 128 引脚 PBK 封装的热阻特性

参数	128-PBK 封装	单位
Ψ_{JT}	0.271	°C/W
Θ_{JA}	41.65	°C/W
Θ_{JC}	10.76	°C/W

下面的机械封装图反映了最新发布的用于指定器件的机械数据。

PACKAGING INFORMATION

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/ Ball Finish	MSL Peak Temp ⁽³⁾	Samples (Requires Login)
TMS320C2810PBKA	ACTIVE	LQFP	PBK	128		TBD	Call TI	Call TI	
TMS320C2810PBKQ	ACTIVE	LQFP	PBK	128		TBD	Call TI	Call TI	
TMS320C2811PBKA	ACTIVE	LQFP	PBK	128		TBD	Call TI	Call TI	
TMS320C2811PBKQ	ACTIVE	LQFP	PBK	128		TBD	Call TI	Call TI	
TMS320C2812PGFA	ACTIVE	LQFP	PGF	176		TBD	Call TI	Call TI	
TMS320F2810PBKA	ACTIVE	LQFP	PBK	128	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TMS320F2810PBKQ	ACTIVE	LQFP	PBK	128	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TMS320F2810PBKS	ACTIVE	LQFP	PBK	128	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TMS320F2811PBKA	ACTIVE	LQFP	PBK	128	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TMS320F2811PBKQ	ACTIVE	LQFP	PBK	128	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TMS320F2811PBKS	ACTIVE	LQFP	PBK	128	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TMS320F2812GHHA	ACTIVE	BGA MICROSTAR	GHH	179	160	TBD	SNPB	Level-3-220C-168 HR	
TMS320F2812GHHR	ACTIVE	BGA MICROSTAR	GHH	179	1000	TBD	SNPB	Level-3-220C-168 HR	
TMS320F2812GHHQ	ACTIVE	BGA MICROSTAR	GHH	179	160	TBD	SNPB	Level-3-220C-168 HR	
TMS320F2812GHHS	ACTIVE	BGA MICROSTAR	GHH	179	160	TBD	SNPB	Level-3-220C-168 HR	
TMS320F2812PGFA	ACTIVE	LQFP	PGF	176	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	
TMS320F2812PGFQ	ACTIVE	LQFP	PGF	176	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	
TMS320F2812PGFS	ACTIVE	LQFP	PGF	176	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	
TMS320F2812ZHHA	ACTIVE	BGA MICROSTAR	ZHH	179	160	Green (RoHS & no Sb/Br)	SNAGCU	Level-3-260C-168 HR	

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/ Ball Finish	MSL Peak Temp ⁽³⁾	Samples (Requires Login)
TMS320F2812ZHAR	ACTIVE	BGA MICROSTAR	ZHH	179	1000	Green (RoHS & no Sb/Br)	SNAGCU	Level-3-260C-168 HR	
TMS320F2812ZHHS	ACTIVE	BGA MICROSTAR	ZHH	179	160	Green (RoHS & no Sb/Br)	SNAGCU	Level-3-260C-168 HR	

⁽¹⁾ The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS), Pb-Free (RoHS Exempt), or Green (RoHS & no Sb/Br) - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

TBD: The Pb-Free/Green conversion plan has not been defined.

Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

Pb-Free (RoHS Exempt): This component has a RoHS exemption for either 1) lead-based flip-chip solder bumps used between the die and package, or 2) lead-based die adhesive used between the die and leadframe. The component is otherwise considered Pb-Free (RoHS compatible) as defined above.

Green (RoHS & no Sb/Br): TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

⁽³⁾ MSL, Peak Temp. -- The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TMS320F2812 :

● Catalog: [SM320F2812](#)

● Enhanced Product: [SM320F2812-EP](#)

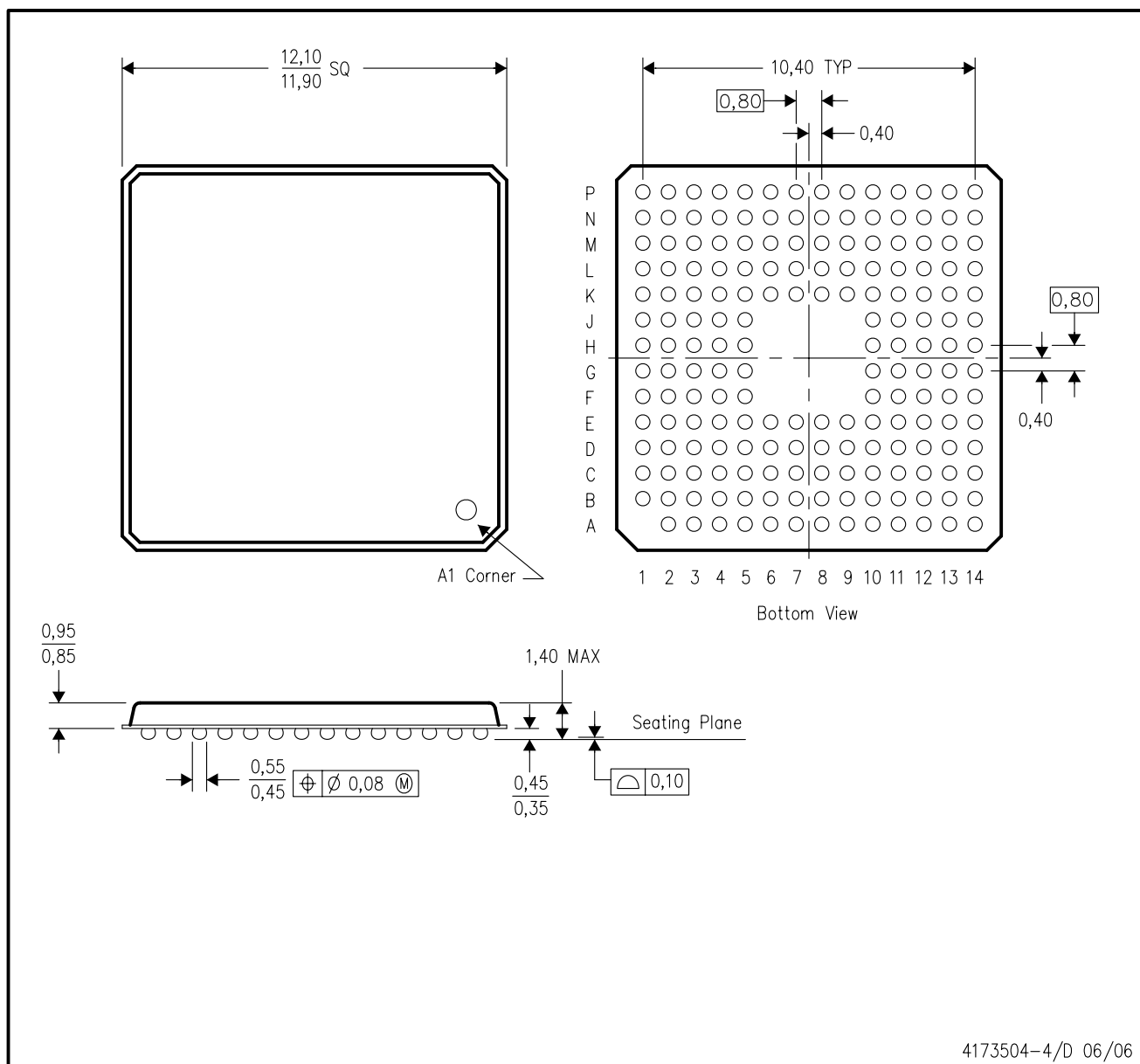
● Military: [SMJ320F2812](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

GHH (S-PBGA-N179)

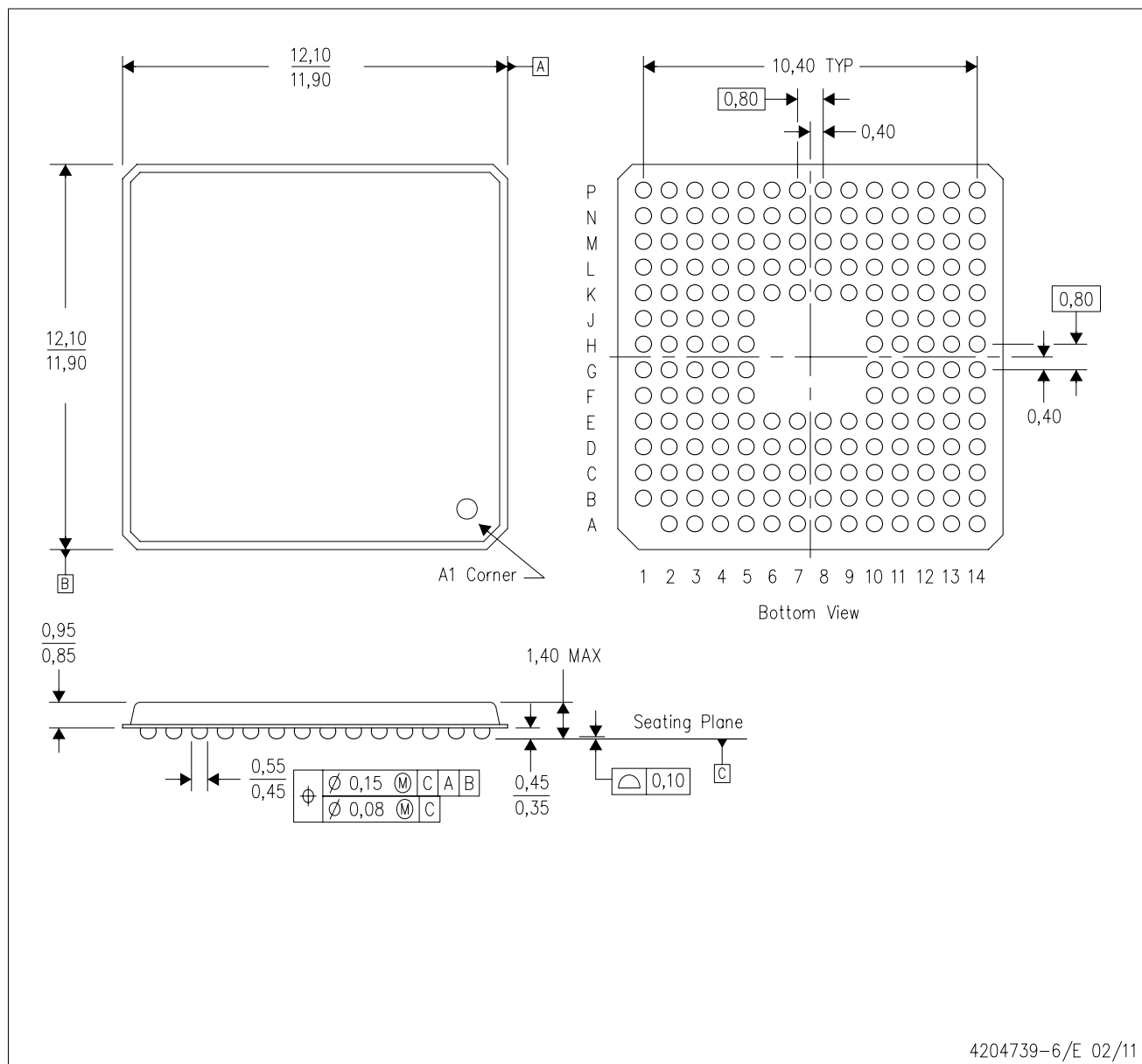
PLASTIC BALL GRID ARRAY



NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Micro Star BGA configuration

ZHH (S-PBGA-N179)

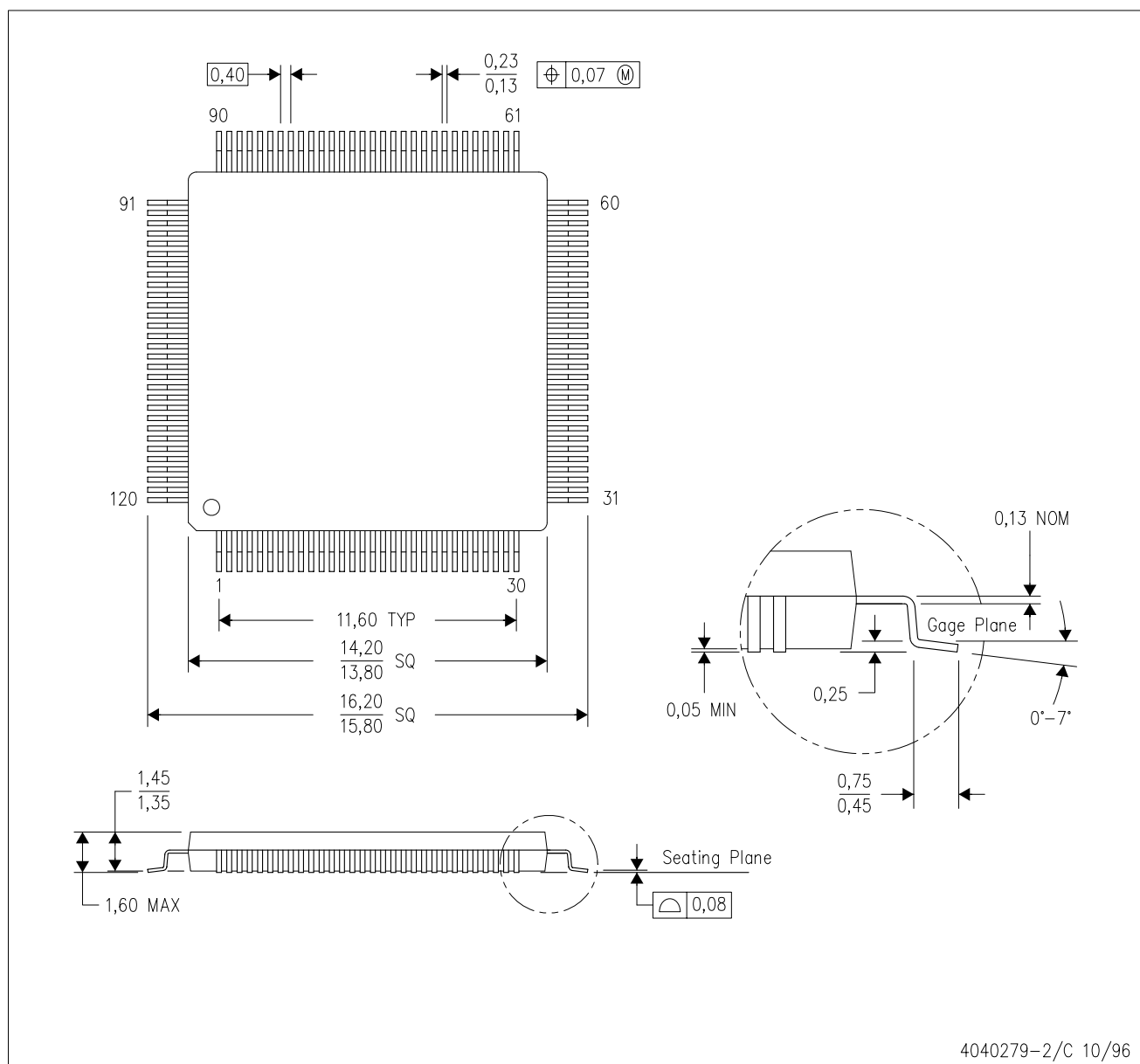
PLASTIC BALL GRID ARRAY



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. MicroStar BGA configuration.
 - D. This is a Pb-free solder ball design.

PBK (S-PQFP-G120)

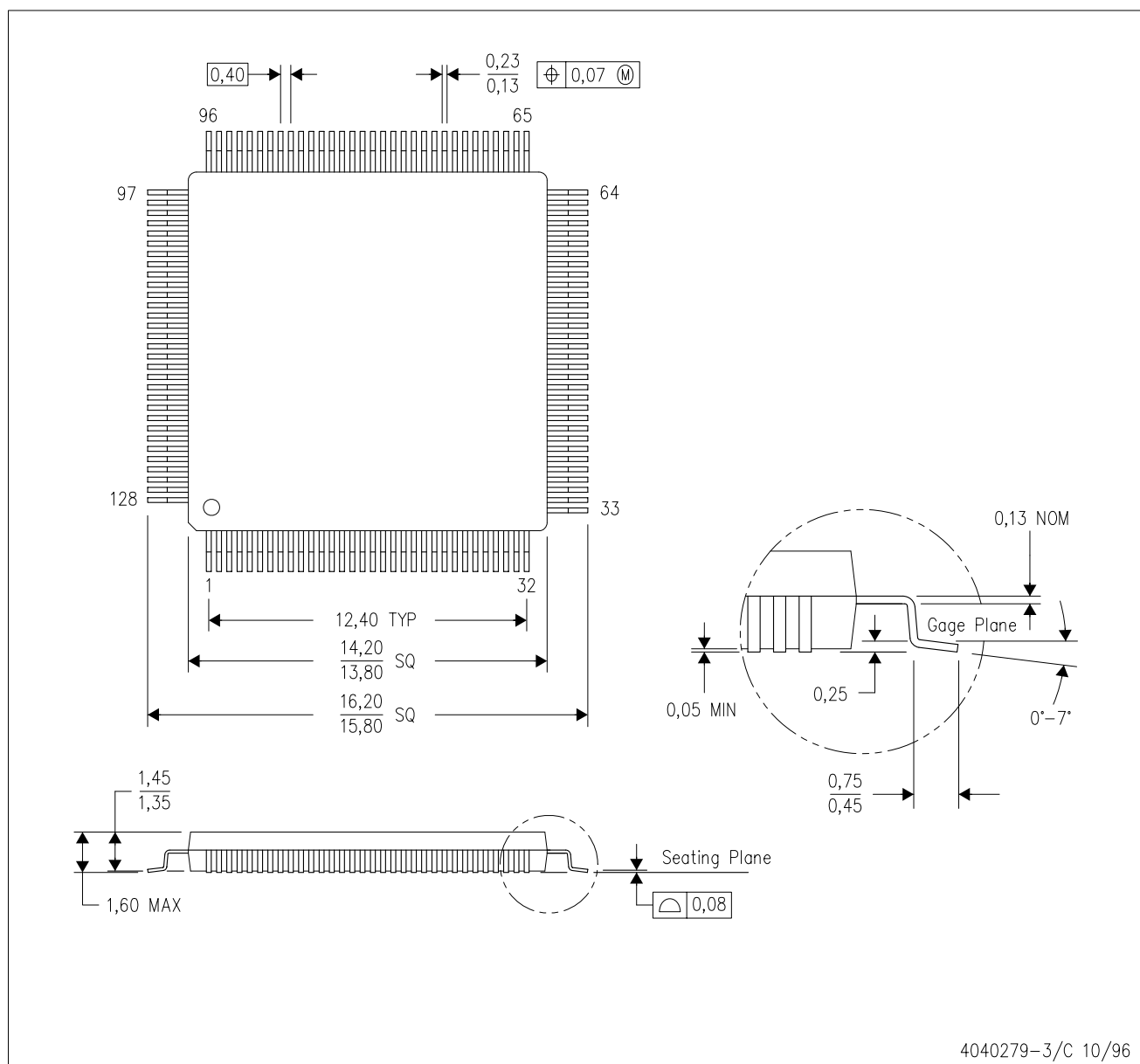
PLASTIC QUAD FLATPACK



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Falls within JEDEC MS-026

PBK (S-PQFP-G128)

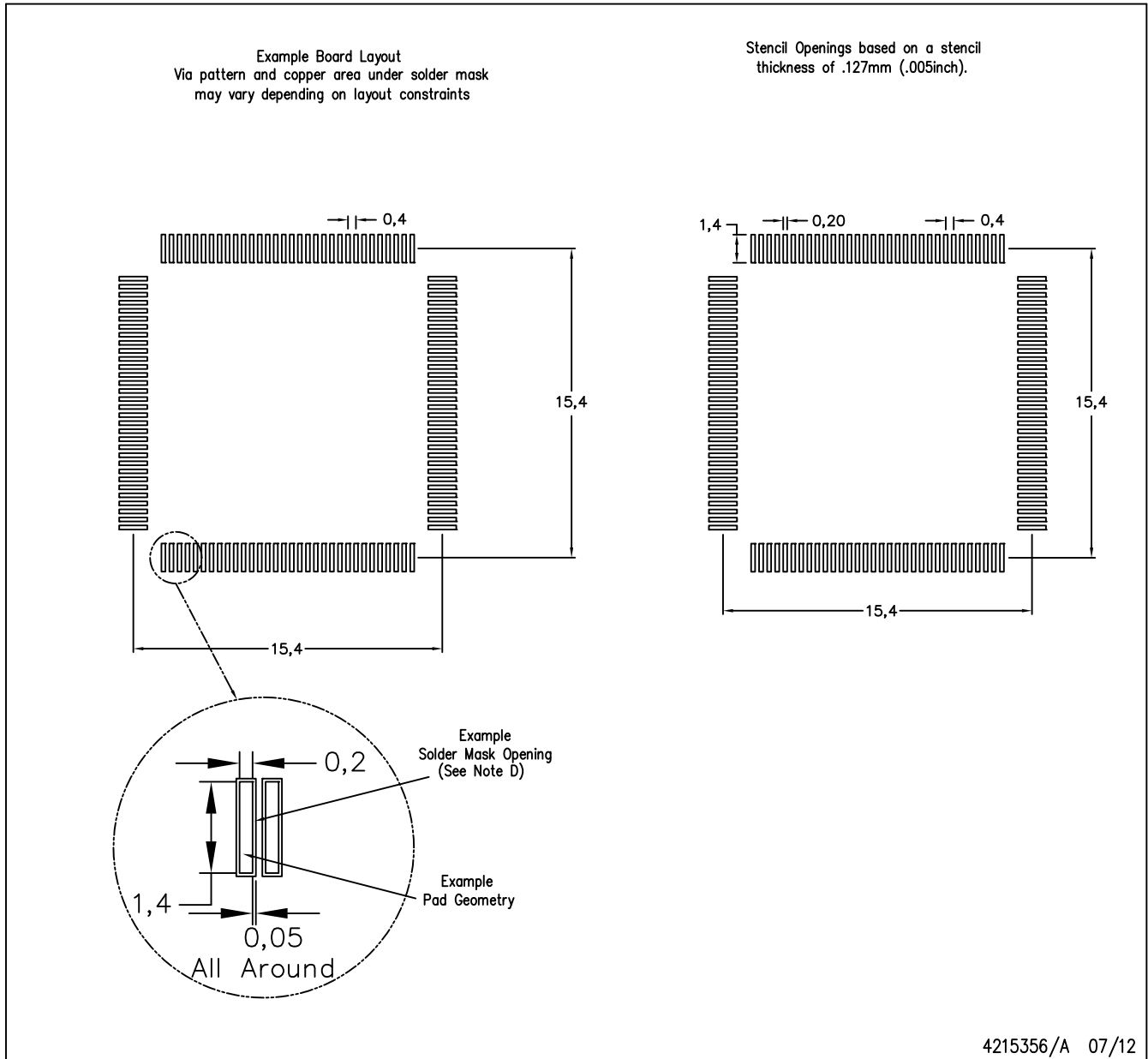
PLASTIC QUAD FLATPACK



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Falls within JEDEC MS-026

PBK (S-PQFP-G128)

PLASTIC QUAD FLAT PACK

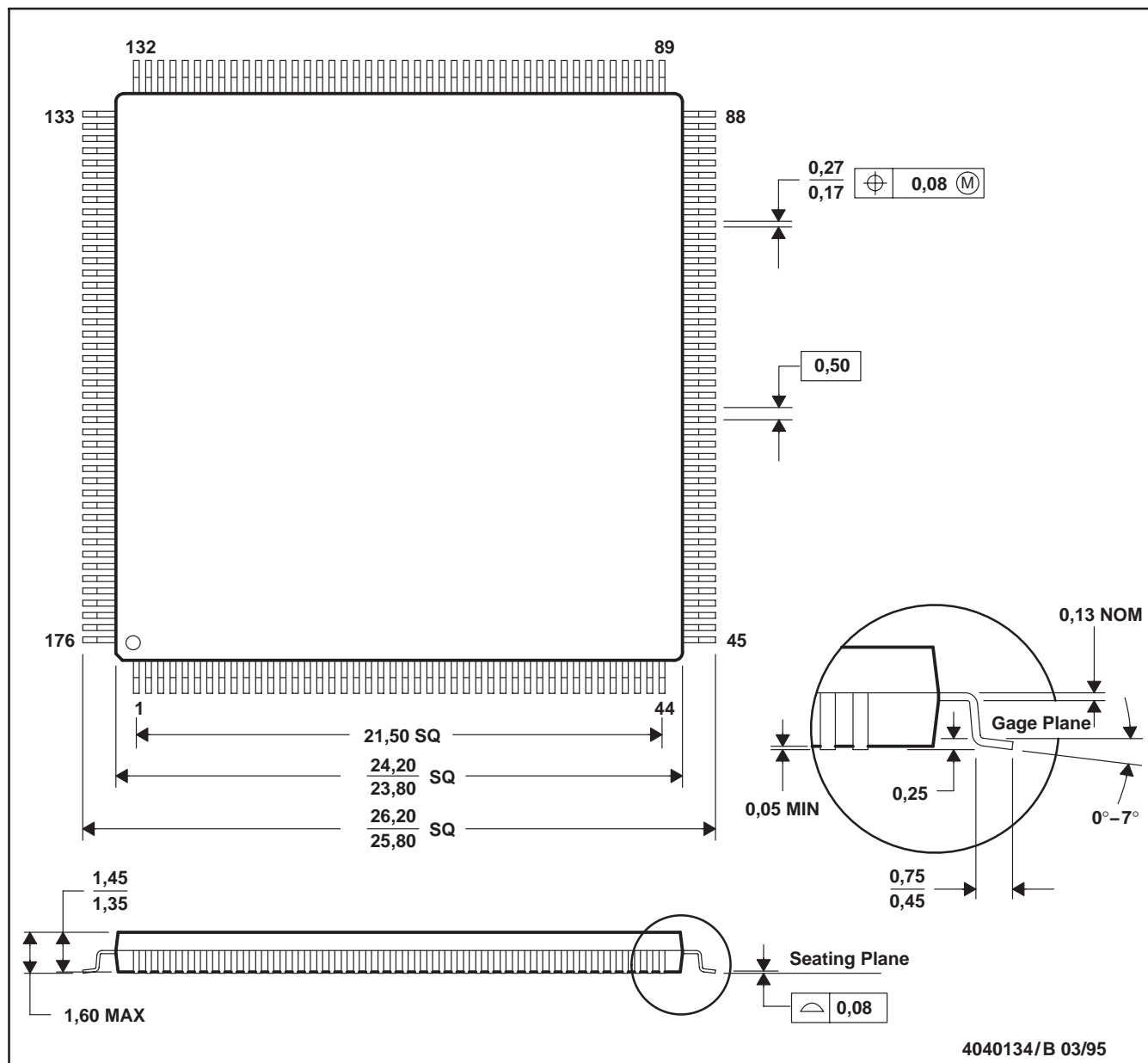


- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil metal load solder paste. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

OCTOBER 1994

PGF (S-PQFP-G176)

PLASTIC QUAD FLATPACK



- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Falls within JEDEC MO-136

重要声明

德州仪器(TI) 及其下属子公司有权在不事先通知的情况下, 随时对所提供的产品和服务进行更正、修改、增强、改进或其它更改, 并有权随时中止提供任何产品和服务。客户在下订单前应获取最新的相关信息, 并验证这些信息是否完整且是最新的。所有产品的销售都遵循在订单确认时所提供的TI 销售条款与条件。

TI 保证其所销售的硬件产品的性能符合TI 标准保修的适用规范。仅在TI 保证的范围内, 且TI 认为有必要时才会使用测试或其它质量控制技术。除非政府做出了硬性规定, 否则没有必要对每种产品的所有参数进行测试。

TI 对应用帮助或客户产品设计不承担任何义务。客户应对其使用TI 组件的产品和应用自行负责。为尽量减小与客户产品和应用相关的风险, 客户应提供充分的设计与操作安全措施。

TI 不对任何TI 专利权、版权、屏蔽作品权或其它与使用了TI 产品或服务的组合设备、机器、流程相关的TI 知识产权中授予的直接或隐含权限作出任何保证或解释。TI 所发布的与第三方产品或服务有关的信息, 不能构成从TI 获得使用这些产品或服务的许可、授权、或认可。使用此类信息可能需要获得第三方的专利权或其它知识产权方面的许可, 或是TI 的专利权或其它知识产权方面的许可。

对于TI 的产品手册或数据表, 仅在没有对内容进行任何篡改且带有相关授权、条件、限制和声明的情况下才允许进行复制。在复制信息的过程中对内容的篡改属于非法的、欺诈性商业行为。TI 对此类篡改过的文件不承担任何责任。

在转售TI 产品或服务时, 如果存在对产品或服务参数的虚假陈述, 则会失去相关TI 产品或服务的明示或暗示授权, 且这是非法的、欺诈性商业行为。TI 对此类虚假陈述不承担任何责任。

TI 产品未获得用于关键的安全应用中的授权, 例如生命支持应用(在该类应用中一旦TI 产品故障将预计造成重大的人员伤亡), 除非各方官员已经达成了专门管控此类使用的协议。购买者的购买行为即表示, 他们具备有关其应用安全以及规章衍生所需的所有专业技术和知识, 并且认可和同意, 尽管任何应用相关信息或支持仍可能由TI 提供, 但他们将独力负责满足在关键安全应用中使用其产品 & TI 产品所需的所有法律、法规和安全相关要求。此外, 购买者必须全额赔偿因在此类关键安全应用中使用TI 产品而对TI 及其代表造成的损失。

TI 产品并非设计或专门用于军事/航空应用, 以及环境方面的产品, 除非TI 特别注明该产品属于“军用”或“增强型塑料”产品。只有TI 指定的军用产品才满足军用规格。购买者认可并同意, 对TI 未指定军用的产品进行军事方面的应用, 风险由购买者单独承担, 并且独力负责在此类相关使用中满足所有法律和法规要求。

TI 产品并非设计或专门用于汽车应用以及环境方面的产品, 除非TI 特别注明该产品符合ISO/TS 16949 要求。购买者认可并同意, 如果他们在汽车应用中使用任何未被指定的产品, TI 对未能满足应用所需要求不承担任何责任。

可访问以下URL 地址以获取有关其它TI 产品和应用解决方案的信息:

产品	应用
数字音频	www.ti.com.cn/telecom
放大器和线性器件	www.ti.com.cn/computer
数据转换器	www.ti.com/consumer-apps
DLP® 产品	www.ti.com/energy
DSP - 数字信号处理器	www.ti.com.cn/industrial
时钟和计时器	www.ti.com.cn/medical
接口	www.ti.com.cn/security
逻辑	www.ti.com.cn/automotive
电源管理	www.ti.com.cn/video
微控制器 (MCU)	
RFID 系统	
OMAP 机动性处理器	
无线连通性	
德州仪器在线技术支持社区	www.deyisupport.com

邮寄地址: 上海市浦东新区世纪大道 1568 号, 中建大厦 32 楼 邮政编码: 200122
Copyright © 2012 德州仪器 半导体技术(上海)有限公司