



## 1. Thiết kế Hàng đợi

### 1.1. Yêu cầu thiết kế:

Thiết kế một hàng đợi (Queue) với các yêu cầu chức năng như sau:

- Hoạt động đồng bộ theo sườn dương của clock
- Mạch reset không đồng bộ
- Hàng đợi có nhiều phần tử, số lượng phần tử được định nghĩa bằng tham số (parameter) `QUEUE_DEPTH`
- Mỗi phần tử của hàng đợi có thể chứa dữ liệu (data) với kích thước được định nghĩa bằng tham số (parameter) `DATA_WIDTH`
- Dữ liệu (`data_in`) được nạp vào phần tử ở đuôi (tail) của hàng đợi khi có yêu cầu nạp dữ liệu (push)
- Dữ liệu (`data_out`) được lấy ra tại phần tử ở vị trí bất kỳ khi có yêu cầu xuất dữ liệu (pop). Vị trí xuất dữ liệu được xác định bởi 1 tín hiệu đầu vào tại thời điểm có yêu cầu xuất dữ liệu. Giá trị của tín hiệu này được mã hóa ở dạng one-hot, trong đó bit mang giá trị “1” tương ứng với vị trí cần xuất dữ liệu.
- Hàng đợi có cờ báo đầy (full) và cờ báo rỗng (empty)
- Các dữ liệu trong hàng đợi luôn được dồn về phía đầu hàng đợi (head) khi 1 yêu cầu xuất dữ liệu được thực hiện
- Ràng buộc đầu vào:
  - o Không đưa yêu cầu nạp dữ liệu khi hàng đợi đang đầy, và không đưa yêu cầu xuất dữ liệu khi hàng đợi đang rỗng.
  - o Không được yêu cầu xuất dữ liệu tại những vị trí rỗng

Yêu cầu thực hiện dự án:

- Viết bản đặc tả kỹ thuật của thiết kế (Specifications)
- Triển khai thiết kế bằng ngôn ngữ mô tả phần cứng (Verilog hoặc SystemVerilog)
- Kiểm thử thiết kế bằng phương pháp kiểm thử trực tiếp (Directed Test)

Đối tượng thực hiện dự án:

- Có kiến thức về cấu trúc dữ liệu: Hàng đợi
- Có kiến thức về điện tử số: Mạch tổ hợp, mạch tuần tự, reset không đồng bộ, shift register
- Có khả năng sử dụng ngôn ngữ mô tả phần cứng (Verilog hoặc SystemVerilog)



## 1.2. Mô tả tín hiệu

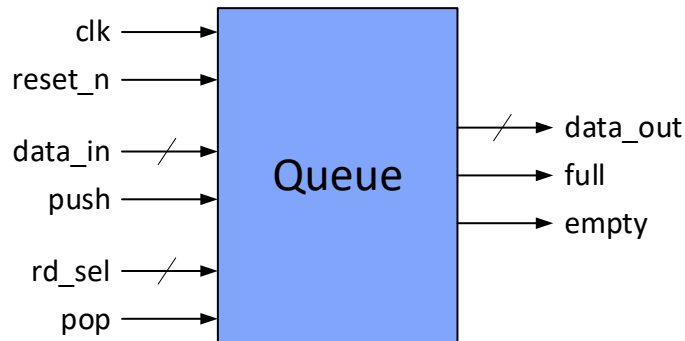


Figure 1. Hàng đợi – Mô tả tham số (Parameter)

Tên tham số	Giá trị hợp lệ	Mô tả
DATA_WIDTH	1 ÷ 32	Độ rộng (kích thước) dữ liệu chứa trong 1 phần tử của Hàng đợi
QUEUE_DEPTH	4 ÷ 32	Số lượng phần tử của Hàng đợi

Table 1. Hàng đợi – Mô tả tín hiệu

Tên tín hiệu	Độ rộng	I/O	Mô tả
clk	1	Input	Clock đầu vào
reset_n	1	Input	Reset không đồng bộ, tích cực mức THẤP Khi hàng đợi được reset, toàn bộ dữ liệu trong hàng đợi được xóa về 0. Các cờ báo cũng được đưa về giá trị mặc định.
data_in	DATA_WIDTH	Input	Dữ liệu vào
push	1	Input	Yêu cầu nạp, mỗi yêu cầu tích cực trong 1 chu kỳ clock
rd_sel	QUEUE_DEPTH	Input	Vị trí xuất dữ liệu
pop	1	Input	Yêu cầu xuất dữ liệu, mỗi yêu cầu tích cực trong 1 chu kỳ clock
data_out	DATA_WIDTH	Output	Dữ liệu ra
full	1	Output	Cờ báo hàng đợi đầy (Giá trị mặc định: 0) 1: hàng đợi đầy, toàn bộ QUEUE_DEPTH phần tử đều chứa dữ liệu 0: hàng đợi chưa đầy
empty	1	Output	Cờ báo hàng đợi rỗng (Giá trị mặc định: 1) 1: hàng đợi rỗng, không chứa dữ liệu 0: hàng đợi không rỗng

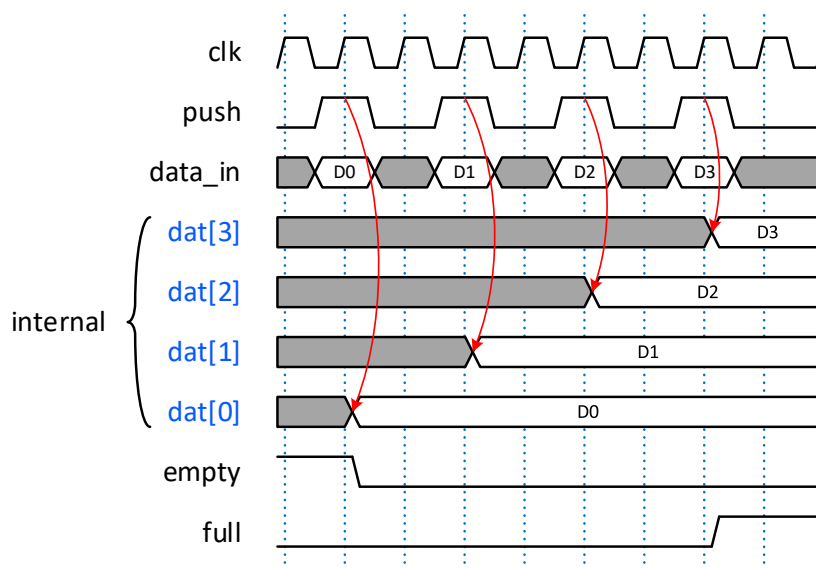


Figure 2. Hàng đợi – Nạp dữ liệu (QUEUE\_DEPTH = 4)

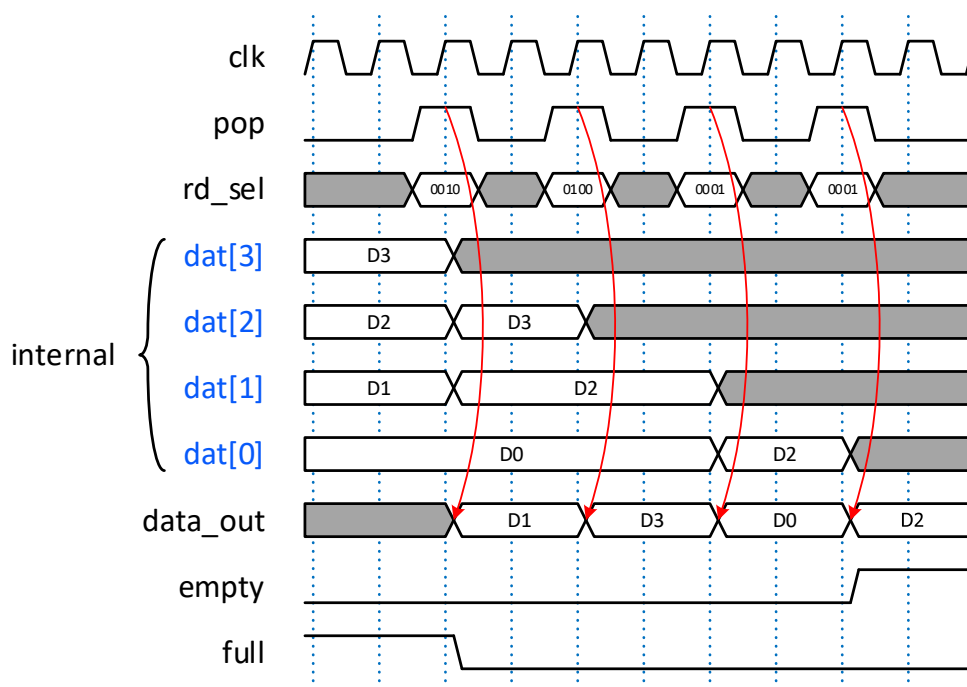


Figure 3. Hàng đợi – Xuất dữ liệu (QUEUE\_DEPTH = 4)

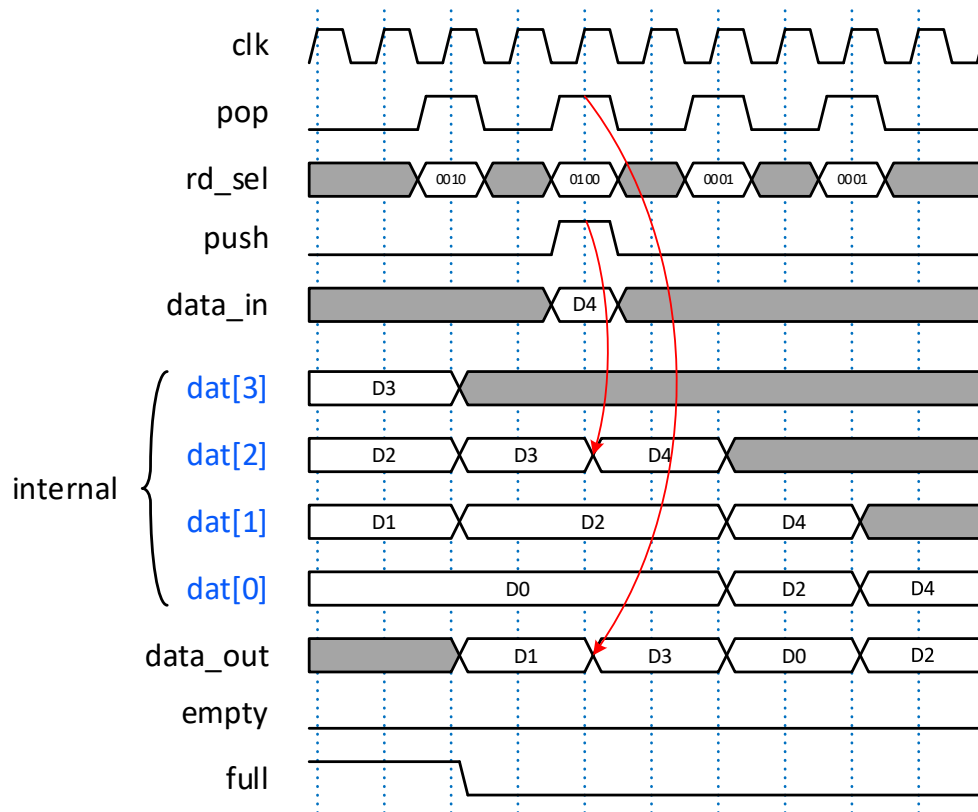


Figure 4. Hàng đợi – Nạp và Xuất dữ liệu tại cùng thời điểm (QUEUE\_DEPTH == 4)



## 2. Thiết kế bộ nhân Booth

### 2.1. Yêu cầu thiết kế

Thiết kế bộ nhân Booth với các yêu cầu chức năng sau:

- 2 đầu vào (số bị nhân và số nhân), mỗi đầu vào là 1 số nhị phân 8-bit không dấu
- 1 đầu ra kết quả (tích) 16-bit không dấu
- 1 đầu vào “start” để bắt đầu 1 phép tính, tích cực trong 1 chu kỳ clock
- 1 đầu ra “done” báo hiệu phép toán thực hiện thành công
- Các đầu ra được duy trì cho tới khi phép tính tiếp theo được bắt đầu
- Thiết kế sử dụng Flip Flop (sườn dương). Phép nhân được thực hiện trong nhiều chu kỳ clock (đa xung nhịp)
- Mạch reset không đồng bộ

Yêu cầu thực hiện dự án:

- Viết bản đặc tả kỹ thuật của thiết kế (Specifications)
- Triển khai thiết kế bằng ngôn ngữ mô tả phần cứng (Verilog hoặc SystemVerilog)
- Kiểm thử thiết kế bằng phương pháp kiểm thử trực tiếp (Directed Test)

Đối tượng thực hiện dự án:

- Có kiến thức về số học và toán logic
- Có kiến thức về kiến trúc máy tính
- Có kiến thức về điện tử số: Mạch tổ hợp, mạch tuần tự, reset không đồng bộ, shift register
- Có khả năng sử dụng ngôn ngữ mô tả phần cứng (Verilog hoặc SystemVerilog)

### 2.2. Mô tả tín hiệu

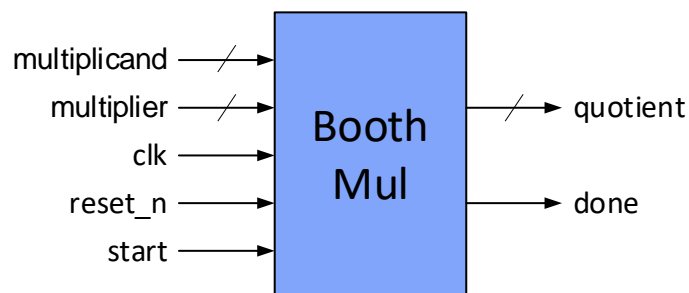


Figure 5. Bộ nhân Booth



Table 2. Bộ nhân Booth – Mô tả tín hiệu

Tên tín hiệu	Độ rộng	I/O	Mô tả
multiplicand	8	Input	Số bị nhân
multiplier	8	Input	Số nhân
clk	1	Input	Clock đầu vào
reset_n	1	Input	Reset không đồng bộ, tích cực mức THẤP
start	1	Input	Bắt đầu phép tính (tích cực trong 1 chu kỳ clock)
product	16	Output	Tích
done	1	Output	Cờ báo hoàn thành phép tính

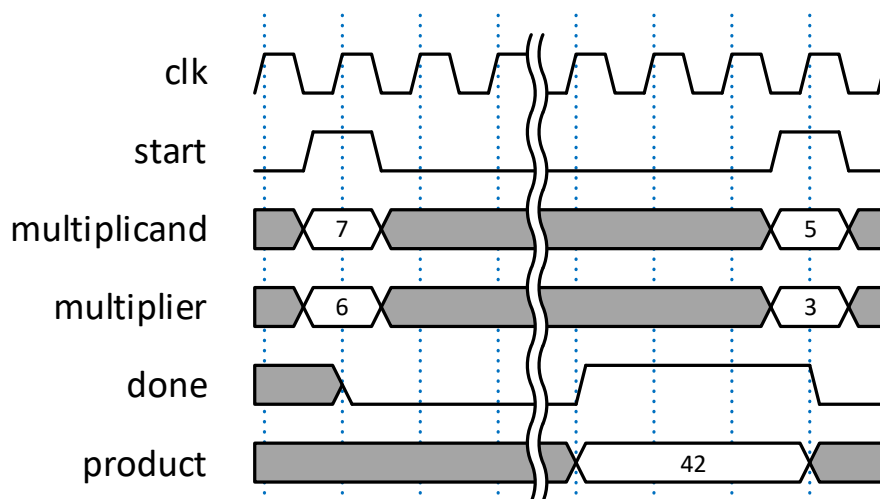


Figure 6. Bộ nhân Booth – Timing Waveform





### 3. Thiết kế bộ cộng CLA

#### 3.1. Yêu cầu thiết kế

Thiết kế bộ cộng CLA (Carry Lookahead Adder) với các yêu cầu chức năng sau:

- 2 đầu vào (số hạng), mỗi đầu vào là 1 số nhị phân 8-bit không dấu
- 1 đầu ra kết quả (tổng) 9-bit không dấu, được chốt bằng Flip Flop (sườn dương). Phép cộng được thực hiện trong 1 chu kỳ clock (đơn xung nhịp)
- Mạch reset không đồng bộ

Yêu cầu thực hiện dự án:

- Viết bản đặc tả kỹ thuật của thiết kế (Specifications)
- Triển khai thiết kế bằng ngôn ngữ mô tả phần cứng (Verilog hoặc SystemVerilog)
- Kiểm thử thiết kế bằng phương pháp kiểm thử trực tiếp (Directed Test)

Đối tượng thực hiện dự án:

- Có kiến thức về số học, toán logic
- Có kiến thức về điện tử số: Mạch tổ hợp, mạch tuần tự, reset không đồng bộ
- Mới tiếp xúc với ngôn ngữ mô tả phần cứng (Verilog hoặc SystemVerilog)

#### 3.2. Mô tả tín hiệu

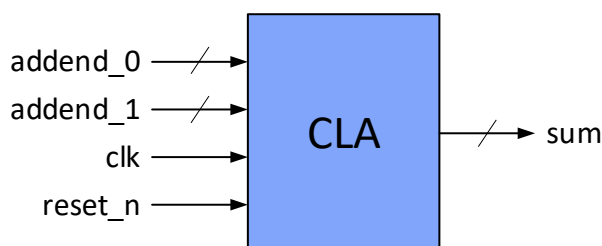


Figure 7. Bộ cộng Carry Lookahead

Table 3. CLA – Mô tả tín hiệu

Tên tín hiệu	Độ rộng	I/O	Mô tả
addend_0	8	Input	Số hạng đầu vào
addend_1	8	Input	Số hạng đầu vào
clk	1	Input	Clock đầu vào
reset_n	1	Input	Reset không đồng bộ, tích cực mức THẤP
sum	9	Output	Tổng

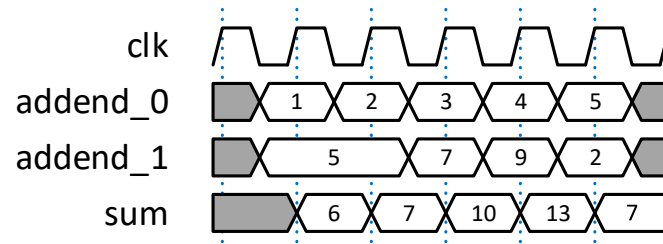


Figure 8. CLA - Timing Waveform