

VERILOG

UTILIZAÇÃO ACADÊMICA
DA LINGUAGEM VERILOG
PARA CONSTRUÇÃO DE
SISTEMAS DIGITAIS

VERILOG

INTRODUÇÃO

Projetos de Sistemas Digitais
HDL - Hardware Description Language

Padrões Comportamentais
Simulação e Síntese de Sistemas

Universidade de Cambridge, UTFPR (Marcelo Chiese), UFPE e www.asic-world.com

VERILOG

VISÃO GERAL

Padrão IEEE

Linguagem de Descrição de Hardware de Alto Nível

Simulação em Softwares de Análise .VCD

Uso da Linguagem completa

Síntese em FPGAs ou Similares

Segmento da Linguagem

ESTRUTURA DA LINGUAGEM

MÓDULOS



```
Modulos.v
1 module nome_do_modulo ( /*declaração de entradas e saídas*/ );
2
3
4     /*desenvolvimento do módulo*/
5
6
7 endmodule
8
```

ESTRUTURA DA LINGUAGEM

ENTRADAS E SAÍDAS

```
Entradas e Saidas.v x
1 module nome_do_modulo ( input nome_entrada,      //entrada simples
2 |   |   |   |   |   |   output [3:0] nome_saida, //saída array de 4 bits
3 |   |   |   |   |   |   inout a, b);           //dois sinais bidirecionais
4
5
6 /*desenvolvimento do módulo*/
7
8
9 endmodule
10
```

ESTRUTURA DA LINGUAGEM

COMANDO ASSIGN



```
Assign.v
1 module nome_do_modulo /*declaração de entradas e saídas*/;
2     wire meu_fio;
3     reg meu_reg;
4
5     assign meu_reg = meu_fio;
6
7
8     /*restante do desenvolvimento do módulo*/
9
10
11 endmodule
12
```

ESTRUTURA DA LINGUAGEM

COMANDO ALWAYS

Usado para projetar sistemas Sequenciais

```
Always.v
1 always @(posedge clk) begin
2
3     a <= ~a;      //atribuição de valor a a
4
5 end
6
```

ESTRUTURA DA LINGUAGEM

ESTRUTURAS CONDICIONAIS

Só podem ser usadas dentro de blocos always



```
Condicionais.v
1
2 if (sinal == 1) begin    || case (sinal)
3   |  saida <= 5;          ||   0: saida <= 3;
4 end                      ||   1: saida <= 5;
5 else begin                || default: saida <= 0;
6   |  saida <= 3;          ||
7 end                      ||
8
```

ESTRUTURA DA LINGUAGEM

LAÇOS DE REPETIÇÃO

Só podem ser usados dentro de blocos always

```
Laços.v
1
2  while(i < 50) begin ||  for(i = 1; i < 50; i = i + 1) begin ||  repeat(50) begin
3    clk = ~clk;          ||      clk = ~clk;                      ||      clk = ~clk;
4    i = i + 1 ;          ||      end                                ||      end
5  end
6
7 // O comando repeat não é sintetizável.
8
```

ESTRUTURA DA LINGUAGEM

COMANDO INITIAL

Executado no início da simulação

Usado para:

Atribuir valores às variáveis do circuito em tempo de execução

Definir períodos de tempo

Definir fim da execução da simulação

REFERÊNCIAS

1. SOUZA, Felipe de Assis. Tutorial Verilog, Universidade Federal de Pernambuco
2. GORDON, Mike. The Semantic Challenge of Verilog HDL - Mike Gordon - University of Cambridge UK
3. REZA, Yuri. Hardware Description Language (HDL) Para que precisamos de uma linguagem de Descrição de Hardware?
4. SILVA, Luiz Marcelo Chiesse da. Curso Básico de Verilog. Universidade 9Tecnológica Federal do Paraná, Campus de Cornélio Procópio.
5. Portal Asic World, Diretório sobre Verilog