

Apellido y nombre: .....

## Evaluación Teórica Corta – Arquitectura de Computadoras (2024)

1) Entre las funciones que realiza el PIC una de ellas es:

- ☒ a) pasarle al procesador la dirección del gestor ☐ b) poner en el bus de datos el vector (identificador) correspondiente al periférico que generó el pedido de interrupción. ☐ c) atender las interrupciones por software ☐ d) pedirle el uso del bus al procesador para atender el pedido de interrupción.

2) Según lo que hemos visto, en la arquitectura CISC el método de pasaje de argumentos a subrutinas más ampliamente usado es mediante el uso de:

- ☐ a) los registros del procesador ☒ b) la pila. ☐ c) la memoria principal. ☐ d) la memoria virtual.

3) Para no degradar el rendimiento del sistema en el caso de usar DMA se prefiere el método:

- ☐ a) por ráfagas. ☐ b) por chequeo del registro de estado del módulo de E/S. ☐ c) por uso de la pila como espacio de almacenamiento. ☒ d) por robo de ciclo.

4) ¿Dónde se encuentran los gestores de interrupción? en:

- ☒ a) el PIC. ☐ b) el procesador. ☐ c) la memoria principal. ☐ d) la pila.

5) Si se compara la técnica de E/S programada frente a la que usa interrupciones se obtiene:

- ☐ a) que ambas presentan los mismos comportamientos respecto al tiempo de uso del procesador y la velocidad de transferencia de datos. ☐ b) mayor performance en la primera ya que en ella participa el procesador en la transferencia de datos y en la otra no. ☒ c) un mal uso de los tiempos del procesador, pero transferencias más rápidas. ☐ d) un óptimo uso del procesador, pero transferencia de datos más lenta.

6) La técnica de E/S mediante el uso del controlador de DMA es:

- ☐ a) la mejor opción cuando tenemos periféricos lentos y pequeño volumen de datos. ☐ b) siempre la mejor opción. ☒ c) conveniente cuando tenemos periféricos rápidos y gran volumen de datos. ☐ d) una técnica que ya no se usa hoy en día.

7) ¿Qué significa que una interrupción sea no enmascarable?

- ☒ a) que es de alta prioridad y no puede ser ignorada por el procesador. ☐ b) que puede ser ignorada pero por un cierto tiempo previamente estipulado según su importancia. ☐ c) que no puede ser procesada por el procesador. ☐ d) que puede ser ignorada por el procesador y atenderla cuando pueda.

8) En subrutinas, el acceso a parámetros haciendo uso de la pila se realiza mediante:

- ☒ a) la sentencia POP. ☐ b) el uso del modo de direccionamiento directo por memoria. ☐ c) el uso de la técnica de robo de ciclo. ☐ d) el uso del modo de direccionamiento indirecto por desplazamiento.

9) El módulo de E/S incluye:

- ☐ a) al menos un transductor. ☒ b) registros de estados. ☐ c) registros para almacenamiento temporal de datos. ☐ d) registros para cargar los vectores de interrupciones.

(sigue al dorso)

10) La técnica de E/S mediante el uso de interrupciones es:

- a) la mejor opción cuando tenemos periféricos lentos y pequeño volumen de datos. b) siempre la mejor opción. c) conveniente cuando tenemos periféricos rápidos y gran volumen de datos. d) una técnica que ya no se usa hoy en día.

11) Las interrupciones por hardware pueden ser de origen interno o externo *→ más tensor*

- a) V      b) F

12) El ancho del bus de direcciones determina:

- a) la performance del sistema. b) el máximo espacio de direccionamiento en memoria. c) la cantidad máxima de módulos de E/S disponibles. d) el manejo jerarquizado de las interrupciones.

13) Cuando el procesador va a ejecutar una instrucción RET, ¿dónde debe estar posicionado el SP de la pila?

- a) marcando la posición de un registro previamente salvado. b) marcando la posición de un parámetro de entrada. c) marcando la posición de un parámetro de retorno. d) marcando la posición de la dirección de retorno.

14) ¿Cómo se puede inhibir la atención de interrupciones?

- IRQ - STI*  
a) mediante una instrucción específica. b) modificando la PSW (Flags). c) modificando un registro del controlador de DMA. d) usando una máscara en el PIC.

15) ¿Cómo se puede determinar cuál dispositivo generó un pedido de interrupción?

- a) mediante el uso de un registro de la CPU. b) mediante el uso de un vector en el PIC. c) mediante un polling (encuesta) a nivel de software. d) mediante el uso de un polling a nivel de hardware.

16) En el caso de acceso (direccionamiento) al subsistema de E/S separado de memoria:

- a) se deben utilizar instrucciones específicas para E/S. b) se deben utilizar señales de control separadas. c) los registros de los dispositivos de E/S y memoria comparten un único espacio de direcciones. d) los registros de los dispositivos de E/S y memoria utilizan distintos espacios de direcciones.

17) En la técnica de DMA y en su etapa de inicialización la CPU debe configurar en el controlador lo siguiente:

- a) el nro. de bytes o palabras a transferir. b) el vector correspondiente al dispositivo en cuestión. c) la dirección de memoria inicial. d) el sentido de la transferencia.

18) Memoria caché:

- a) ¿Qué es? ¿Cuáles son los principios que justifican su uso? b) Describa las técnicas de correspondencias de ubicación de bloques de palabras. Ventajas y desventajas. c) ¿En qué línea corresponde ubicar el bloque de palabras de memoria nro. 160 teniendo en cuenta cada una de las técnicas, si la cache tiene en total 16 líneas y la posibilidad de ser configurada en 4 grupos de 4 líneas c/u? d) ¿Cuáles son las políticas de escrituras?

**Nota:** todas las preguntas tienen un peso de 1 punto, salvo la 10) de ½ punto y la 13) de 3 ½ puntos. Se aprueba con 12 puntos del total de 20.