

29.05.2023

PREGĂTIRE EXAMEN

4 sub - fizice IP ; prag 1/4

1 sub - MIPS

(intr-un sp. adă de ceas sau
mai multe sau microprogramare)
Invățat schema de implementare
pt. ambele tipuri de arhitecturi:

Stăt formularul la R, J, F
fenomenele la semnale

1 sub - PIPELINE

Aveam instrucțiuni! Unde poate apărea
hazard și cum il corectăm? + Descrie

2 sub - TEORIE

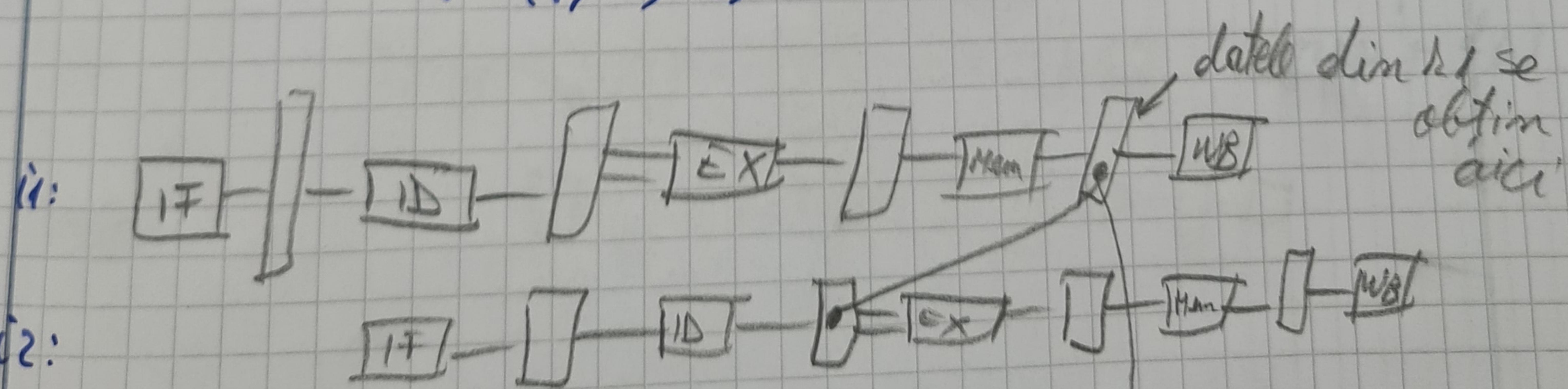
Ex:

i1: lw r1, 0(r2)
 ^ in ref. gen
 ^ in de la adr

i2: sub r4, r1, r5 \Rightarrow duc în r4 r1 - r5

i3: and r6, r1, r7

i4: or r8, r1, r9

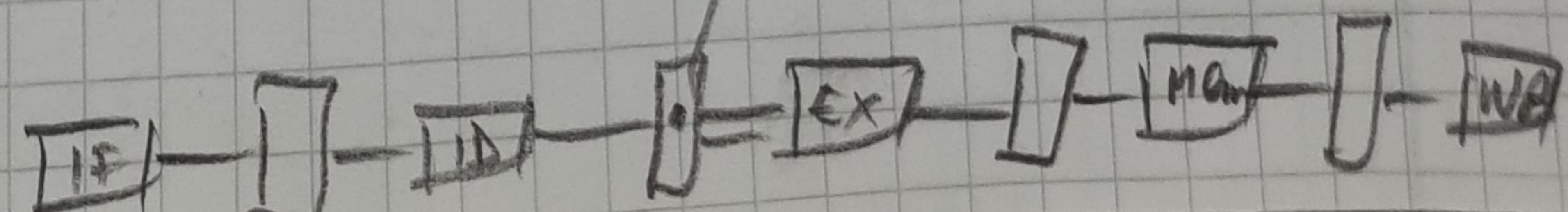


\Rightarrow Aveam haz. de date între i1 și i2

\Rightarrow introducem un nop (no operation)
sau stall

\Rightarrow i2:

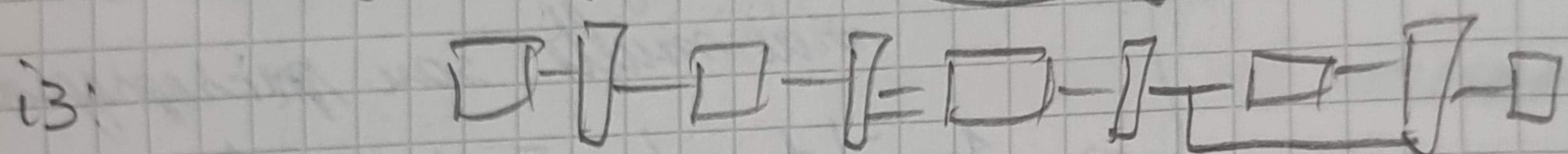
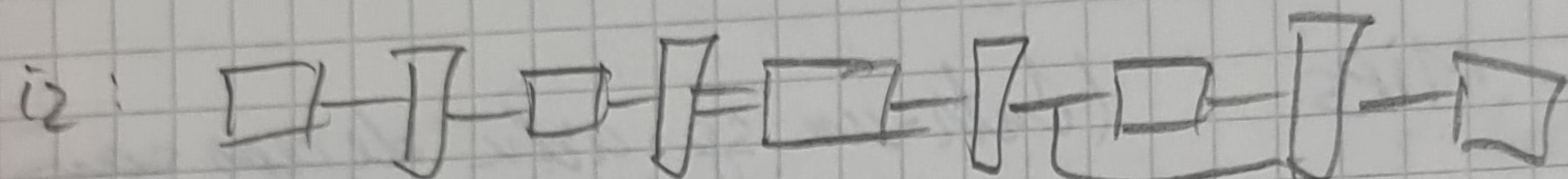
\Rightarrow acum facem forwarding



Pt. i3: Avem hazard și între i2 și i3 și între i3 și

⇒ Dacă am corectat la i2, mai dăm încă un sing

între



Pt. i3 nu trebuie nici forwarding. S-a rezolvat prin corectarea i2.

La i4 nu avem nici problema.

În ~~astăză~~^{astăzi} încă un sing decalat în dreapta.

Alt ex:

P1: lw \$1, 40(\$6)

P2: add \$6, \$2, \$2

P3: sw \$6, 50(\$1)

sw → citim de la \$6.

Dacă se operează numai

P1:

lw

IF

P12:

add

P13:

sw

z1 E8

Treb

P21: t

P22: s

P23: a

lw

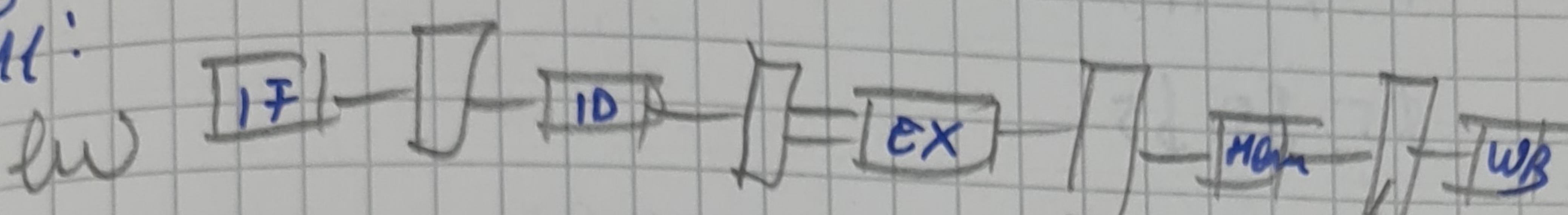
IF

sw

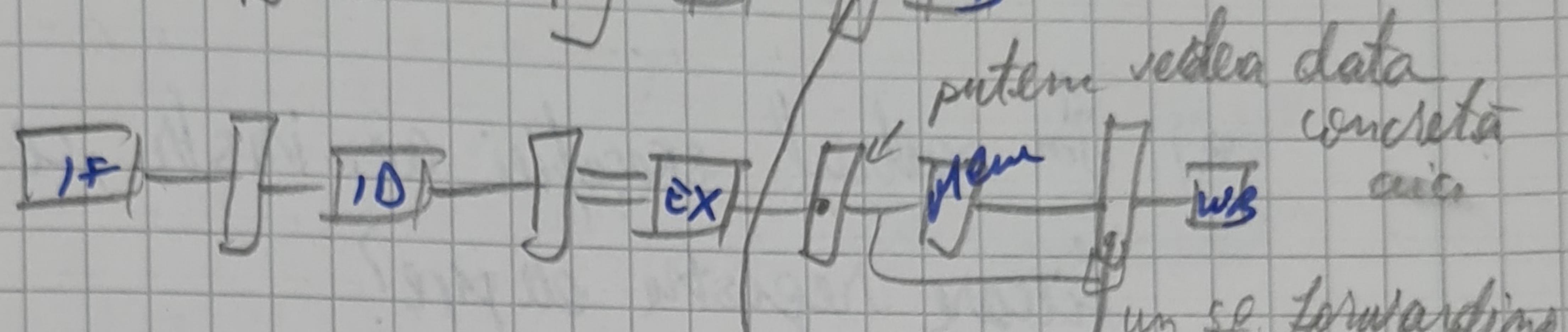
add

Intre P1 si P2 nu avem hazard.

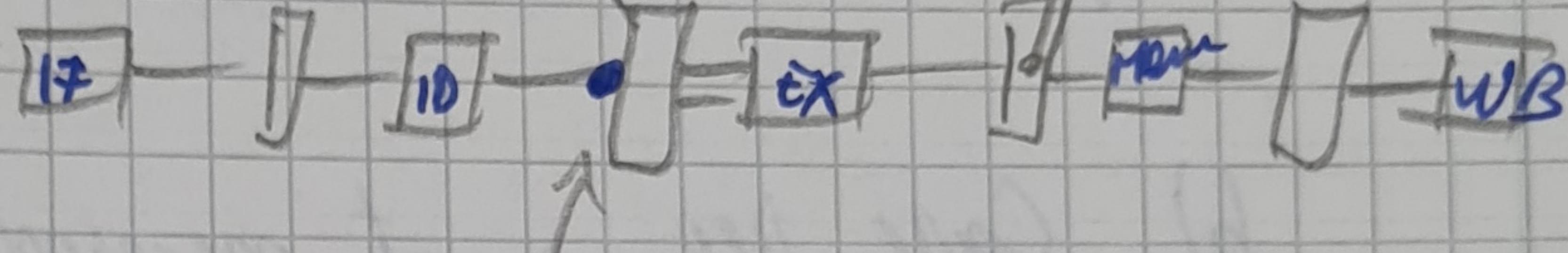
P11:



P12: add \$5



P13: SW



ne trebuie \$6 aici

⇒ Este un hazard intre P12 si P13

Trebuieste un fix intre P12 si P13

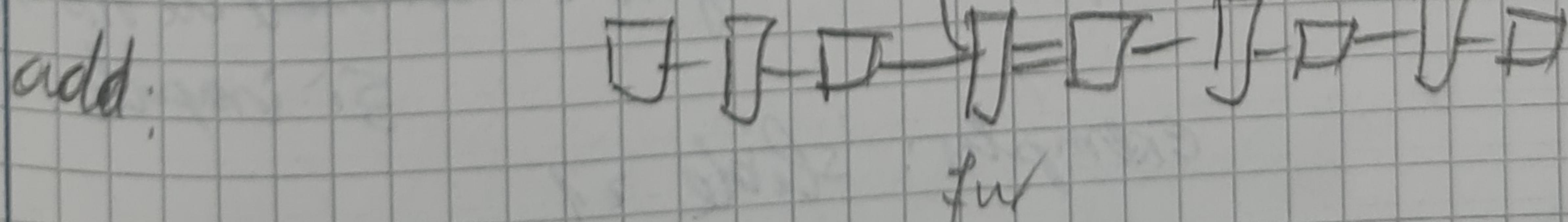
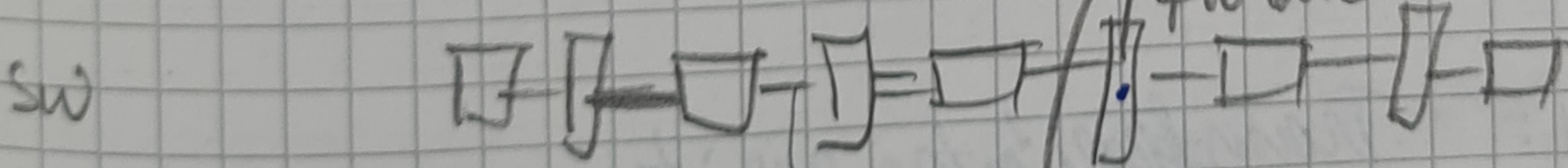
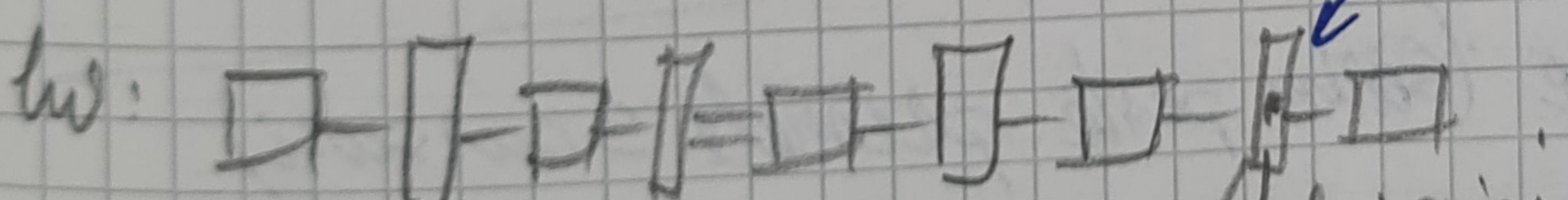
P21: lw: \$5, -16(\$5)

P22: SW: \$5, -16(\$5)

P23: add \$5, \$5, \$5

SW: să scriu în mem

aici avem valabile date din \$5



Dear fw sau
nop + fw

Ex se consideră urm. secv. de cod:

lw \$1, 40(\$8)

add \$5, \$5, \$5

a) În cadrul execuției ac. instr., ce se menține în fiecare registru după?

b) Care reg. sunt necesare citirii și de către ori sunt citite efectiv?

c)

EX → calculăm adresa

(la LW) MEM → extragem datele de la adr. calculată anterior

(la ADD): EX → introducem datele în ADD
MEM → nimic

Fără verilog (sărim peste primele 3 cursuri)

Curs 4-1: Transformări între registre: semnale de tip nici si inapal.

Exemplu: slide 21

lucru cu magistrale (comparatie)

- întârzierea în circ. combinatoriale
- sistem sincron & asincron
- latch vs bistabil (slide 34)
 - ↳ parametri de timing LATCH - slide 38
 - ↳ curățare a 1st latch-ului să stea suficient de mult de la 2nd
- skew, jitter

- CURS 5:
- Arhitect. gen. a calc. numerelor
 - procesoare: doar MIPS - deci nu din cursul astăzi
 - Reprez. structură a unui calculator (slide 15)
 - Formate simple de instrucțiuni (slide 24)
 - exemplu progr. MIPS &

- CURS 6-1:
- Procesorul aritmetic
 - Sumatoare, în principal cu UAL
 - ↳ comparări carry look ahead cu sumator
 - cu întârziere minimă
 - ↳ doar procesul în sine, fără comp. de timp

- Înmulțirea → soluția paralelă serial-paralelă
 - Alg. Booth (acomp. fără sfidă)
 - Fără op. în virgulă mobilă

Curs FPGA: Toate structurile
De ex. comutatoarele

curs 7: → instrucțiunile de încarcare și memorare
care sunt unitățile necesare. Ramificări

curs 12: Exploatarea priorității de mem.

Mapare asociativă, direct-access.

Exemplu slide 19 ← Mai mult exerciții

Fără slide 23