

8.2. Instruction Descriptions 指令说明

8.2.1. Index (IR) 指数 (IR) 或是电阻指数

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	0	-	-	-	-	-	-	-	-	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0

该指数寄存器指定寄存器地址 (R00h RFFh) 或将被访问的RAM。

8.2.2. Status Read (RS) 状态读取 (RS)

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
R	0	L7	L6	L5	L4	L3	L2	L1	L0	0	0	0	0	0	0	0	0

该SR位代表了ILI9325内部状态。

L [7:0]指示目前正在驱动TFT面板的驱动线位置。

8.2.3. Start Oscillation (R00h) 启动振荡 振荡周率

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	1
R	1	1	0	0	1	0	0	1	1	0	0	1	0	0	1	0	1

当读取该寄存器时，该器件代码“9325” H被读出。

8.2.4. Driver Output Control (R01h)驱动器输出控制

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	0	0	0	0	0	SM	0	SS	0	0	0	0	0	0	0	0

SS: 从源驱动器选择输出的转变方向。

When SS = 0, 输出转变方向是从S1到S720

When SS = 1, 输出转变方向是从S720到S1

除了改变方向，SS和BGR位的设置都需要更改R，G，B三个点的分配到源驱动引脚。

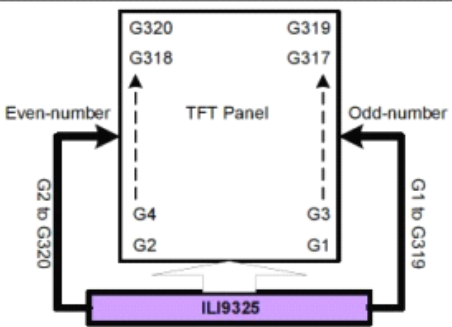
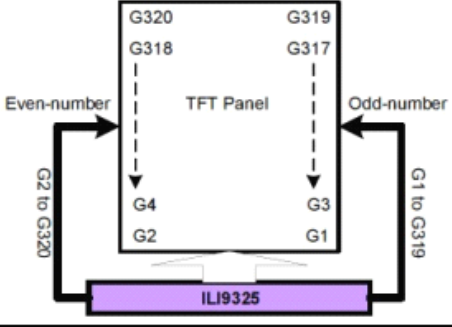
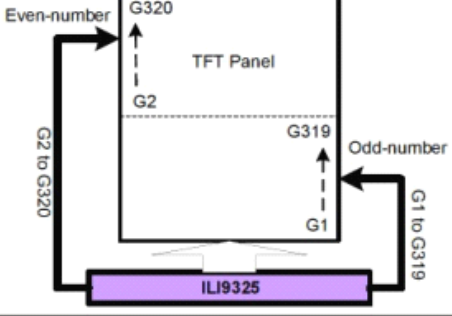
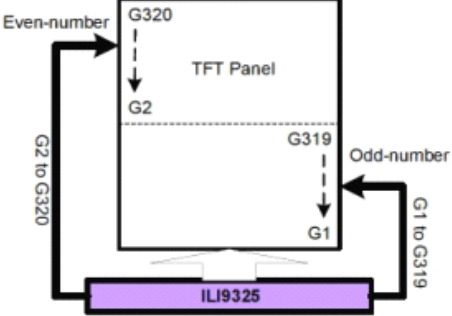
从S1到S720指定R，G，B点到源驱动引脚，设置SS = 0。

从S720到S1指定R，G，B点到源驱动引脚，设置SS = 1。

When changing SS or BGR bits, RAM data must be rewritten. (当改变SS或BGR位时，RAM数据必须被再次写入)

设置栅极驱动器引脚排列与GS位 (R60h) 相结合，以为模块选择最佳扫描

模式。

SM	GS	Scan Direction	Gate Output Sequence
0	0		G1, G2, G3, G4, ..., G316 G317, G318, G319, G320
0	1		G320, G319, G318, ..., G6, G5, G4, G3, G2, G1
1	0		G1, G3, G5, G7, ..., G311 G313, G315, G317, G319 G2, G4, G6, G8, ..., G312 G314, G316, G318, G320
1	1		G320, G318, G316, ..., G10, G8, G6, G4, G2 G319, G317, G315, ..., G9, G7, G5, G3, G1

8.2.5. LCD Driving Wave Control (R02h) LCD驱动波形控制

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	0	0	0	0	0	1	B/C	EOR	0	0	0	0	0	0	0	0

.B/ C 0: 帧/场倒位

1 : 线反转

EOR: EOR =1和B / C = 1设置行反转。

8.2.6. Entry Mode (R03h) 进入模式

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	TRI	DFM	0	BGR	0	0	HWM	0	ORG	0	I/D1	I/D0	AM	0	0	0

AM 控制GRAM更新的方向。

When AM = “0”，地址在水平写入方向得以更新。

When AM = “1”，地址在垂直写入方向得以更新。

当一个窗口区域是由寄存器R50h R53h来设置时，基于I / D[1:0]和AM位只有编址的GRAM区得以更新。

当更新一个像素显示数据时，I/ D[1:0]控制的地址计数器（AC）将自动增加或减少1。。请参考下图的细节。

Decrement渐减；减缩，Increment增加；增量；

	I/D[1:0] = 00 Horizontal : decrement Vertical : decrement	I/D[1:0] = 01 Horizontal : increment Vertical : decrement	I/D[1:0] = 10 Horizontal : decrement Vertical : increment	I/D[1:0] = 11 Horizontal : increment Vertical : increment
AM = 0 Horizontal				
AM = 1 Vertical				

ORG 当一个窗口地址区域被设定时，移动原始地址到ID地址设置，而且在数

据写入和窗口地址区使用高速RAM写入时，此功能被启用。

ORG = “0”：如果原始地址是不能被移动的，这种情况下，只能在窗口地址区域内根据GRAM地址图指定一个地址来开始写入操作。

ORG = “1”：原始地址“00000h” 根据I/ D[1:0]设置移动。

Notes注: 1. When ORG=1, 只有原始地址“00000h” 才可以被设置在RAM地址内，即设定寄存器为R20h, R21h。

2. 在RAM 读取操作时，请务必设置ORG= 0。

BGR 交换写入数据的R和B的顺序。

BGR=“ 0”：按照RGB顺序写入像素数据。

BGR=“ 1”：当写入数据到GRAM时，转换RGB数据到BGR数据。

TRI 在8-bit x 3转移模式下通过8-bit接口数据被传输到内部RAM;在转换模式下它也可以通过16-bit接口或SPI发送转移数据，以实现与DFM bits相结合来显示262k种色彩，当不使用这些接口模式时，务必设置TRI=“0”。

DFM 当TRI=“1” 时，设定数据传输模式到内部RAM，详情请参阅以下的数字。

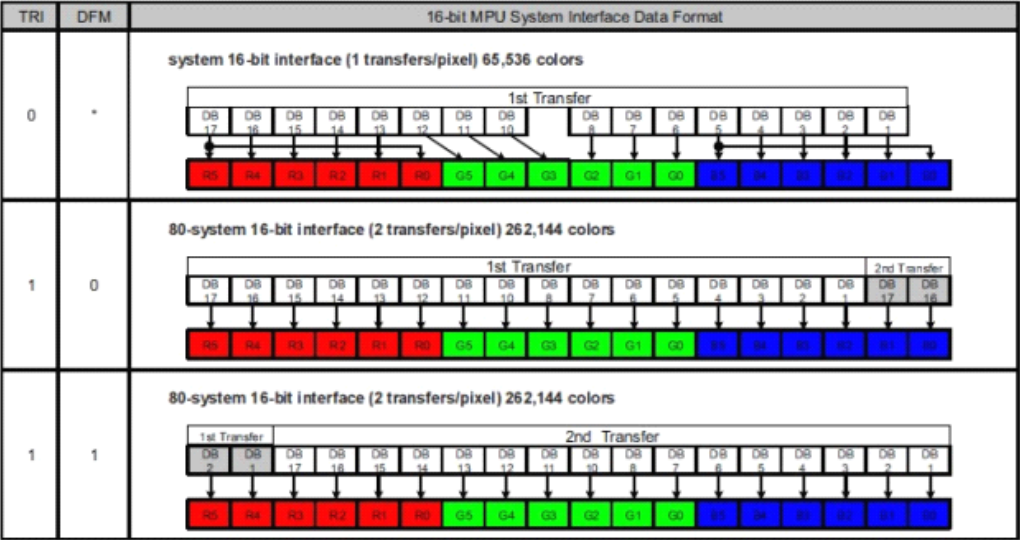


Figure26 16-bit MPU System Interface Data Format

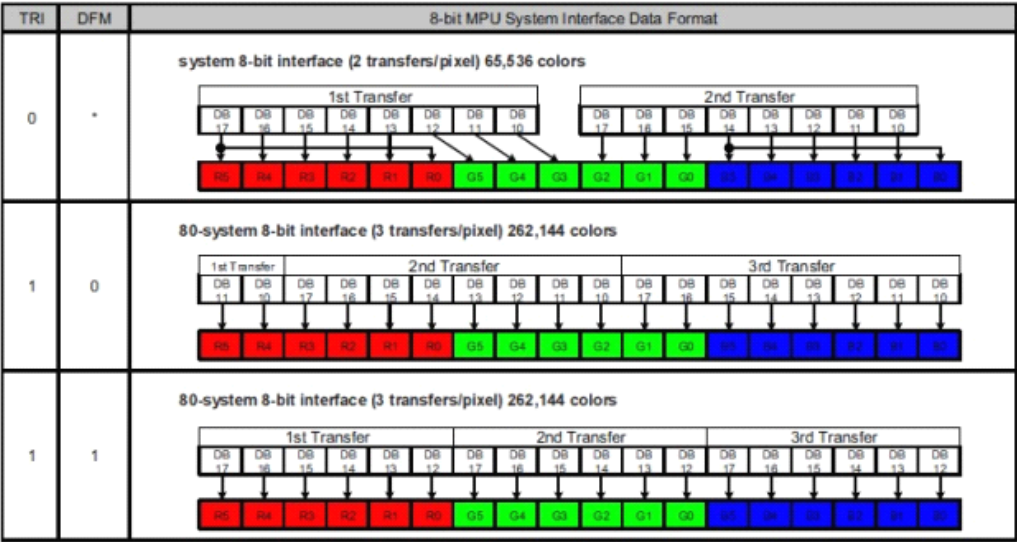


Figure27 8-bit MPU System Interface Data Format

8.2.7. Resizing Control Register (R04h)重新调整控制寄存器大小

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	0	0	0	0	0	0	RCV1	RCV0	0	0	RCH1	RCH0	0	0	RSZ1	RSZ0

RSZ[1:0] Sets the resizing factor.大小调整的因素。

当RSZ位被调整大小时，根据大小调整的因素ILI9325写入数据，使得原始图像呈水平和垂直尺寸显示，分别按照因素被收缩。请参阅“大小调整功能”。

RCH[1:0] 当调整图片大小时，那么剩余像素数的设定应在水平方向。通过RCH位指定其剩余像素数，数据的传输可以不考虑剩余像素。当不使用缩放功能（RSZ = 2'h0）或没有剩余像素时，必须确保RCH = 2'h0。

RCV[1:0] 在调整图片的大小时，剩余像素数的设定应在垂直方向。通过RCV位指定剩余像素，传输数据时可以不考虑剩余像素，那么当不使用缩放功能（RSZ = 2'h0）或没有剩余像素时就应确保RSZ = 2'h0。

RSZ[1:0]	Resizing factor
00	No resizing (x1)
01	x 1/2
10	Setting prohibited
11	x 1/4

RCH[1:0]	Number of remainder Pixels in Horizontal Direction
00	0 pixel*
01	1 pixel
10	2 pixel
11	3 pixel

RCV[1:0]	Number of remainder Pixels in Vertical Direction
00	0 pixel*
01	1 pixel
10	2 pixel
11	3 pixel

*1 pixel = 1RGB

8.2.8. Display Control 1 (R07h)显示控制1

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	0	0	PTDE1	PTDE0	0	0	0	BASEE	0	0	GON	DTE	CL	0	D1	D0

D[1:0] 设定 **D[1:0]**=“11” 时：打开显示面板, 及 **D[1:0]**=“00” ：关闭显示面板。

当写入为**D1**的=“1”，图形显示被打开在面板上；当写入为**D1** = “0”

时图形显示被关闭。

当写素**D1** =“0”，图形显示的数据被保留在内部**GRAM**；写素**D1** =“1” 时，**ILI9325**显示数据。当写素**D1** =“0”，即在面板上没有任何显示器时，所有源输出呈**GND**级，以降低充电/放电电流，这些电流是在用**AC**(交流)电压驱动液晶时产生的。

当被设置为**D [1:0]** =“01” 时，显示器处于关闭状态，**ILI9325**继续内部显示运作；当被设置为**D [1:0]** =“00” 时，**ILI9325**内部显示操作就被完全停止。

在与**GON**，**DTE**设置和**D [1:0]**设置相组合控制显示开/关。

D1	D0	BASEE	Source, VCOM Output	ILI9325 internal operation
0	0	0	GND	Halt
0	1	1	GND	Operate
1	0	0	Non-lit display	Operate
1	1	0	Non-lit display	Operate
1	1	1	Base image display	Operate

Note注: 1. 不论是否被设定为D [1:0]位, 源自微控制器的数据写入操作将被执行。

2. D [1:0]设置在第一和第二显示都是有效的。

3. 来自源输出引脚的不亮显示级别取决于 (PTS) 指令。

CL When CL = "1", the 8-color 显示模式被选定。

CL	Colors
0	262,144
1	8

GON和**DTE**设置栅极驱动的输出级 (G1 G320) 如下

GON	DTE	G1 ~G320 Gate Output
0	0	VGH
0	1	VGH
1	0	VGL
1	1	Normal Display

BASEE 基本影像显示使能位。当BASEE ="0", 没有基本图像显示, 该ILI9325在非照明显示级驱动液晶或只显示部分图像; 当BASEE ="1", 基本图像得以显示。D [1:0]设置比BASEE设置有更高的优先权。

PTDE[1:0]

部分图片2及部分图片1使能位

PTDE1/0 = 0:关闭部分图象, 只显示基本图像。

PTDE1/0 = 1: 关闭部分图象, 设置基本图像显示使能位为0(BASEE = 0).

8.2.9. Display Control 2 (R08h) 显示控制2

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	0	0	0	0	FP3	FP2	FP1	FP0	0	0	0	0	BP3	BP2	BP1	BP0

FP[3:0]/BP[3:0]

FP[3:0]和BP [3:0]位分别指定的正面和背面门廊期的行号，当设定FP[3:0]和BP [3:0]的价值时，应当具备下列条件:

BP + FP ≤ 16 lines

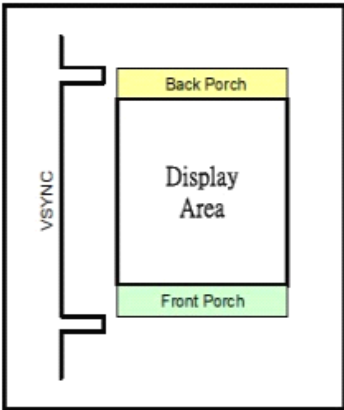
FP ≥ 2 lines

BP ≥ 2 lines

设置的BP [3:0]和FP[3:0]位看如下每个操作模式

Operation Mode	BP	FP	BP+FP
I80 System Interface Operation Mode	BP ≥ 2 lines	FP ≥ 2 lines	FP +BP ≤ 16 lines
RGB interface Operation	BP ≥ 2 lines	FP ≥ 2 lines	FP +BP ≤ 16 lines
VSYNC interface Operation	BP ≥ 2 lines	FP ≥ 2 lines	FP +BP = 16 lines

FP[3:0]	Number of lines for Front Porch
BP[3:0]	Number of lines for Back Porch
0000	Setting Prohibited
0001	Setting Prohibited
0010	2 lines
0011	3 lines
0100	4 lines
0101	5 lines
0110	6 lines
0111	7 lines
1000	8 lines
1001	9 lines
1010	10 lines
1011	11 lines
1100	12 lines
1101	13 lines
1110	14 lines
1111	Setting Prohibited



Note: The output timing to the LCD is delayed by 2 lines period from the input of synchronizing signal.

8.2.10. Display Control 3 (R09h) 显示控制3

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	0	0	0	0	0	PTS2	PTS1	PTS0	0	0	PTG1	PTG0	ISC3	ISC2	ISC1	ISC0

ISC[3:0]: 当设定PTG[1:0]=” 10” 来选择间隔扫描时，在非显示区指定栅极驱动的间隔扫描周期，然后将扫描周期设置为从0 29帧的周期奇数，每个扫描周期极性都会转变。

PTG[1:0] 非显示区域设置扫描模式。

ISC3	ISC3	ISC3	ISC3	Scan Cycle	f _{FLM} =60 Hz
0	0	0	0	0 frame	-
0	0	0	1	1 frame	17ms
0	0	1	0	3 frame	50ms
0	0	1	1	5 frame	84ms
0	1	0	0	7 frame	117ms
0	1	0	1	9 frame	150ms
0	1	1	0	11 frame	184ms
0	1	1	1	13 frame	217ms
1	0	0	0	15 frame	251ms
1	0	0	1	17 frame	284ms
1	0	1	0	19 frame	317ms
1	0	1	1	21 frame	351ms
1	1	0	0	23 frame	384ms
1	1	0	1	25 frame	418ms
1	1	1	0	27 frame	451ms
1	1	1	1	29 frame	484ms

PTS[2:0]

PTG[1:0] Set the scan mode in non-display area.

PTG1	PTG0	Gate outputs in non-display area	Source outputs in non-display area	Vcom output
0	0	Normal scan	Set with the PTS[2:0] bits	VcomH/VcomL
0	1	Setting Prohibited	-	-
1	0	Interval scan	Set with the PTS[2:0] bits	VcomH/VcomL
1	1	Setting Prohibited	-	-

在非显示驱动期设置源输出级（前/后门廊期间，局部显示空白区域的空白区）。

When PTS[2] = 1, 产生灰度而非V0和V63的放大器的操作被停止，这时升压时钟频率在非显示驱动期只是正常频率的一半，以减少电力消耗。

PTS[2:0]	Source output level		Grayscale amplifier in operation	Step-up clock frequency
	Positive polarity	Negative polarity		
000	V63	V0	V63 to V0	Register Setting (DC1, DC0)
001	Setting Prohibited	Setting Prohibited	-	-
010	GND	GND	V63 to V0	Register Setting (DC1, DC0)
011	Hi-Z	Hi-Z	V63 to V0	Register Setting (DC1, DC0)
100	V63	V0	V63 and V0	frequency setting by DC1, DC0
101	Setting Prohibited	Setting Prohibited	-	-
110	GND	GND	V63 and V0	frequency setting by DC1, DC0
111	Hi-Z	Hi-Z	V63 and V0	frequency setting by DC1, DC0

Notes注释: 1. 在非显示驱动器时期内, 电力效率可通过制止灰度放大器和放缓升压时钟频率来提高。

2. 在非照明显示驱动期, 门驱动极是由PTG[1:0]决定。

8.2.11. Display Control 4 (R0Ah) 显示控制4

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	0	0	0	0	0	0	0	0	0	0	0	0	FMARKOE	FMI2	FMI1	FMI0

FMI[2:0] 根据显示数据重写周期和数据传输速率来设置**FMARK**信号的输出间隔。

FMI[2:0]	Output Interval
000	1 frame
001	2 frame
011	4 frame
101	6 frame
Others	Setting disabled

FMARKOE 当**FMARKOE**=1, 由**FMI**成像[2:0]位设置输出间隔下, **ILI9325**开始输出**FMARK**信号。

8.2.12. RGB显示接口控制1(R0Ch)

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	0	ENC2	ENC1	ENC0	0	0	0	RM	0	0	DM1	DM0	0	0	RIM1	RIM0

RIM[1:0] 选择**RGB**接口数据宽度。

RIM1	RIM0	RGB Interface Mode
0	0	18-bit RGB interface (1 transfer/pixel), DB[17:0]
0	1	16-bit RGB interface (1 transfer/pixel), DB[17:13] and DB[11:1]
1	0	6-bit RGB interface (3 transfers/pixel), DB[17:12]
1	1	Setting disabled

Notel: 寄存器只能由系统接口设置。

Note2: 当接口开关转换时要确保一个像素（3点）的数据传输得以完成。

DM[1:0] 选择显示的运作模式。

DM1	DM0	Display Interface
0	0	Internal system clock
0	1	RGB interface
1	0	VSYNC interface
1	1	Setting disabled

DM[1:0]设置允许在内部时钟运作模式和外部显示接口运作模式之间的切换，然而，**RGB**接口运作模式和**VSYNC**接口操作模式之间的切换是禁止的。

RM 选择的接口来访问**GRAM**

当通过**RGB**接口写入显示数据时，设置**RM**为“1”。

RM	Interface for RAM Access
0	System interface/VSYNC interface
1	RGB interface

Display State	Operation Mode	RAM Access (RM)	Display Operation Mode (DM[1:0])
Still pictures	Internal clock operation	System interface (RM = 0)	Internal clock operation (DM[1:0] = 00)
Moving pictures	RGB interface (1)	RGB interface (RM = 1)	RGB interface (DM[1:0] = 01)
Rewrite still picture area while RGB interface Displaying moving pictures.		System interface (RM = 0)	RGB interface (DM[1:0] = 01)
Moving pictures	VSYNC interface	System interface (RM = 0)	VSYNC interface (DM[1:0] = 10)

Note 1:寄存器只能通过系统接口或**SPI**接口来设定。

Note 2: 参照“**RGB**输入接口”章节的流程图进行模式切换。

ENC[2:0] 通过**RGB**接口设置**GRAM**写入周期

ENC[2:0]	GRAM Write Cycle (Frame periods)
000	1 Frame
001	2 Frames
010	3 Frames
011	4 Frames

100	5 Frames
101	6 Frames
110	7 Frames
111	8 Frames

8.2.13. 帧标记的位置(R0Dh)

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	0	0	0	0	0	0	0	FMP8	FMP7	FMP6	FMP5	FMP4	FMP3	FMP2	FMP1	FMP0

FMP[8:0] 设置帧周期（帧标记）输出位置。

当**FMP[8:0]=0**，一个高的主动脉冲**FMARK**是在后门廊期为一显示行期（1H）时开始输出。

Make sure the 9'h000 \leq FMP \leq BP+NL+FP

FMP[8:0]	FMARK Output Position
9'h000	0 th line
9'h001	1 st line
9'h002	2 nd line
9'h003	3 rd line
.	.
.	.
9'h175	373 rd line
9'h176	374 th line
9'h177	375 th line

8.2.14. RGB显示接口控制2(R0Fh)

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	0	0	0	0	0	0	0	0	0	0	0	VSPL	HSPL	0	EPL	DPL

DPL: 设置DOTCLK引脚信号的极性。

DPL = “0” 数据是在DOTCLK上升沿被输入

DPL = “1” 数据是在DOTCLK下降沿被输入

EPL: 设置ENABLE引脚信号的极性。

EPL = “0” 当 **ENABLE = “0”** 时，数据DB17 - 0被写入；当**ENABLE = “1”**时，禁止数据写入操作。

EPL = “1” 当**ENABLE =“1”** 数据**DB17 - 0**被写入；当 **ENABLE =“0”** 时，禁止数据写入操作。

HSPL: 设置**HSYNC**引脚信号的极性。

HSPL = “0” 低活跃

HSPL = “1” 高活跃

VSPL: 设置了**VSYNC**引脚信号的极性。

VSPL = “0” 低活跃

VSPL = “1” 高活跃

8.2.15. Power Control 1 (R10h) 功率控制1

RW	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	0	0	0	SAP	0	BT2	BT1	BT0	APE	AP2	AP1	AP0	0	DSTB	SLP	STB

SLP: 当 **SLP = 1**, **ILI9325**进入睡眠模式和，除以**RC**振荡器为减少功率消耗外，其他显示操作停止。在睡眠模式下，**GRAM** 数据和指令不能更新，但以下两个指令除外。

a: 退出睡眠模式（**SLP**的=“0”）

b. 振荡器开始振荡

STB: 当 **STB = 1**时, **ILI9325**进入待机模式，除**GRAM**电源供应以减少功率消耗外，其他显示操作停止。在睡眠模式下，**GRAM**数据和指令不能更新，但以下两个指令除外。

a: 退出待机模式（**STB= “0”**）

b. 振荡器开始振荡

DSTB: When **DSTB = 1**, **ILI9325**进入深度待机模式。在深度待机模式下，

内部逻辑电源关闭，以减少电力消耗。当**ILI9325**进入深度待机模式下，**GRAM**数据和指令设置不能得到保持，他们必须在退出深度待机模式后重新被设置。

AP[2:0]: 在**LCD**电源电路中的运算放大器电路中调整恒定电流，使得较大的恒定电流提高了**LCD**的驱动性能，但它同时也增加了电流消耗，那么在调整恒定电流时，就要考虑显示质量和当前消费之间的折衷。在无任何显示期间，设

置**AP[2:0]** =“000”，以停止运算放大器电路和升压电路来减少电流消耗。

AP[2:0]	Gamma driver amplifiers	Source driver amplifiers
000	Halt	Halt
001	1.00	1.00
010	1.00	0.75
011	1.00	0.50
100	0.75	1.00
101	0.75	0.75
110	0.75	0.50
111	0.50	0.50

SAP: 源驱动器输出控制

SAP=0, 源驱动程序被禁用

SAP=1, 源驱动程序被启用

在电源开启阶段开始**LCD**电源充电时，确保**SAP**的= 0，在启动**LCD**电源电路后，设置**SAP** = 1。

根据电源启动顺序，设置**APE**=“1”以开始电力供应。

BT[3:0]: 设置在升压电路中使用的因素。

为工作电压选择最佳升压因素，因此为了降低能耗，设置一个较小的因素。

BT[2:0]	DDVDH	VCL	VGH	VGL
3'h0	Vci1 x 2	- Vci1	Vci1 x 6	- Vci1 x 5
3'h1				- Vci1 x 4
3'h2				- Vci1 x 3
3'h3	Vci1 x 2	- Vci1	Vci1 x 5	- Vci1 x 5
3'h4				- Vci1 x 4
3'h5				- Vci1 x 3
3'h6	Vci1 x 2	- Vci1	Vci1 x 4	- Vci1 x 4
3'h7				- Vci1 x 3

Notes: 1. 当产生**DDVDH**，荣总，**VGL**和**VCL**极时，连接电容到电容连接引脚。

2. 确保**DDVDH** = 6.0V的（最大），**VGH**= 15.0V（最大值），**VGL** = - 12.5V（最大值）和**VCL** = - 3.0伏（最大）

8.2.16. Power Control 2 (R11h)功率控制2

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	0	0	0	0	0	DC12	DC11	DC10	0	DC02	DC01	DC00	0	VC2	VC1	VC0

VC[2:0] 设置Vci比例因子以产生参考电压Vci1。

VC2	VC1	VC0	Vci1 voltage
0	0	0	0.95 x Vci
0	0	1	0.90 x Vci
0	1	0	0.85 x Vci
0	1	1	0.80 x Vci
1	0	0	0.75 x Vci
1	0	1	0.70 x Vci
1	1	0	Disabled
1	1	1	1.0 x Vci

DC0[2:0]: 选择了升压电路1的工作频率

较高的升压工作频率提高了升压电路的驱动性能和显示质量，但是增加了电流消耗，所以调整频率时应考虑到显示质量和电流消耗之间的折衷。

DC1[2:0]: 选择了升压电路2工作频率

较高的升压工作频率提高了升压电路的驱动性能和显示质量，但是增加了电流消耗，所以调整频率时应考虑到显示质量和电流消耗之间的折衷。

DC02	DC01	DC00	Step-up circuit1 step-up frequency (f _{DC0C1})	DC12	DC11	DC10	Step-up circuit2 step-up frequency (f _{DC0C2})
0	0	0	Fosc	0	0	0	Fosc / 4
0	0	1	Fosc / 2	0	0	1	Fosc / 8
0	1	0	Fosc / 4	0	1	0	Fosc / 16
0	1	1	Fosc / 8	0	1	1	Fosc / 32
1	0	0	Fosc / 16	1	0	0	Fosc / 64
1	0	1	Fosc / 32	1	0	1	Fosc / 128
1	1	0	Fosc / 64	1	1	0	Fosc / 256
1	1	1	Halt step-up circuit 1	1	1	1	Halt step-up circuit 2

8.2.17. Power Control 3 (R12h)功率控制3

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	0	0	0	0	0	0	0	0	VCIRE	0	0	PON	VRH3	VRH2	VRH1	VRH0

VRH[3:0] 设置Vci的放大频率为（1.6 1.9）适用于输出VREG1OUT极，这是对VCOM电压水平和灰度级的参考极。

VCIRE: 选择外部参考电压或内部参考电压VCIR。

VCIRE: Select the external reference voltage Vci or internal reference voltage VCIR.

VCIRE=0	External reference voltage Vci (default)
VCIRE=1	Internal reference voltage 2.5V

VCIRE =0					VCIRE =1				
VRH3	VRH2	VRH1	VRH0	VREG1OUT	VRH3	VRH2	VRH1	VRH0	VREG1OUT
0	0	0	0	Halt	0	0	0	0	Halt
0	0	0	1	Vci x 2.00	0	0	0	1	2.5V x 2.00 = 5.000V
0	0	1	0	Vci x 2.05	0	0	1	0	2.5V x 2.05 = 5.125V
0	0	1	1	Vci x 2.10	0	0	1	1	2.5V x 2.10 = 5.250V
0	1	0	0	Vci x 2.20	0	1	0	0	2.5V x 2.20 = 5.500V
0	1	0	1	Vci x 2.30	0	1	0	1	2.5V x 2.30 = 5.750V
0	1	1	0	Vci x 2.40	0	1	1	0	2.5V x 2.40 = 6.000V
0	1	1	1	Vci x 2.40	0	1	1	1	2.5V x 2.40 = 6.000V
1	0	0	0	Vci x 1.60	1	0	0	0	2.5V x 1.60 = 4.000V
1	0	0	1	Vci x 1.65	1	0	0	1	2.5V x 1.65 = 4.125V
1	0	1	0	Vci x 1.70	1	0	1	0	2.5V x 1.70 = 4.250V
1	0	1	1	Vci x 1.75	1	0	1	1	2.5V x 1.75 = 4.375V
1	1	0	0	Vci x 1.80	1	1	0	0	2.5V x 1.80 = 4.500V
1	1	0	1	Vci x 1.85	1	1	0	1	2.5V x 1.85 = 4.625V
1	1	1	0	Vci x 1.90	1	1	1	0	2.5V x 1.90 = 4.750V
1	1	1	1	Vci x 1.95	1	1	1	1	2.5V x 1.95 = 4.875V

When VCI<2.5V, Internal reference voltage will be same as VCI.

Make sure that VC and VRH setting restriction: $VREG1OUT \leq (DDVDH - 0.5)V$.

当 $VCI < 2.5V$, 内部参考电压与VCI一样。

确保VC和VRH造型设定限制: $VREG1OUT \leq (DDVDH - 0.5)V$

PON: 控制线路3 (VGL) 输出开启和切断。

PON=0	VGL output is disable
PON=1	VGL output is enable

8.2.18. Power Control 4 (R13h)功率控制4

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	0	0	0	VDV4	VDV3	VDV2	VDV1	VDV0	0	0	0	0	0	0	0	0

VDV[4:0] 选择VREG1OUT因素以设置Vcom的电压振幅交替从0.70至1.24 x VREG1OUT。

VDV4	VDV3	VDV2	VDV1	VDV0	VCOM amplitude	VDV4	VDV3	VDV2	VDV1	VDV0	VCOM amplitude
0	0	0	0	0	VREG1OUT x 0.70	1	0	0	0	0	VREG1OUT x 0.94
0	0	0	0	1	VREG1OUT x 0.72	1	0	0	0	1	VREG1OUT x 0.96
0	0	0	1	0	VREG1OUT x 0.74	1	0	0	1	0	VREG1OUT x 0.98
0	0	0	1	1	VREG1OUT x 0.76	1	0	0	1	1	VREG1OUT x 1.00
0	0	1	0	0	VREG1OUT x 0.78	1	0	1	0	0	VREG1OUT x 1.02
0	0	1	0	1	VREG1OUT x 0.80	1	0	1	0	1	VREG1OUT x 1.04
0	0	1	1	0	VREG1OUT x 0.82	1	0	1	1	0	VREG1OUT x 1.06
0	0	1	1	1	VREG1OUT x 0.84	1	0	1	1	1	VREG1OUT x 1.08
0	1	0	0	0	VREG1OUT x 0.86	1	1	0	0	0	VREG1OUT x 1.10
0	1	0	0	1	VREG1OUT x 0.88	1	1	0	0	1	VREG1OUT x 1.12
0	1	0	1	0	VREG1OUT x 0.90	1	1	0	1	0	VREG1OUT x 1.14
0	1	0	1	1	VREG1OUT x 0.92	1	1	0	1	1	VREG1OUT x 1.16
0	1	1	0	0	VREG1OUT x 0.94	1	1	1	0	0	VREG1OUT x 1.18
0	1	1	0	1	VREG1OUT x 0.96	1	1	1	0	1	VREG1OUT x 1.20
0	1	1	1	0	VREG1OUT x 0.98	1	1	1	1	0	VREG1OUT x 1.22
0	1	1	1	1	VREG1OUT x 1.00	1	1	1	1	1	VREG1OUT x 1.24

8.2.19. GRAM/Vertical地址集

(R20h, R21h) AD[16:0] 设置地址计数器初始值 (AC)。

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	0	0	0	0	0	0	0	0	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
W	1	0	0	0	0	0	0	0	AD16	AD15	AD14	AD13	AD12	AD11	AD10	AD9	AD8

地址计数器 (AC) 会根据AM的设置自动更新, I/ D位就像数据被写入到内部GRAM, 当从内部GRAM读取数据时该地址计数器就不会自动更新。

Notel: 当RGB接口被选定为 (RM="1"), AD[16:0]地址在VSYNC下降沿被设置为地址计数器上的每一帧。

AD[16:0]	GRAM Data Map
17'h00000 ~ 17'h000EF	1 st line GRAM Data
17'h00100 ~ 17'h001EF	2 nd line GRAM Data
17'h00200 ~ 17'h002EF	3 rd line GRAM Data
17'h00300 ~ 17'h003EF	4 th line GRAM Data
17'h13D00 ~ 17'h13DEF	318 th line GRAM Data
17'h13E00 ~ 17'h13EEF	319 th line GRAM Data
17'h13F00 ~ 17'h13FEF	320 th line GRAM Data

Note2: 当内部时钟操作或**VSYNC**接口模式被选定为（**RM=“0”**），当更新寄存器时

R21AD[16:0]地址被设定为地址计数器。

8.2.20. GRAM写入数据(R22h)

R/W	RS	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	RAM write data (WD[17:0], the DB[17:0] pin assignment differs for each interface.																	

该寄存器是**GRAM**接入端口，当通过这个寄存器更新显示数据时，地址计数器（**AC**）会自动增加/减少。

8.2.21. 从GRAM读取数据 (R22h)

R/W	RS	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
R	1	RAM Read Data (RD[17:0], the DB[17:0] pin assignment differs for each interface.																	

RD[17:0] 通过读数据寄存器（**RDR**）从**GRAM**读取18位数据。

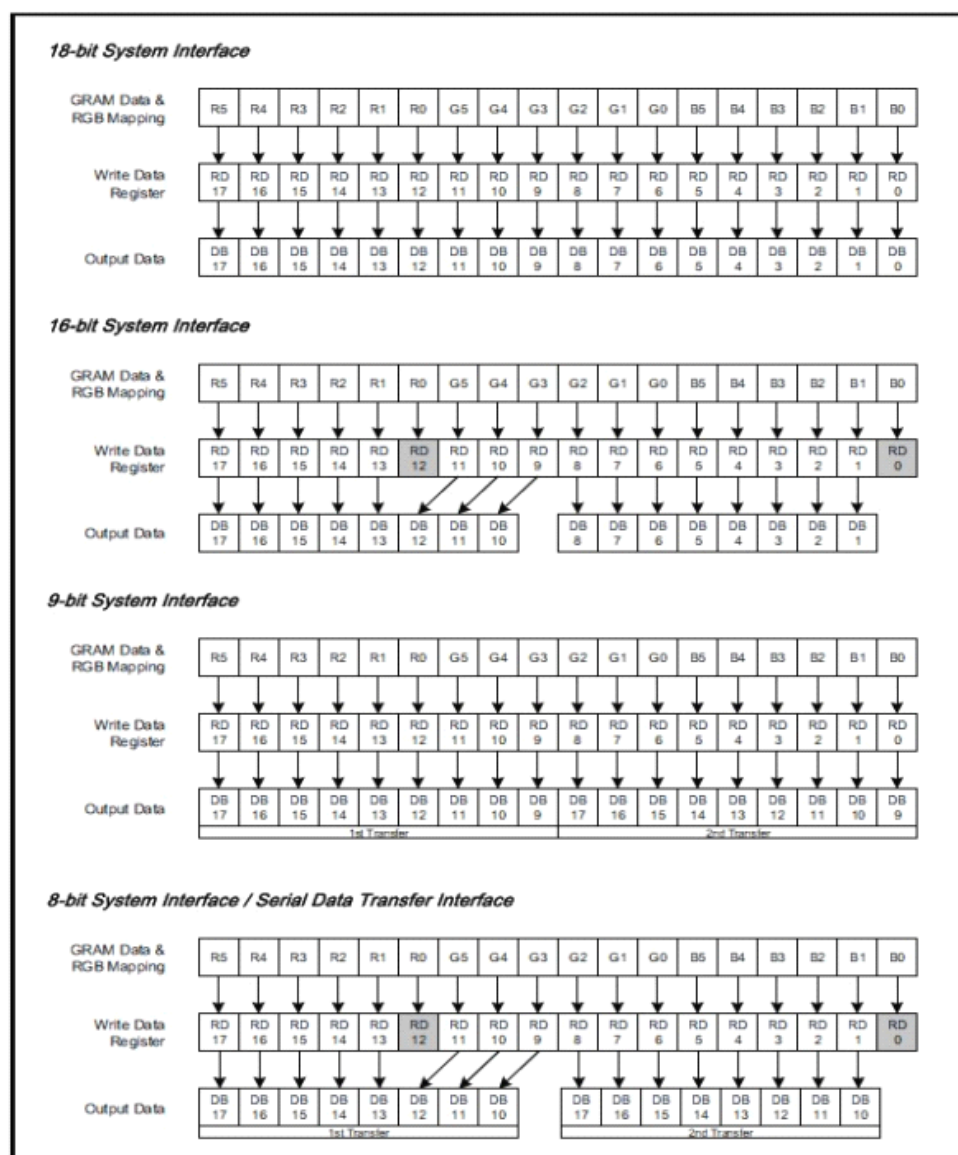


Figure 28 Data Read from GRAM through Read Data Register in 18-/16-/9-/8-bit Interface Mode

图28显示了在18-/16-/9-/8-bit接口模式下通过读取数据寄存器读取数据。

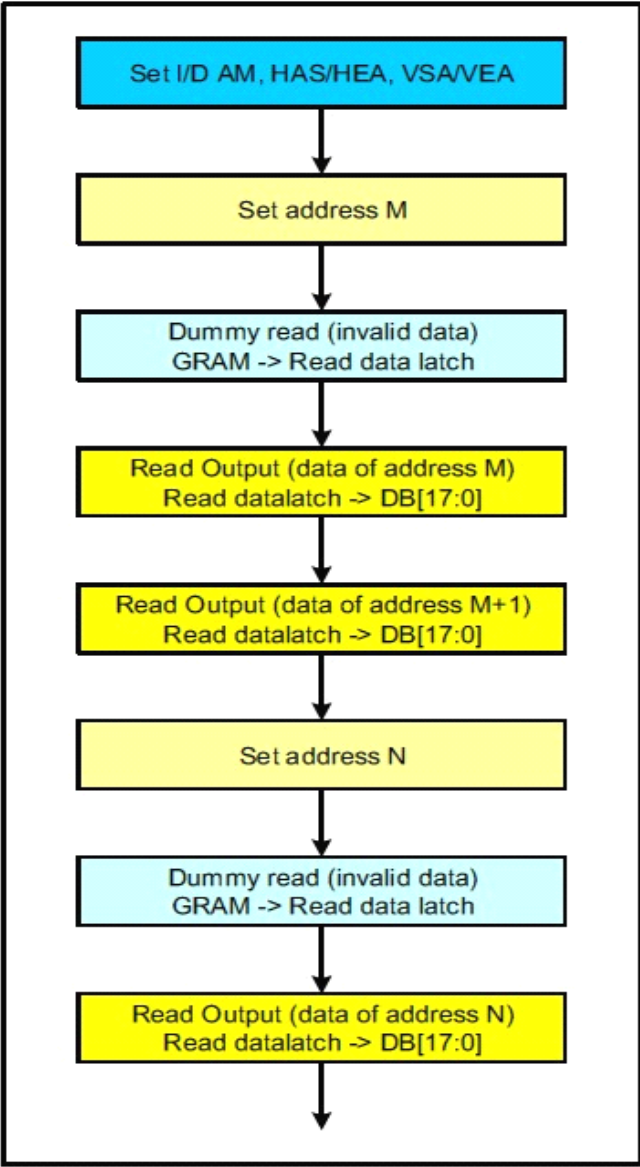


Figure 29 GRAM Data Read Back Flow Chart

8.2.22. 电力控制7 (R29h)

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	0	0	0	0	0	0	0	0	0	0	VCM5	VCM4	VCM3	VCM2	VCM1	VCM0

VCM[5:0] 设置内部VcomH电压。

VCM5	VCM4	VCM3	VCM2	VCM1	VCM0	VCOMH	VCM5	VCM4	VCM3	VCM2	VCM1	VCM0	VCOMH
0	0	0	0	0	0	VREG1OUT 0.685	x	1	0	0	0	0	VREG1OUT 0.845
0	0	0	0	0	1	VREG1OUT 0.690	x	1	0	0	0	1	VREG1OUT 0.850
0	0	0	0	1	0	VREG1OUT 0.695	x	1	0	0	0	1	VREG1OUT 0.855
0	0	0	0	1	1	VREG1OUT 0.700	x	1	0	0	0	1	VREG1OUT 0.860
0	0	0	1	0	0	VREG1OUT 0.705	x	1	0	0	1	0	VREG1OUT 0.865
0	0	0	1	0	1	VREG1OUT 0.710	x	1	0	0	1	0	VREG1OUT 0.870
0	0	0	1	1	0	VREG1OUT 0.715	x	1	0	0	1	1	VREG1OUT 0.875
0	0	0	1	1	1	VREG1OUT 0.720	x	1	0	0	1	1	VREG1OUT 0.880
0	0	1	0	0	0	VREG1OUT 0.725	x	1	0	1	0	0	VREG1OUT 0.885
0	0	1	0	0	1	VREG1OUT 0.730	x	1	0	1	0	0	VREG1OUT 0.890
0	0	1	0	1	0	VREG1OUT 0.735	x	1	0	1	0	1	VREG1OUT 0.895
0	0	1	0	1	1	VREG1OUT 0.740	x	1	0	1	0	1	VREG1OUT 0.900
0	0	1	1	0	0	VREG1OUT 0.745	x	1	0	1	1	0	VREG1OUT 0.905
0	0	1	1	0	1	VREG1OUT 0.750	x	1	0	1	1	0	VREG1OUT 0.910
0	0	1	1	1	0	VREG1OUT 0.755	x	1	0	1	1	1	VREG1OUT 0.915
0	0	1	1	1	1	VREG1OUT 0.760	x	1	0	1	1	1	VREG1OUT 0.920
0	1	0	0	0	0	VREG1OUT 0.765	x	1	1	0	0	0	VREG1OUT 0.925
0	1	0	0	0	1	VREG1OUT 0.770	x	1	1	0	0	0	VREG1OUT 0.930
0	1	0	0	1	0	VREG1OUT 0.775	x	1	1	0	0	1	VREG1OUT 0.935
0	1	0	0	1	1	VREG1OUT 0.780	x	1	1	0	0	1	VREG1OUT 0.940
0	1	0	1	0	0	VREG1OUT 0.785	x	1	1	0	1	0	VREG1OUT 0.945
0	1	0	1	0	1	VREG1OUT 0.790	x	1	1	0	1	0	VREG1OUT 0.950
0	1	0	1	1	0	VREG1OUT 0.795	x	1	1	0	1	1	VREG1OUT 0.955
0	1	0	1	1	1	VREG1OUT 0.800	x	1	1	0	1	1	VREG1OUT 0.960
0	1	1	0	0	0	VREG1OUT 0.805	x	1	1	1	0	0	VREG1OUT 0.965
0	1	1	0	0	1	VREG1OUT 0.810	x	1	1	1	0	0	VREG1OUT 0.970
0	1	1	0	1	0	VREG1OUT 0.815	x	1	1	1	0	1	VREG1OUT 0.975
0	1	1	0	1	1	VREG1OUT 0.820	x	1	1	1	0	1	VREG1OUT 0.980
0	1	1	1	0	0	VREG1OUT 0.825	x	1	1	1	1	0	VREG1OUT 0.985
0	1	1	1	0	1	VREG1OUT 0.830	x	1	1	1	1	0	VREG1OUT 0.990
0	1	1	1	1	0	VREG1OUT 0.835	x	1	1	1	1	1	VREG1OUT 0.995
0	1	1	1	1	1	VREG1OUT 0.840	x	1	1	1	1	1	VREG1OUT 1.000

8.2.23. 帧速率和色彩控制 (R2Bh)

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	0	0	0	0	0	0	0	0	0	0	0	0	FRS3	FRS2	FRS1	FRS0

FRS[4:0] 当内部电阻被用作振荡器电路时设置帧频。

FRS[3:0]	Frame Rate
0000	40

0001	43
0010	45
0011	48
0100	51
0101	55
0110	59
0111	64
1000	70
1001	77
1010	85
1011	96 (default)
1100	110
1101	128
Others	Setting Prohibited

8.2.24. Gamma Control (R30h ~ R3Dh)伽马控制

	R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
R30h	W	1	0	0	0	0	0	KP1[2]	KP1[1]	KP1[0]	0	0	0	0	0	KP0[2]	KP0[1]	KP0[0]
R31h	W	1	0	0	0	0	0	KP3[2]	KP3[1]	KP3[0]	0	0	0	0	0	KP2[2]	KP2[1]	KP2[0]
R32h	W	1	0	0	0	0	0	KP5[2]	KP5[1]	KP5[0]	0	0	0	0	0	KP4[2]	KP4[1]	KP4[0]
R35h	W	1	0	0	0	0	0	RP1[2]	RP1[1]	RP1[0]	0	0	0	0	0	RP0[2]	RP0[1]	RP0[0]
R36h	W	1	0	0	0	VRP1[4]	VRP1[3]	VRP1[2]	VRP1[1]	VRP1[0]	0	0	0	0	VRP0[3]	VRP0[2]	VRP0[1]	VRP0[0]
R37h	W	1	0	0	0	0	0	KN1[2]	KN1[1]	KN1[0]	0	0	0	0	0	KN0[2]	KN0[1]	KN0[0]
R38h	W	1	0	0	0	0	0	KN3[2]	KN3[1]	KN3[0]	0	0	0	0	0	KN2[2]	KN2[1]	KN2[0]
R39h	W	1	0	0	0	0	0	KN5[2]	KN5[1]	KN5[0]	0	0	0	0	0	KN4[2]	KN4[1]	KN4[0]
R3Ch	W	1	0	0	0	0	0	RN1[2]	RN1[1]	RN1[0]	0	0	0	0	0	RN0[2]	RN0[1]	RN0[0]
R3Dh	W	1	0	0	0	VRN1[4]	VRN1[3]	VRN1[2]	VRN1[1]	VRN1[0]	0	0	0	0	VRN0[3]	VRN0[2]	VRN0[1]	VRN0[0]

KP5-0[2:0] : γ 为正极性微调寄存器

RP1-0[2:0] : γ 为正极性斜度调整寄存器

VRP1-0[4:0] : γ 为正极性波幅调整寄存器

KN5-0[2:0] : γ 为负极性微调寄存器

RN1-0[2:0] : γ 为正负极性斜度调整寄存器

VRN1-0[4:0] : γ 为负极性波幅调整寄存器

有关详情请参照“ γ -校正功能”一节。

8.2.25. 水平和垂直位置的RAM地址(R50h, R51h, R52h, R53h)

	RW	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
R50h	W	1	0	0	0	0	0	0	0	0	HSA7	HSA6	HSA5	HSA4	HSA3	HSA2	HSA1	HSA0
R51h	W	1	0	0	0	0	0	0	0	0	HEA7	HEA6	HEA5	HEA4	HEA3	HEA2	HEA1	HEA0
R52h	W	1	0	0	0	0	0	0	0	VSA8	VSA7	VSA6	VSA5	VSA4	VSA3	VSA2	VSA1	VSA0
R53h	W	1	0	0	0	0	0	0	0	VEA8	VEA7	VEA6	VEA5	VEA4	VEA3	VEA2	VEA1	VEA0

HSA[7:0]/HEA[7:0] 水平方向上, **HSA[7:0]** and **HEA [7:0]**在窗口地址区域的开始和结束栏代表各自的地址, 通过设置**HSA**和**HEA**位, 是有可能在**GRAM**水平方向上数据的写入而限制领域。**HSA**和**HEA**位在开始**RAM**写入操作之前必须被设定。在设定这些位时, 要确保“00” h \leq **HSA[7:0]**< **HEA[7:0]** \leq “EF” h. And “04” h \leq **HEA-HAS**.

VSA[8:0]/VEA[8:0] 水垂直方向上, **VSA[8:0]** and **VEA[8:0]** 在窗口地址区域的开始和结束栏代表各自的地址, 通过设置**VSA**和**VEA**位, 是有可能在**GRAM**垂直方向上数据的写入而限制领域, 该**VSA**和**VEA**位在开始**RAM**写入操作之前必须被设定, 因此在设定时, 要确保“000” h \leq **VSA[8:0]**< **VEA[8:0]** \leq “13F” h.

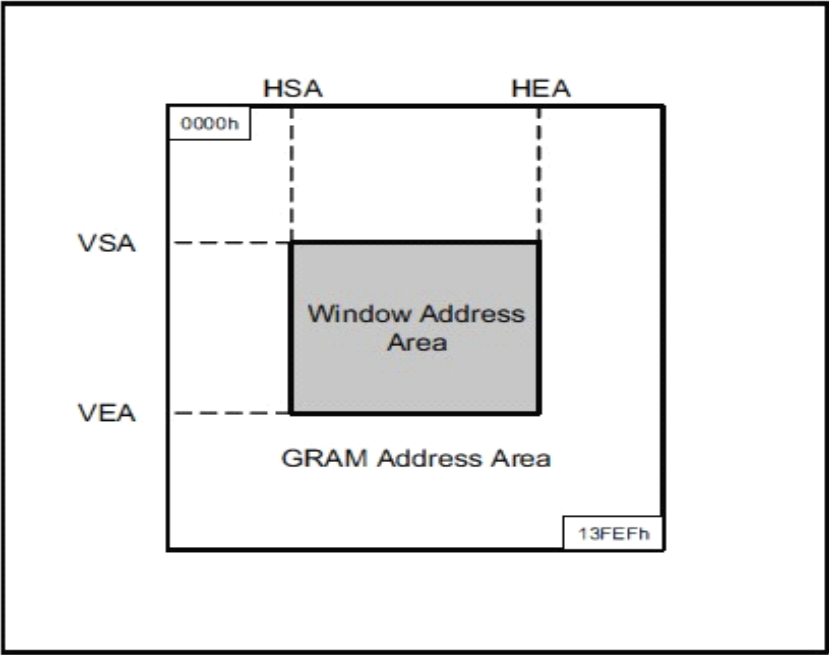


Figure 30 GRAM Access Range Configuration

$$\begin{aligned} & \text{"00"}h \leq HAS[7:0] \leq HEA[7:0] \leq \text{"EF"}h \\ & \text{"00"}h \leq VSA[7:0] \leq VEA[7:0] \leq \text{"13F"}h \end{aligned}$$

- Note1.** 窗口地址范围必须在GRAM地址范围内。
- Note2.** 在高速操作模式下，数据通过4字结构被写入到GRAM，然而虚拟写入操作的插入取决于窗口地址区域行动。有关详情，请参阅高速RAM写入功能章节。

8.2.26. 门扫描控制 (R60h, R61h, R6Ah)

	R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
R60h	W	1	GS	0	NL5	NL4	NL3	NL2	NL1	NL0	0	0	SCN5	SCN4	SCN3	SCN2	SCN1	SCN0
R61h	W	1	0	0	0	0	0	0	0	0	0	0	0	0	NDL	VLE	REV	
R6Ah	W	1	0	0	0	0	0	0	0	VL8	VL7	VL6	VL5	VL4	VL3	VL2	VL1	VL0

SCN[5:0]

ILI9325允许指定栅极线，这样通过设置SCN [5:0]位栅极驱动器开始扫描。

SCN[5:0]	Scanning Start Position			
	SM=0		SM=1	
	GS=0	GS=1	GS=0	GS=1
00h	G1	G320	G1	G320
01h	G9	G312	G17	G304
02h	G17	G304	G33	G288
03h	G25	G296	G49	G272
04h	G33	G288	G65	G256
05h	G41	G280	G81	G240
06h	G49	G272	G97	G224
07h	G57	G264	G113	G208
08h	G65	G256	G129	G192
09h	G73	G248	G145	G176
0Ah	G81	G240	G161	G160
0Bh	G89	G232	G177	G144
0Ch	G97	G224	G193	G128
0Dh	G105	G216	G209	G112
0Eh	G113	G208	G2	G96
0Fh	G121	G200	G18	G80
10h	G129	G192	G34	G64
11h	G137	G184	G50	G48
12h	G145	G176	G66	G32
13h	G153	G168	G82	G16
14h	G161	G160	G98	G319
15h	G169	G152	G114	G303
16h	G177	G144	G130	G287
17h	G185	G136	G146	G271
18h	G193	G128	G162	G255
19h	G201	G120	G178	G239
1Ah	G209	G112	G194	G223
1Bh	G217	G104	G114	G207
1Ch	G225	G96	G130	G191
1Dh	G233	G88	G146	G175
1Eh	G241	G80	G162	G159
1Fh	G249	G72	G178	G143
20h	G257	G64	G194	G127
21h	G265	G56	G210	G111
22h	G273	G48	G226	G95
23h	G281	G40	G242	G79
24h	G289	G32	G258	G63
25h	G297	G24	G274	G47
26h	G305	G16	G290	G31
27h	G313	G8	G306	G15
28h ~ 3Fh	Setting disabled	Setting disabled	Setting disabled	Setting disabled

NL[5:0]: 在一个8线区间，设置行数以驱动LCD，GRAM地址映射不会因NL[5:0]设置的行数而受到影响，且行数必须等同或大于液晶面板尺寸所需的行数。

NL[5:0]	LCD Drive Line
6'h1D	240 lines
6'h1E	248 lines
6'h1F	256 lines
6'h20	264 lines
6'h21	272 lines
6'h22	280 lines
6'h23	288 lines
6'h24	296 lines
6'h25	304 lines
6'h26	312 line
6'h27	320 line
Others	Setting inhibited

NDL: 在非显示区设置源驱动器的输出极。

NDL	Non-Display Area	
	Positive Polarity	Negative Polarity
0	V63	V0
1	V0	V63

GS: 通过栅极驱动器设置扫描方向在SCN[4:0]和NL [4:0]所确定的范围，扫描方向可由GS = 0确定，也可通过设置GS = 1来逆转方向。

当 GS = 0, 扫描方向是从G1 to G320.

当 GS = 1, 扫描方向是从G320 to G1

REV: 通过R设置EV= 1, 使图像的灰度反转。

REV	GRAM Data	Source Output in Display Area	
		Positive polarity	negative polarity
0	18'h00000	V63	V0
	.	.	.
	.	.	.
	18'h3FFFF	V0	V63
1	18'h00000	V0	V63
	.	.	.
	.	.	.
	18'h3FFFF	V63	V0

VLE: 垂直滚动显示使能位,当VLE=1时,ILI9325开始从由VL[8:0]位决定的

(物理显示)行展出基本影像,该VL[8:0]设置滚动量,这个滚动量就是这些行数就从物理显示的第一行转换初始行的显示。请注意,部分图像显示位置不会受基本影像滚动的影响。在外部接口显示操作中,垂直滚动不可用。在这种情况下,请务必设置 **VLE =“0”**。

VLE	Base Image Display
0	Fixed
1	Enable Scrolling

VL[8:0]: 设置基本图像的滚动量,该基本影象是在垂直方向滚动且由VL[8:0]确定的行显示,那就确保VL[8:0]≤320。

8.2.27. 局部影像1的显示位置 (R80h)

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	0	0	0	0	0	0	0	PTD	PTD	PTD	PTD	PTD	PTD	PTD	PTD	PTD
									P0[8]	P0[7]	P0[6]	P0[5]	P0[4]	P0[3]	P0[2]	P0[1]	P0[0]

PTDP0[8:0]: 设置局部影像1的显示位置,局部影像1的展示区和局部影像2的展示区不能互相重叠。

8.2.28. 局部影像1的RAM开始/结束地址(R81h, R82h)

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	0	0	0	0	0	0	0	PTS	PTS	PTS	PTS	PTS	PTS	PTS	PTS	PTS
									A0[8]	A0[7]	A0[6]	A0[5]	A0[4]	A0[3]	A0[2]	A0[1]	A0[0]
W	1	0	0	0	0	0	0	0	PTE	PTE	PTE	PTE	PTE	PTE	PTE	PTE	PTE
									A0[8]	A0[7]	A0[6]	A0[5]	A0[4]	A0[3]	A0[2]	A0[1]	A0[0]

PTSA0[8:0] PTEA0[8:0]: 设置RAM的开始行地址和结束行地址,以存储局部影像1的数据,并确保PTSA0 [8:0]≤PTEA0 [8:0]。

8.2.29. 局部影像2的显示位置 (R83h)

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	0	0	0	0	0	0	0	PTS	PTD	PTD	PTD	PTD	PTD	PTD	PTD	PTD
									A1[8]	P1[7]	P1[6]	P1[5]	P1[4]	P1[3]	P1[2]	P1[1]	P1[0]

PTDP1[8:0]: 设置局部影像2的显示位置,局部影像1的展示区和局部影像2的展示区不能互相重叠。.

8.2.30. 局部影像2的RAM开始/结束地址 (R84h, R85h)

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	0	0	0	0	0	0	0	PTS A1[8]	PTS A1[7]	PTS A1[6]	PTS A1[5]	PTS A1[4]	PTS A1[3]	PTS A1[2]	PTS A1[1]	PTS A1[0]
W	1	0	0	0	0	0	0	0	PTE A1[8]	PTE A1[7]	PTE A1[6]	PTE A1[5]	PTE A1[4]	PTE A1[3]	PTE A1[2]	PTE A1[1]	PTE A1[0]

PTSA1[8:0] 设置RAM的开始行地址和结束行地址，以存储局部影像2的数据，并确保 **PTSA1[8:0] ≤ PTEA1[8:0]**。

8.2.31. 平板接口控制1 (R90h)

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	0	0	0	0	0	0	DIV1 DIV0	DIV0	0	0	0	RTN4 RTN3	RTN3 RTN2	RTN2 RTN1	RTN1 RTN0	RTN0

RTNI[4:0]: 设置内部时钟运行模式中1H（线）时钟的数目，在这种模式下，**ILI9325**显示操作与内部时钟信号同步。

RTNI[4:0]	Clocks/Line	RTNI[4:0]	Clocks/Line
00000~01111	Setting Disabled	11000	24 clocks
10000	16 clocks	11001	25 clocks
10001	17 clocks	11010	26 clocks
10010	18 clocks	11011	27 clocks
10011	19 clocks	11100	28 clocks
10100	20 clocks	11101	29 clocks
10101	21 clocks	11110	30 clocks
10110	22 clocks	11111	31 clocks
10111	23 clocks		

DIV1[1:0]: 设置内部时钟频率的标度比。

DIV1	DIV0	Division Ratio	Internal Operation Clock Frequency
0	0	1	fosc / 1
0	1	2	fosc / 2
1	0	4	fosc / 4
1	1	8	fosc / 8

8.2.32. 平板接口控制2 (R92h)

RW	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	0	0	0	0	0	NOWI[2]	NOWI[1]	NOWI[0]	0	0	0	0	0	0	0	0

NOWI[2:0]:当ILI9325显示操作与内部时钟信号同步时,设置门（栅极）输出非重叠期。

NOWI[2:0]	Gate Non-overlap Period
000	0 clocks
001	1 clocks
010	2 clocks
011	3 clocks
100	4 clocks
101	5 clocks
110	6 clocks
111	7 clocks

Note: 栅极输出非重叠期是由分频内部时钟数定义的，而频率是从基准点开始由指示的（DIV1）决定。

8.2.33. 平板接口控制4(R95h)

RW	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	0	0	0	0	0	0	DIVE1	DIVE0	0	0	RTNE5	RTNE4	RTNE3	RTNE2	RTNE1	RTNE0

RTNE[5:0]: 设置RGB接口模式中1H（线）时钟的数目，在这种模式下，

ILI9325显示操作的RGB接口信号同步。

在1H期，**DIVE**（分频比）× **RTNE**（DOTCLKs）≤**DOTCLKs**。

$DIVE (division ratio) \times RTNE (DOTCLKs) \leq DOTCLKs \text{ in } 1H \text{ period}$

RTNE[5:0]	Clocks per line period (1H)	RTNE[5:0]	Clocks per line period (1H)	RTNE[5:0]	Clocks per line period (1H)	RTNE[5:0]	Clocks per line period (1H)
00h	Setting Prohibited	10h	16 clocks	20h	32 clocks	30h	48 clocks
01h	Setting Prohibited	11h	17 clocks	21h	33 clocks	31h	49 clocks
02h	Setting Prohibited	12h	18 clocks	22h	34 clocks	32h	50 clocks
03h	Setting Prohibited	13h	19 clocks	23h	35 clocks	33h	51 clocks
04h	Setting Prohibited	14h	20 clocks	24h	36 clocks	34h	52 clocks
05h	Setting Prohibited	15h	21 clocks	25h	37 clocks	35h	53 clocks
06h	Setting Prohibited	16h	22 clocks	26h	38 clocks	36h	54 clocks
07h	Setting Prohibited	17h	23 clocks	27h	39 clocks	37h	55 clocks
08h	Setting Prohibited	18h	24 clocks	28h	40 clocks	38h	56 clocks
09h	Setting Prohibited	19h	25 clocks	29h	41 clocks	39h	57 clocks
0ah	Setting Prohibited	1ah	26 clocks	2ah	42 clocks	3ah	58 clocks
0bh	Setting Prohibited	1bh	27 clocks	2bh	43 clocks	3bh	59 clocks
0ch	Setting Prohibited	1ch	28 clocks	2ch	44 clocks	3ch	60 clocks
0dh	Setting Prohibited	1dh	29 clocks	2dh	45 clocks	3dh	61 clocks
0eh	Setting Prohibited	1eh	30 clocks	2eh	46 clocks	3eh	62 clocks
0fh	Setting Prohibited	1fh	31 clocks	2fh	47 clocks	3fh	63 clocks

DIVE[1:0]: 当ILI9325显示操作与RGB接口信号同步时，设置DOTCLK分频比。

DIVE[1:0]	Division Ratio	18/16-bit RGB Interface	DOTCLK=5MHz	6-bit x 3 Transfers RGB Interface	DOTCLK=5MHz
00	Setting Prohibited	Setting Prohibited	-	Setting Prohibited	-
01	1/4	4 DOTCLKS	0.8 μ s	12 DOTCLKS	0.8 μ s
10	1/8	8 DOTCLKS	1.6 μ s	24 DOTCLKS	1.6 μ s
11	1/16	16 DOTCLKS	3.2 μ s	48 DOTCLKS	3.2 μ s

8.2.34. OTP VCM 编程控制 (RA1h)

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	0	0	0	0	OTP_PGM_EN	0	0	0	0	0	VCM_OTP5	VCM_OTP4	VCM_OTP3	VCM_OTP2	VCM_OTP1	VCM_OTP0

OTP_PGM_EN: OTP编程使能，当编程为OTP时，必须设置这个位，OTP数据可以被编程3次。

VCM_OTP[5:0]: VCOMH电压的OTP编程数据，电压参考VCM[5:0]值。

8.2.35. OTP VCM 的状态和启用(RA2h)

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	PGM_CNT1	PGM_CNT0	VCM_D5	VCM_D4	VCM_D3	VCM_D2	VCM_D1	VCM_D0	0	0	0	0	0	0	0	VCM_EN

PGM_CNT[1:0]: OTP 编程纪录，这些位是只读的。

OTP_PGM_CNT[1:0]	Description
00	OTP clean
01	OTP programmed 1 time
10	OTP programmed 2 times
11	OTP programmed 3 times

VCM_D[5:0]: OTP VCM 数据读取值，这些位是只读的。

VCM_EN: OTP VCM数据使能。.

- ’ 1’ : 设置位，以使OTP VCM数据代替 R29h VCM值。
- ’ 0’ : 默认值，使用R29hVCM值。

8.2.36. OTP 编程ID密钥 (RA5h)

R/W	RS	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W	1	KEY 15	KEY 14	KEY 13	KEY 12	KEY 11	KEY 10	KEY 9	KEY 8	KEY 7	KEY 6	KEY 5	KEY 4	KEY 3	KEY 2	KEY 1	KEY 0

KEY[15:0]: 、重点保护的 OTP 编程 ID，在写入 OTP 编程数据 **RA1h** 之前，
必须先用 **0xAA55** 值写入 **RA5h** 以确保 OTP 编程的成功，如果不用 **0xAA55**
值写入 **RA5h**，OTP 编程将失败。详见 OTP 编程流程。