

ГУАП

КАФЕДРА № 44

ОТЧЕТ  
ЗАЩИЩЕН С ОЦЕНКОЙ  
ПРЕПОДАВАТЕЛЬ

доцент, канд. техн. наук,  
доцент

\_\_\_\_\_  
должность, уч. степень, звание

\_\_\_\_\_  
подпись, дата

А. А. Востриков

\_\_\_\_\_  
инициалы, фамилия

ОТЧЕТ О ЛАБОРАТОРНОЙ РАБОТЕ №4

Лабораторная работа №4

по курсу: Проектирование систем обработки и передачи информации

РАБОТУ ВЫПОЛНИЛ

СТУДЕНТ ГР. №

4143

\_\_\_\_\_  
подпись, дата

Д. В. Пономарев

\_\_\_\_\_  
инициалы, фамилия

Санкт-Петербург 2024

**1. Цель работы:** проверка работоспособности разработанных в предыдущих лабораторных работах цифровых узлов на макетной плате с установленной PLD Altera, изучение средств среды Quartus по созданию программных образов для PLD и программированию PLD, отладка созданной схемотехники.

**2. Задание:** выбрать один из вариантов реализации своего цифрового узла и провести необходимую модификацию для использования в макете, с использованием ПО Quartus назначить портам разработанного проекта фактические выводы PLD, создать программный образ (конфигурацию) для PLD, запрограммировать PLD на макетной плате. Проверить работоспособность схемы и, при необходимости, отладить.

### 3. Вариант задания:

**11. Измеритель скорости реакции** (определяет время, прошедшее между включением светодиода и нажатием кнопки, и отображает его на двухпозиционном семисегментном индикаторе двух десятичных цифр).

Рисунок 1 – задание

### 4. Ход работы

Для проверки работоспособности цифрового узла была выбрана блок-схема. Т.к. частота тактового генератора на макете  $\approx 25$  МГц (40 нс), то блок-схему надо подготовить к данной частоте. Для этого был добавлен счетчик. Поскольку один такт в моей работе должен быть равен 1 мс счетчик считает до 25000, а при значениях больше 12500 компаратор выдает 1. Обновлённая блок-схема показана на рисунке 2.

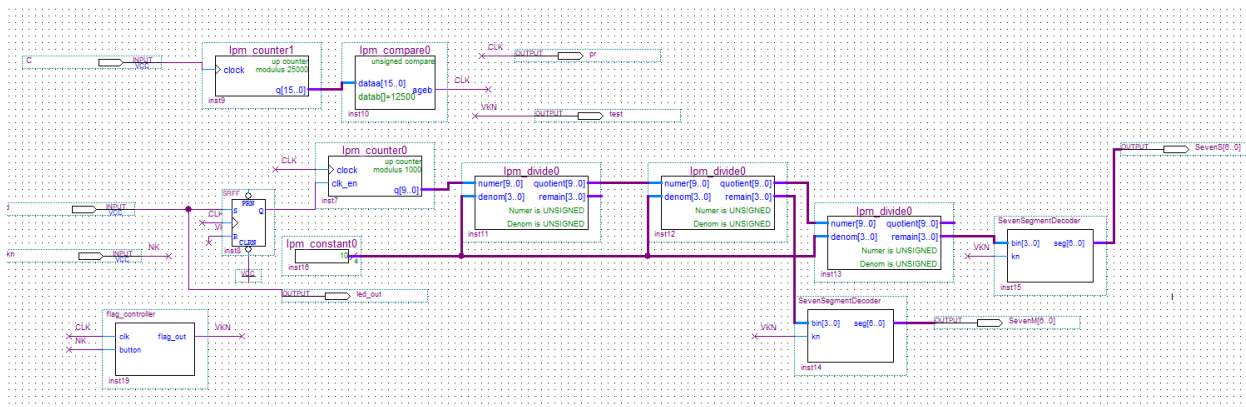


Рисунок 2 – Блок-схема

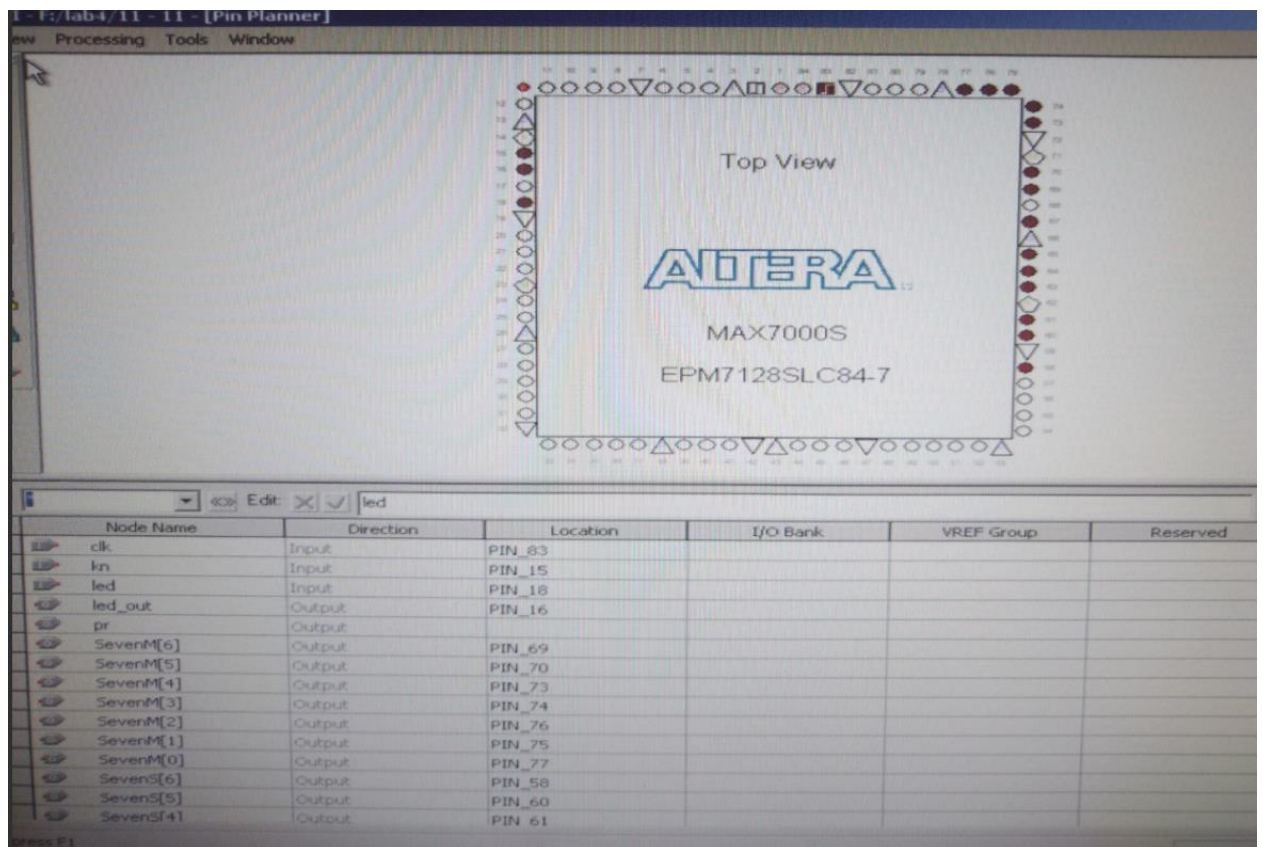
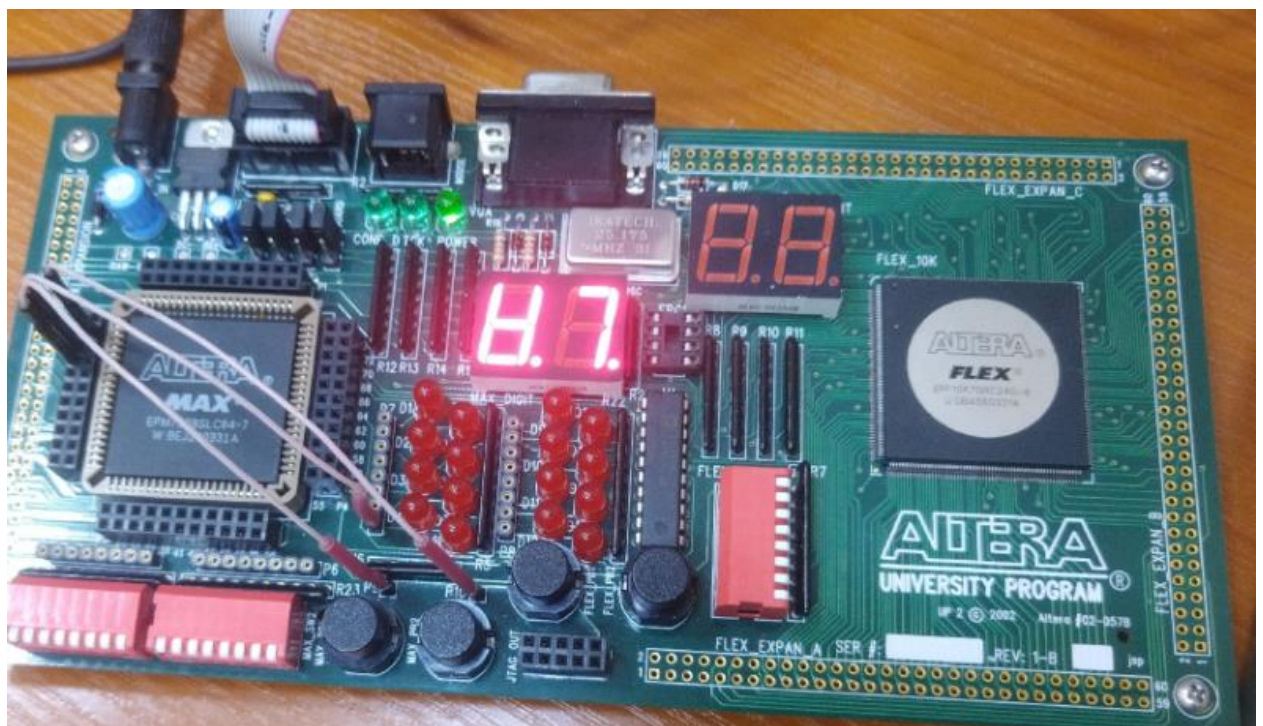


Рисунок 3 – Назначение пинов

На рисунках 3-6 показана работа на плате.

а)



б)



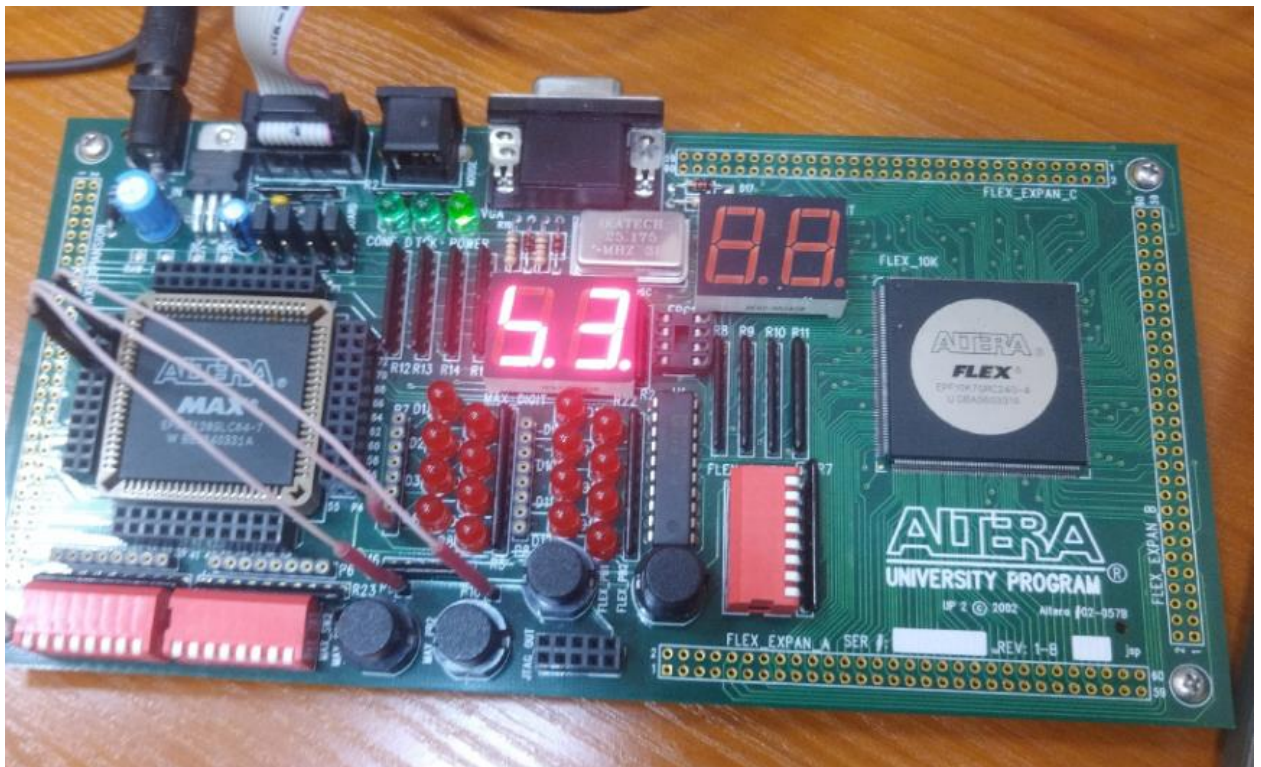


Рисунок 3 (а, б) – Работа на плате

Также в ходе проверки на аппаратуре выяснилось, что есть проблема сдребезгом кнопок. Проблема продемонстрирована на рисунке 4.

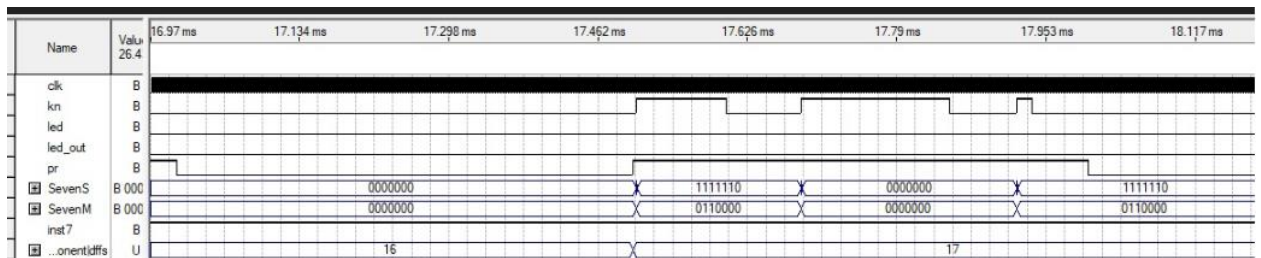


Рисунок 4– Дребезг кнопки

В качестве решения был разработан модуль, после того как кнопка будет отпущена произойдет задержка в 50мс. Модуль был разработан на языке Verilog, после чего добавлен на схему(рисунок 2). Листинг модуля избеганиядребезга.

#### Листинг кода

```
module flag_controller (
    input wire clk,          // Сигнал тактового генератора (1 мс)
    input wire button,       // Вход от кнопки
    output reg flag_out      // Выходное значение флага
```

);

```
reg flag;          // Флаг, активируется при отпускании кнопки
reg [5:0] counter;  // Счетчик для отсчета 50 тактов
reg button_prev;    // Предыдущее состояние кнопки

always @(posedge clk) begin
    // Обновляем предыдущее состояние кнопки
    button_prev <= button;

    // Проверяем переход из 1 в 0 (отпускание кнопки)
    if (!button && button_prev && !flag) begin
        flag <= 1'b1;    // Устанавливаем флаг
        counter <= 6'd50; // Устанавливаем счетчик на 50 тактов
    end else if (flag) begin
        if (counter > 0) begin
            counter <= counter - 1; // Уменьшаем счетчик
        end else begin
            flag <= 1'b0;    // Сбрасываем флаг, если счетчик достиг нуля
        end
    end
end

flag_out <= flag; // Выводим значение флага
end

endmodule
```

Далее будет приведен результат. Стоит отметить, что пример будет смоделирован на небольших числах из-за чего задержка в 50мс будет казаться большой, но при настоящей работе 50 мс будет достаточно чтобы избежать

дребезг но не сильно влиять на результат.

В переменной kn нажатие кнопки, а test показывает что передается на все входы в схеме.

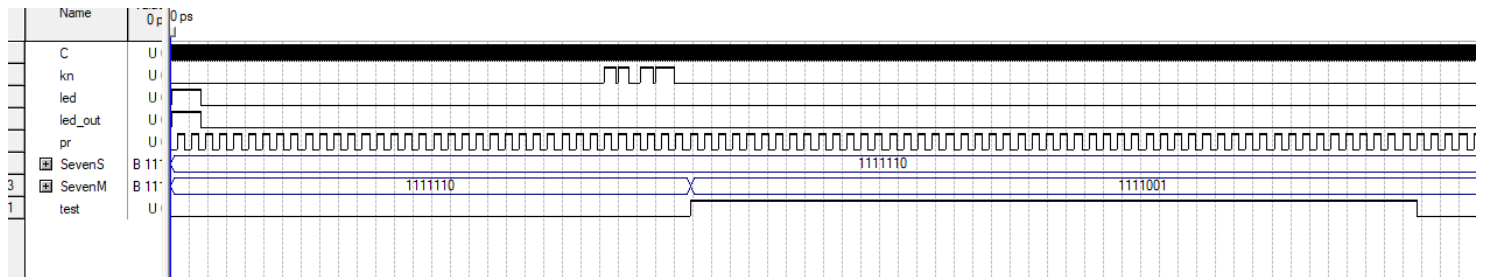


Рисунок 5– Результат исправления

**Вывод:** в результате выполнения лабораторной работы была проверена работоспособность разработанных в предыдущих лабораторных работах цифровых узлов на макетной плате с установленной PLD Altera, были изучены средства среды Quartus по созданию программных образов для PLD и программированию PLD, отладке созданной схемотехники.