

# 컴퓨터 공학 기초 실험2 보고서

실험제목: 2-to-1 MUX

실험일자: 2021년 09월 12일 (월)

제출일자: 2021년 09월 21일 (수)

학 과: 컴퓨터공학과

담당교수: 공영호 교수님

실습분반: 화요일 0, 1, 2

학 번: 2020202040

성 명: 박 민 형

## 1. 제목 및 목적

### A. 제목

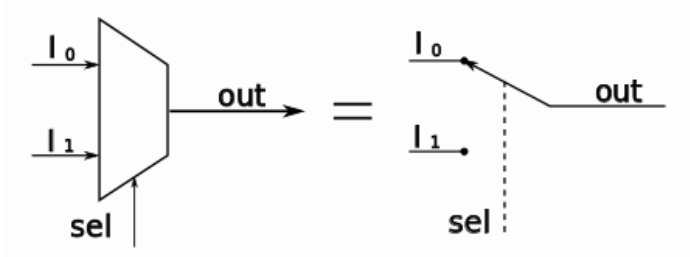
2-to-1 MUX

### B. 목적

멀티플렉서, 간단히 MUX라고 하는 이 장치는 여러 입력 신호에서 하나를 선택하여 출력 신호로 전송하는 전자 장치로 다중 입력 단일 출력 스위치로 간주된다. 이런 특성 때문에 중앙 처리 장치 (CPU)나 그래픽 컨트롤러와 같은 디지털 반도체를 구축하는 곳에서 널리 쓰이고 있다. 이번 실험에서는 이 중요한 멀티플렉서를 HDL 언어인 Verilog로 구현할 것이다. 이런 과정 속에서 멀티플렉서의 동작 원리를 상기하고 디지털 논리회로 설계를 어떻게 컴퓨터 언어로 표현하는가에 대해서도 학습할 수 있다.

## 2. 원리(배경지식)

멀티플렉서는 여러 입력선 중 하나를 선택하여 출력선에 연결하는 조합 논리 회로이다. 일반적으로 입력선  $2^n$ 개와 선택선  $n$ 개의 비트 조합에 따라 입력선을 하나 선택하여 이 입력선의 2진 정보를 출력선에 넘겨주므로 데이터 선택기라고도 한다.



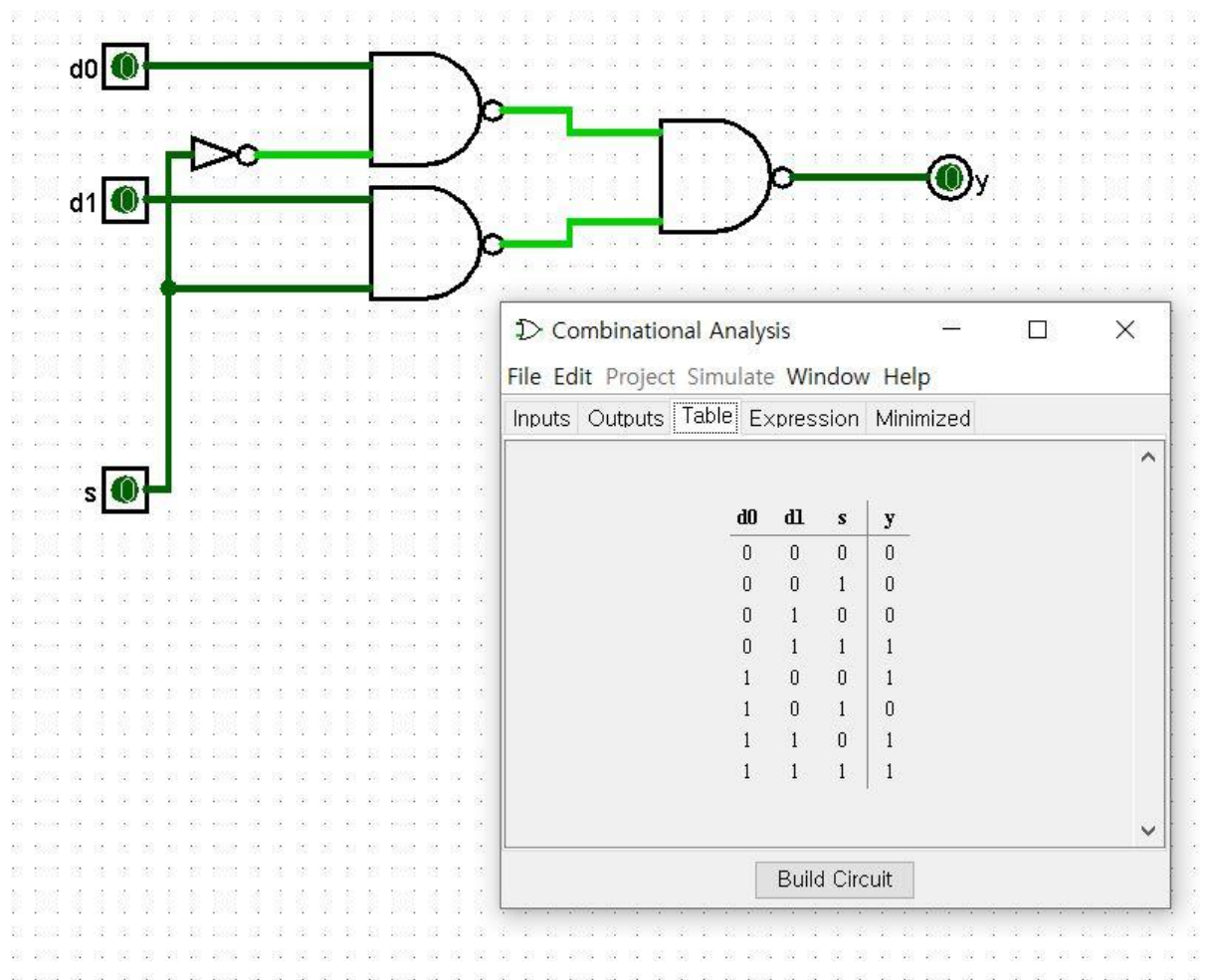
진리표는 다음과 같다.

$S_0$	A	B	Z
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

Or, in simpler notation:

$S_0$	Z
0	A
1	B

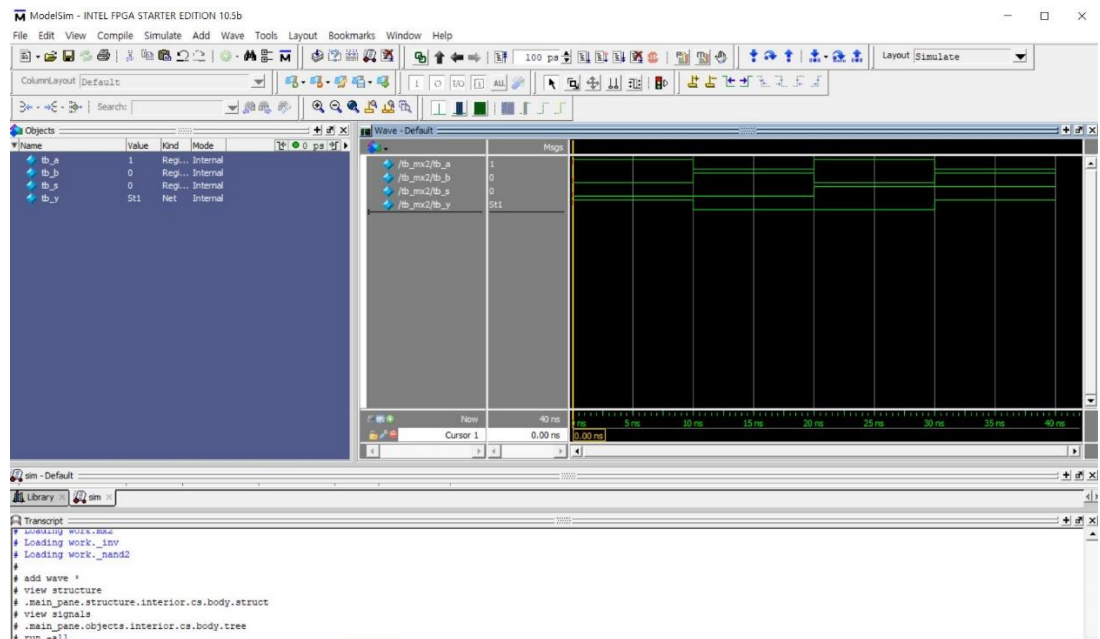
### 3. 설계 세부사항



베릴로그로 구현에서는 주어진 조건에 맞춰서 NAND와 Inverter 게이트로 구성한다. gates.v에는 nand gate와 inverter를 포함시키고, mu2.v에서 각각의 게이트를 연결 할 때에는 연결 부분을 wire로 연결한다.

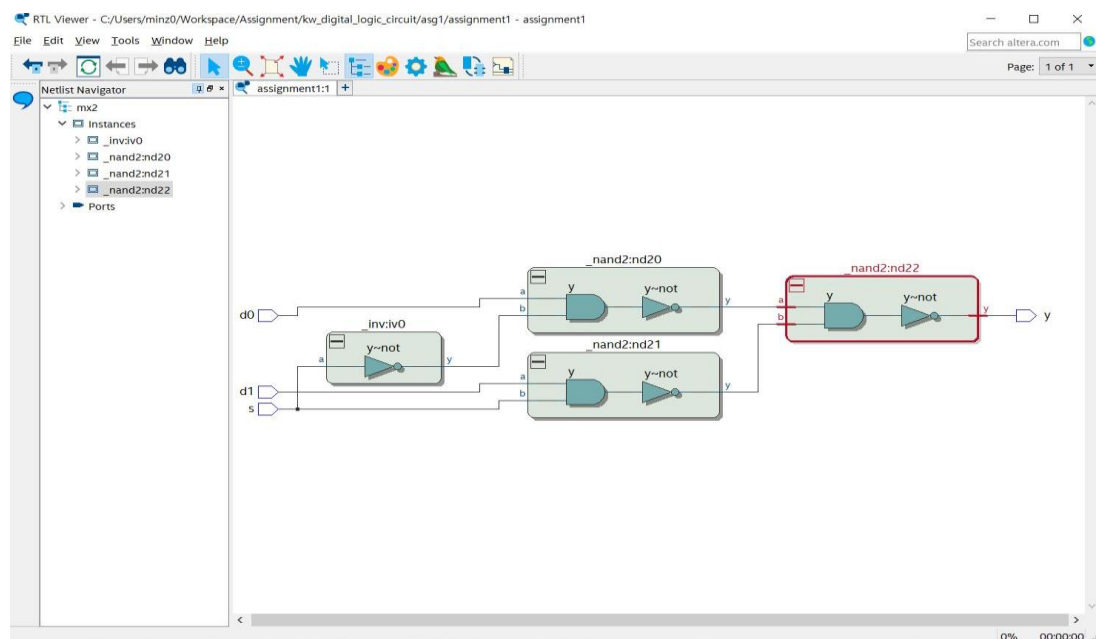
#### 4. 설계 검증 및 실험 결과

##### A. 시뮬레이션 결과



testbench는 시간 단위는 1ns/100ps이고, named mapping 방식으로 출력 값을 구성했다. s가 0일 때에는  $y = a$ 이고, s가 1일 때에는  $y = b$ 임을 확인할 수 있다.

##### B. 합성(synthesis) 결과



주어진 설계도와 일치한다.

## 5. 고찰 및 결론

### A. 고찰

Quartus에서 설계를 진행하고 테스트했는데, 컴파일이 잘 안되어서 애를 먹었다. 그리고 Quartus에서의 실험을 마치고 Icarus Verilog에서도 컴파일을 해봤는데 연동 방식이 다른지 잘 안되었다. gtkwave가 내가 짠 v 파일을 인식을 못했다. 다른 환경에서는 개발이 가능한지 궁금했다.

### B. 결론

조합 논리 회로에 대해서는 대충 어떻게 설계를 할 수 있는지 이번 실험을 통해 알게 되어서 무척 유익한 시간이었다. CLK값은 어떻게 주고 순차 논리 회로는 어떻게 구현할 수 있을지 매우 궁금해졌다.

## 6. 참고문헌

Multiplexer/<https://en.wikipedia.org/wiki/Multiplexer>

임석구 외 1명/최신 컴퓨터구조/한빛아카데미/2019

그 외 컴파일 어떻게 해야하는지 도움을 주신 조교님 감사합니다