

컴퓨터 공학 기초 실험2 보고서

실험제목: Subtractor & Arithmetic Logic Unit(ALU)

실험일자: 2021년 10월 04일 (화)

제출일자: 2021년 10월 12일 (수)

학 과: 컴퓨터공학과

담당교수: 공영호 교수님

실습분반: 화요일 0, 1, 2

학 번: 2020202040

성 명: 박민형

1. 제목 및 목적

A. 제목

Subtractor & Arithmetic Logic Unit(ALU)

B. 목적

이번 시간에는 컴퓨터 구조에서 어찌 보면 가장 핵심적인 역할을 담당한다고 할 수 있는 산술 논리 연산 장치에 대해서 배우고 설계한다. 산술 논리 연산 장치는 산술 연산과 논리 연산을 수행하는데 우리가 쓰는 컴퓨터의 가장 낮은 레벨에서 연산을 수행하므로 기반이라고 할 수 있다. 컴퓨터의 하드웨어가 지금처럼 발전하기 이전에는 최대한 적은 비트로 최대의 아웃풋을 뽑아내야 했기 때문에 효율성이 중시되었는데 이런 배경 속에서 폰 노이만은 ALU의 가이드라인을 제시하였다. 이번 실험에서 우리는 이 발자취를 따라가 볼 것이다.



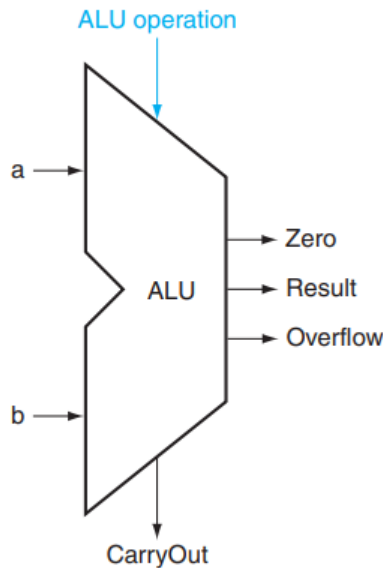
2. 원리(배경지식)

A. Subtractor

Subtractor(감산기)는 Adder와는 달리 감산을 목적으로 사용하는 조합논리 회로이다. 조합논리 회로에서 Adder와 마찬가지로 고유의 Carry를 수식적으로 처리해서 만들 수 있는 Half Subtractor(반감산기), Full Subtractor(전감산기)가 있으나, 본 실험에서는 Adder의 입출출≒ALU에서

B. ALU

Arithmetic Logic Unit(ALU, 산술 논리 연산 장치)는 산술 연산과 논리 연산을 처리하는 프로세서의 일부이다. ALU는 명령어에 따라 산술 연산(사칙연산, 증가, 감소, 보수)이나 논리 연산(AND, OR, NOT, XOR, 시프트) 중 하나를 실행한다. ALU를 그림으로 나타내면 다음과 같다.

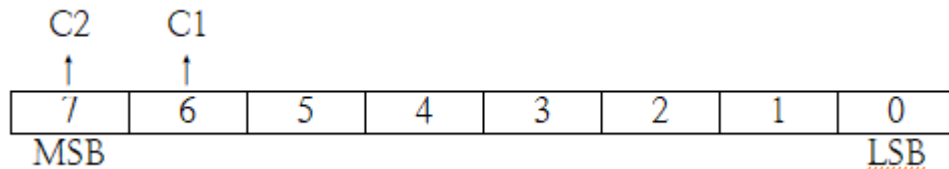


본 실험에서는 그림의 ALU operation에 대응하는 opcode라는 3bit code를 따라서 여러 가지 연산을 할 것이다. Opcode는 다음과 같다.

3'b000	NOT A
3'b001	NOT B
3'b010	AND
3'b011	OR
3'b100	XOR
3'b101	XNOR
3'b110	Addition
3'b111	Subtraction

C. Carry와 Overflow

Carry는 Most Significant Bit(MSB)에서 그 위의 비트로 자리 올림이 발생하는 것을 의미한다. 쉽게 말해서 자리올림 수이다. CLA에서의 Carry-in과 Carry-out 생각하면 된다. Carry는 프로그램의 오류 발생과는 관계가 없다. 반면에 Overflow는 연산 결과 값이 주어진 비트 수로 표현될 수 있는 범위를 넘긴 것을 의미한다. 수의 범위를 넘었기 때문에 Overflow는 오류 발생을 의미한다.



위의 그림처럼 8bits binary number에서 LSB부터 MSB까지 각각 0부터 7번까지의 번호를 부여하면 C1, C2는 각각 다음 상위 비트로의 올림 수를 의미하는데, 일반적으로 Carry는 C2를 의미한다. 여기서 C1과 C2를 보면 Overflow 여부를 알 수 있다. C1 = C2라면 Overflow로 판단할 수 있다.

C1	C2	예시	Overflow
0	0	$1 + 1 = 2$	X
0	1	$-128 + (-128) = 256$	O
1	0	$1 + 127 = 128$	O
1	1	$1 + (-1) = 0$	X

D. Blocking과 Non-Blocking

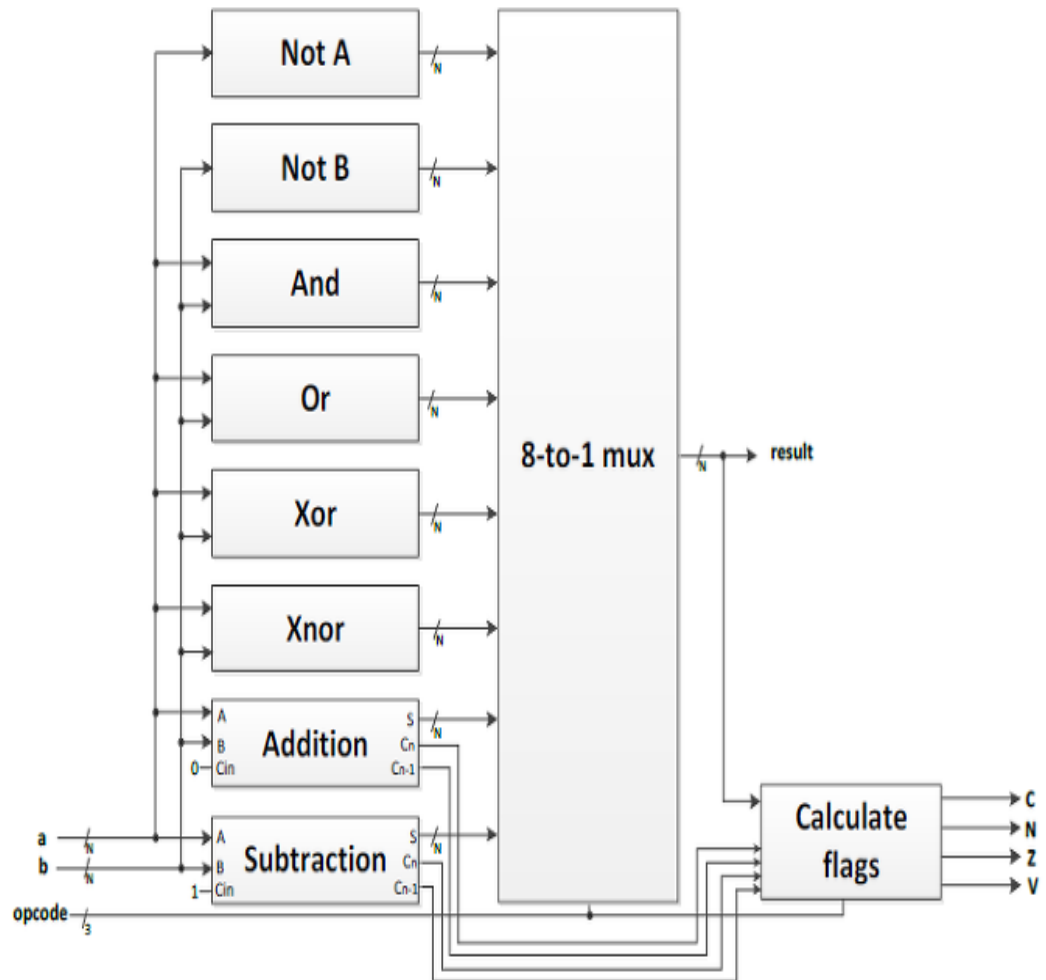
Blocking과 Non-Blocking은 제어권과 관련하여 단일 개체 스스로의 상태와 관련된 개념이다.

Blocking: 자신의 작업을 진행하다가 다른 주체의 작업이 시작되면 다른 작업이 끝날 때까지 기다렸다가 자신의 작업을 시작하는 것.

Non-Blocking: 다른 주체의 작업에 관련 없이 자신의 작업을 하는 것.

3. 설계 세부사항

ALU의 Schematic은 다음과 같다.



4. 설계 검증 및 실험 결과

Table of Contents	Flow Summary																																						
<ul style="list-style-type: none">Flow SummaryFlow SettingsFlow Non-Default Global SettingsFlow Elapsed TimeFlow OS SummaryFlow LogAnalysis & SynthesisFitterAssemblerTiming AnalyzerEDA Netlist WriterFlow MessagesFlow Suppressed Messages	<p><<Filter>></p> <table><tr><td>Flow Status</td><td>Successful - Wed Oct 12 05:06:14 2022</td></tr><tr><td>Quartus Prime Version</td><td>18.1.0 Build 625 09/12/2018 SJ Lite Edition</td></tr><tr><td>Revision Name</td><td>alu4</td></tr><tr><td>Top-level Entity Name</td><td>alu4</td></tr><tr><td>Family</td><td>Cyclone V</td></tr><tr><td>Device</td><td>5CSXFC6D6F31C6</td></tr><tr><td>Timing Models</td><td>Final</td></tr><tr><td>Logic utilization (in ALMs)</td><td>10 / 41,910 (< 1 %)</td></tr><tr><td>Total registers</td><td>0</td></tr><tr><td>Total pins</td><td>19 / 499 (4 %)</td></tr><tr><td>Total virtual pins</td><td>0</td></tr><tr><td>Total block memory bits</td><td>0 / 5,662,720 (0 %)</td></tr><tr><td>Total DSP Blocks</td><td>0 / 112 (0 %)</td></tr><tr><td>Total HSSI RX PCSs</td><td>0 / 9 (0 %)</td></tr><tr><td>Total HSSI PMA RX Deserializers</td><td>0 / 9 (0 %)</td></tr><tr><td>Total HSSI TX PCSs</td><td>0 / 9 (0 %)</td></tr><tr><td>Total HSSI PMA TX Serializers</td><td>0 / 9 (0 %)</td></tr><tr><td>Total PLLs</td><td>0 / 15 (0 %)</td></tr><tr><td>Total DLLs</td><td>0 / 4 (0 %)</td></tr></table>	Flow Status	Successful - Wed Oct 12 05:06:14 2022	Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition	Revision Name	alu4	Top-level Entity Name	alu4	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	10 / 41,910 (< 1 %)	Total registers	0	Total pins	19 / 499 (4 %)	Total virtual pins	0	Total block memory bits	0 / 5,662,720 (0 %)	Total DSP Blocks	0 / 112 (0 %)	Total HSSI RX PCSs	0 / 9 (0 %)	Total HSSI PMA RX Deserializers	0 / 9 (0 %)	Total HSSI TX PCSs	0 / 9 (0 %)	Total HSSI PMA TX Serializers	0 / 9 (0 %)	Total PLLs	0 / 15 (0 %)	Total DLLs	0 / 4 (0 %)
Flow Status	Successful - Wed Oct 12 05:06:14 2022																																						
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition																																						
Revision Name	alu4																																						
Top-level Entity Name	alu4																																						
Family	Cyclone V																																						
Device	5CSXFC6D6F31C6																																						
Timing Models	Final																																						
Logic utilization (in ALMs)	10 / 41,910 (< 1 %)																																						
Total registers	0																																						
Total pins	19 / 499 (4 %)																																						
Total virtual pins	0																																						
Total block memory bits	0 / 5,662,720 (0 %)																																						
Total DSP Blocks	0 / 112 (0 %)																																						
Total HSSI RX PCSs	0 / 9 (0 %)																																						
Total HSSI PMA RX Deserializers	0 / 9 (0 %)																																						
Total HSSI TX PCSs	0 / 9 (0 %)																																						
Total HSSI PMA TX Serializers	0 / 9 (0 %)																																						
Total PLLs	0 / 15 (0 %)																																						
Total DLLs	0 / 4 (0 %)																																						

ALU 4bits의 Flow Summary

Table of Contents	Flow Summary																																						
<ul style="list-style-type: none">Flow SummaryFlow SettingsFlow Non-Default Global SettingsFlow Elapsed TimeFlow OS SummaryFlow LogAnalysis & SynthesisFitterAssemblerTiming AnalyzerEDA Netlist WriterFlow MessagesFlow Suppressed Messages	<p><<Filter>></p> <table><tr><td>Flow Status</td><td>Successful - Wed Oct 12 05:03:10 2022</td></tr><tr><td>Quartus Prime Version</td><td>18.1.0 Build 625 09/12/2018 SJ Lite Edition</td></tr><tr><td>Revision Name</td><td>alu32</td></tr><tr><td>Top-level Entity Name</td><td>alu32</td></tr><tr><td>Family</td><td>Cyclone V</td></tr><tr><td>Device</td><td>5CSXFC6D6F31C6</td></tr><tr><td>Timing Models</td><td>Final</td></tr><tr><td>Logic utilization (in ALMs)</td><td>101 / 41,910 (< 1 %)</td></tr><tr><td>Total registers</td><td>0</td></tr><tr><td>Total pins</td><td>103 / 499 (21 %)</td></tr><tr><td>Total virtual pins</td><td>0</td></tr><tr><td>Total block memory bits</td><td>0 / 5,662,720 (0 %)</td></tr><tr><td>Total DSP Blocks</td><td>0 / 112 (0 %)</td></tr><tr><td>Total HSSI RX PCSs</td><td>0 / 9 (0 %)</td></tr><tr><td>Total HSSI PMA RX Deserializers</td><td>0 / 9 (0 %)</td></tr><tr><td>Total HSSI TX PCSs</td><td>0 / 9 (0 %)</td></tr><tr><td>Total HSSI PMA TX Serializers</td><td>0 / 9 (0 %)</td></tr><tr><td>Total PLLs</td><td>0 / 15 (0 %)</td></tr><tr><td>Total DLLs</td><td>0 / 4 (0 %)</td></tr></table>	Flow Status	Successful - Wed Oct 12 05:03:10 2022	Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition	Revision Name	alu32	Top-level Entity Name	alu32	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	101 / 41,910 (< 1 %)	Total registers	0	Total pins	103 / 499 (21 %)	Total virtual pins	0	Total block memory bits	0 / 5,662,720 (0 %)	Total DSP Blocks	0 / 112 (0 %)	Total HSSI RX PCSs	0 / 9 (0 %)	Total HSSI PMA RX Deserializers	0 / 9 (0 %)	Total HSSI TX PCSs	0 / 9 (0 %)	Total HSSI PMA TX Serializers	0 / 9 (0 %)	Total PLLs	0 / 15 (0 %)	Total DLLs	0 / 4 (0 %)
Flow Status	Successful - Wed Oct 12 05:03:10 2022																																						
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition																																						
Revision Name	alu32																																						
Top-level Entity Name	alu32																																						
Family	Cyclone V																																						
Device	5CSXFC6D6F31C6																																						
Timing Models	Final																																						
Logic utilization (in ALMs)	101 / 41,910 (< 1 %)																																						
Total registers	0																																						
Total pins	103 / 499 (21 %)																																						
Total virtual pins	0																																						
Total block memory bits	0 / 5,662,720 (0 %)																																						
Total DSP Blocks	0 / 112 (0 %)																																						
Total HSSI RX PCSs	0 / 9 (0 %)																																						
Total HSSI PMA RX Deserializers	0 / 9 (0 %)																																						
Total HSSI TX PCSs	0 / 9 (0 %)																																						
Total HSSI PMA TX Serializers	0 / 9 (0 %)																																						
Total PLLs	0 / 15 (0 %)																																						
Total DLLs	0 / 4 (0 %)																																						

ALU 32bits의 Flow Summary

A. 시뮬레이션 결과

[illegible]

ALU 4bits의 Logic Module이다.

[illegible]

ALU 4bits의 Arithmetic Logic Module이다.

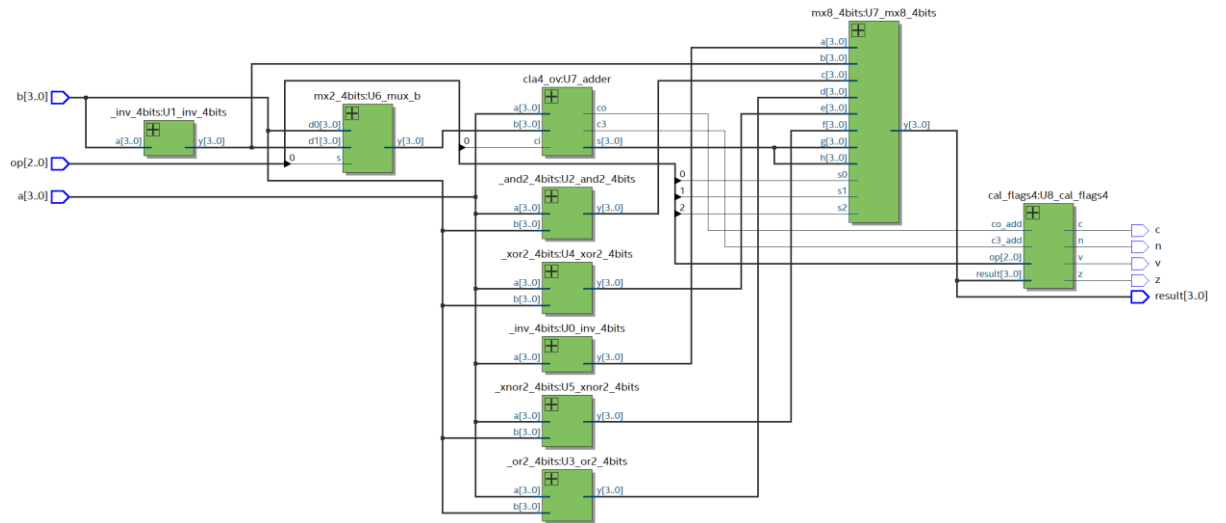
[illegible]

ALU 32bits의 Logic Module이다.

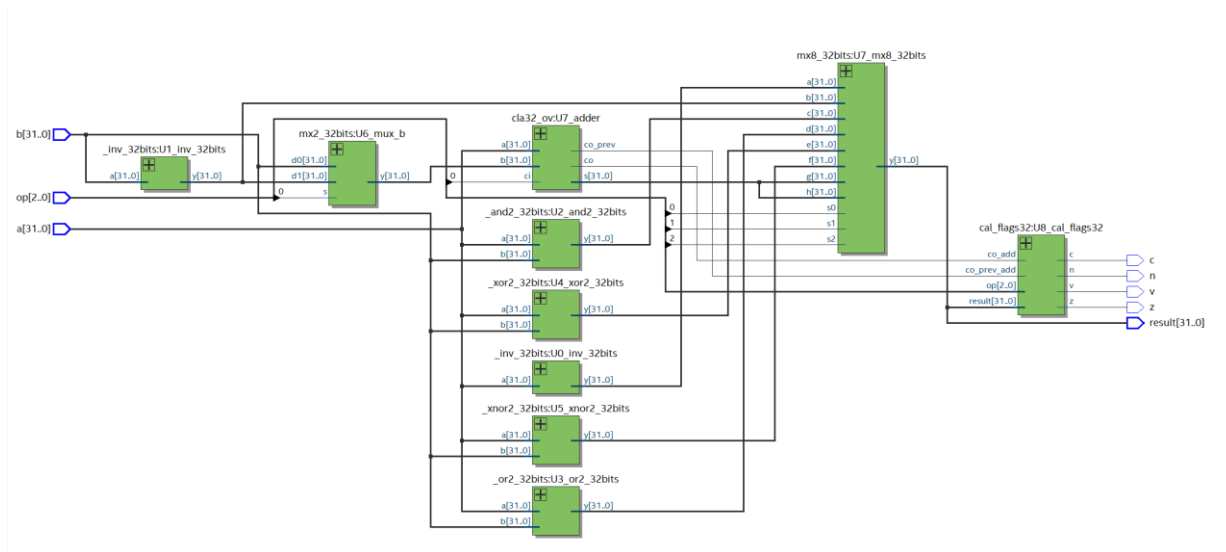
[illegible]

ALU 32bits의 Arithmetic Logic Module이다.

B. 합성(synthesis) 결과



ALU 4bits



ALU 32bits

5. 고찰 및 결론

A. 고찰

Logic Module과 Arithmetic Module 두 모듈은 논리 연산과 산술 연산이라는 다른 연산 과정을 거치기 때문에 어떻게 ALU를 설계해야 하나 의문이었다. 그런 와중에 주어진 opcode를 보고 이는 조건문을 사용해야하겠다고 생각했더니 과제 자료에서 조건문을 제시하였다. If문 비슷하게 짜긴 했지만, C언어에 있는 case문으로 짜도 훌륭한 결과물이 나올 것으로 예상된다.

B. 결론

사실 ALU를 직접 설계해보기 전까지는 MUX가 왜 필요한지에 대해서 잘 몰랐었다. 그런데 ALU를 설계해보고 나니 왜 MUX를 사용하는지 분명하게 알게 되었다. Verilog가 사용하는 벡터가 C언어의 배열과 유사하면서도 약간의 차이가 있는 것을 이번 실험을 통해서 알게 되었다.

6. 참고문헌

임석구 외 1명/최신 컴퓨터 구조/한빛아카데미/2019

신경욱/Verilog HDL을 이용한 디지털 시스템 설계 및 실습/카오스북/2013

SAMIR PALNITKAR/Verilog HDL 디지털 설계와 합성의 길잡이/홍릉과학출판사/2005

Integer Overflow/https://en.wikipedia.org/wiki/Integer_overflow#Flags

Blocking(Computing)/[https://en.wikipedia.org/wiki/Blocking_\(computing\)](https://en.wikipedia.org/wiki/Blocking_(computing))