

## 중간고사

“꿈을 가지십시오, 그리고 정열적이고 명예롭게 이루십시오.”

2020 년 10 월 22 일 (목) 18:00 ~ 19:30

### Honor code (명예 서약)

- 공학도는 학생으로서 그리고 전문가로서 개인의 품위를 지켜야 합니다.
- 공학도는 안전과 건강과 공정성을 수호할 수 있는 명예로운 사람들입니다.
- 우리대학 학생들은 명예롭고 신뢰할 수 있는 사람들입니다.
- 학생과 교수와 조교는 서로 명예서약의 원칙을 믿고 따르며, 이의 위반을 예방하는데 상호 책임이 있습니다.
- 학생이 자신의 정당한 노력의 결과가 아닌 일로 성적을 받는 것은 명예롭지 못합니다.
- 표절 (plagiarism)의 정의를 명확히 파악하시고, 이를 피하는데 최선을 다 하십시오.
- 숙제나 설계과제는 모두 “scratch” 부터 작성하십시오. 즉, 다른 사람 (web 포함)의 결과나 이전 학기 수업결과를 copy 하거나 그 변형을 제출하는 것은 명예서약 위반 입니다. 여러분이 제출한 숙제나 과제결과는 모든 부분을 여러분이 설명할 수 있어야 하고 재생성 할 수 있어야 합니다.
- 숙제나 설계과제를 수행하는 동안 조교나 다른 사람의 도움을 많이 받은 경우는 이를 보고서 앞에 구체적으로 명시 (acknowledge) 해야 합니다

본인은 위 명예서약을 준수하고 본 시험을 자신의 온전한 지식으로 답하였음을 서약합니다.

이름: (서명)

학번:

학과:

### 필독:

답안을 서술식으로 작성할 경우, 주어와 술어를 명확히, 그리고 가능하면 전문용어를 사용하여 작성하여야 좋은 답안입니다. 무슨 이야기를 하려는 것인지 짐작할 수 있더라도, 문장 자체의 뜻이 명확하지 않을 경우, 감점될 수 있습니다.

- For Question 1, you will get +1 point for each correct answer but you will get -1 point for each wrong answer. If you just remain blank (not T nor F), you will get no point (0 point) (1번문제는 맞으면 +1점, 틀리면 -1점, 비워두면 0점입니다.)

---

1. (5점, 각 문항당 정답시 1점, 오답시 -1점, 빈칸 0점)

Write T (TRUE) if the statement is correct, otherwise write F (FALSE)

- (i) In Verilog, a port declaration must be uni-directional. **(T or F)**
- (ii) The reserved word `assign` is not used for procedural assignments **(T or F)**
- (iii) A finite state machine (FSM) design only consists of sequential circuits. **(T or F)**
- (iv) Setup time is defined as the minimum amount of time before the clock's active edge that data must be stable **(T or F)**
- (v) In a FIFO structure, nodes can be removed from the head and tail **(T or F)**

2. (15점, 각 문항당 3점) Fill the blank

- (i) A 16-bit carry look-ahead adder has lower [ ] than a 16-bit ripple carry adder.
- (ii) In Verilog, the non-blocking assignment operator is [ ]
- (iii) The left-hand side of a statement in an `always` block must be a [ ].
- (iv) [ ] machine's outputs are functions of the inputs and the current states.
- (v)  $A = \{8'hf8, 8'h10\}$  is same as  $A = 16'b[ ]$ .

3. (10점, 각 문항당 5점) When designing a finite state machine, states can be represented as 'Binary encoding' or 'One-hot encoding'.

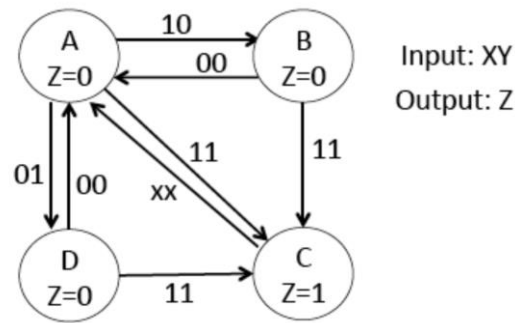
Explain each encoding method and the advantages. (note the number of states is 'S')

- (i) Binary encoding:
- (ii) One-hot encoding:

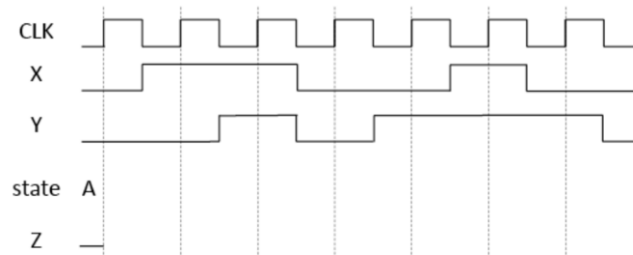
4. (10점) An Arithmetic Logic Unit (ALU) creates a set of flags (C,N,Z,V) from the operation.

Explain the meaning of each flag including the set condition of each flag.

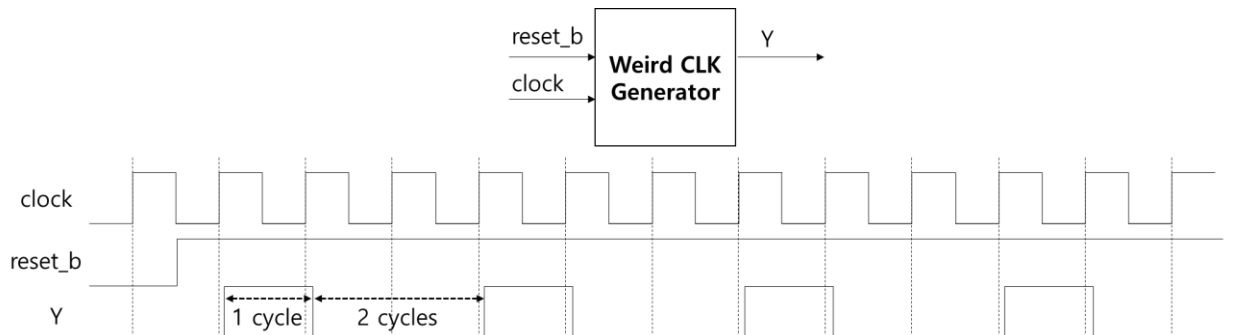
5. (15점) In the state diagram below, there is a finite state machine (FSM) with two input signals X and Y, and one output signal Z, driven with a clock signal CLK. Changes in X and Y are synchronized on the falling edges of CLK; changes in state and Z are synchronized on the rising edges of CLK.



Complete the timing diagram given that the FSM is initially in state A.



6. (30점) You are designing the following weird CLK generator with **Moore FSM**. (Note: reset\_b is an 'active low' reset signal)



(i) (10점) Draw the state transition diagram for **Moore FSM**

(ii) (20점) Write a Verilog code for the FSM

7. (15점) You are designing a 16-bit adder between flip-flops operating with the clock frequency of 300MHz. As long as the worst-case delay is met, the smaller is the better. In this case, which is the better design between the 16-bit ripple carry adder and the 16-bit carry look ahead adder designs? Compare the worst-case delay of a 16-bit ripple-carry adder and a 16-bit carry look ahead adder with 4-bit blocks. (Assume that each two-input gate delay is 100 ps and that a full adder  $t_{FA}$  delay is 200 ps.)