



Ôn tập KTMT C3 - ktmt

Tiếng anh CNTT (Trường Đại học Công nghiệp Hà Nội)

Chương 3 : CPU, Đường truyền và hệ thống vào/ra

3.1.

Cho biết ý nghĩa khi nói Bus địa chỉ có độ rộng 32 bit.

Bài làm

- Bus gồm 32 đường dây dẫn
- 32 bit này được dùng để đánh địa chỉ
- Có khả năng quản lý tối đa giá trị địa chỉ ngăn nhớ hay byte nhớ (vì bộ nhớ chính quản lý theo byte): quản lý tối đa byte = \times = 4GB.
- Bus địa chỉ: vận chuyển tín hiệu địa chỉ từ CPU đến bộ nhớ hay cổng vào/ra để xác định ngăn nhớ hay cổng vào/ra nào cần trao đổi thông tin.
- Bus địa chỉ: có độ rộng và chỉ vận chuyển tín hiệu điện theo một chiều, đó là từ CPU bên ngoài. Trong quá trình hoạt động, CPU sẽ điều khiển bus địa chỉ để truyền dữ liệu giữa các khu vực.

3.2.

Cho biết ý nghĩa khi nói Bus dữ liệu có độ rộng 64 bit.

Bài làm

- Bus gồm 64 đường dây dẫn, CPU có khả năng xử lý toán hạng 64 bit trong 1 chu kỳ lệnh.
- Tức là vận chuyển một lúc 8 byte.
- Bus dữ liệu:
 - + Vận chuyển lệnh từ bộ nhớ đến CPU.
 - + Vận chuyển dữ liệu giữa các thành phần khác nhau trong phạm vi máy tính như CPU, bộ nhớ, hệ thống vào/ra.
- Đặc điểm của bus dữ liệu:
 - + Có độ rộng và vận chuyển tín hiệu điện theo cả hai chiều.
 - + Ký hiệu: \div thì độ rộng bus là m bit (m thường có giá trị: 8, 16, 32, 64).

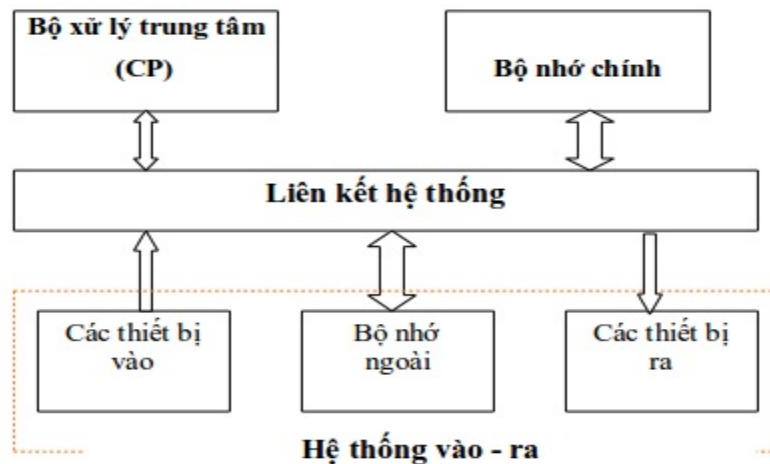
3.3.

Vẽ sơ đồ khối chung của hệ thống xử lý vào/ra trong máy tính và trình bày tóm tắt chức năng của từng thành phần trong sơ đồ.

Gợi ý

Hệ thống xử lý vào/ra dữ liệu gồm 4 thành phần: CPU, bộ nhớ chính, hệ thống vào/ra dữ liệu và bus

Bài làm



Chức năng của các thành phần trong đó:

- Đơn vị xử lý trung tâm (CPU) thực hiện các hoạt động của máy tính và thực hiện xử lý dữ liệu.
- Bộ nhớ chính: lưu trữ chương trình và dữ liệu.
- Hệ thống vào/ra: trao đổi thông tin giữa thế giới bên ngoài với máy tính.
- Bus hệ thống: kết nối bộ vi xử lý với bộ nhớ và các bộ điều khiển ghép nối vào/ra.

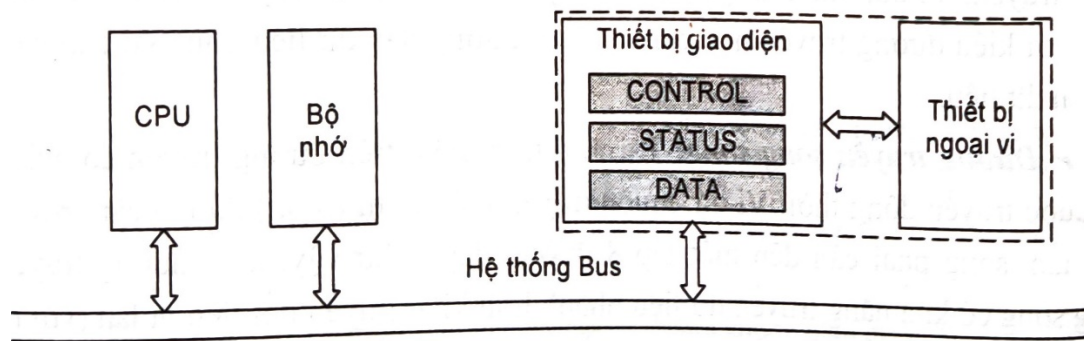
3.4.

Vẽ sơ đồ khối chung của hệ thống vào/ra dữ liệu và trình bày tóm tắt chức năng của từng thành phần trong sơ đồ.

Gợi ý

Hệ thống vào/ra dữ liệu gồm 2 thành phần: Module vào/ra (khối ghép nối/các điều khiển) và thiết bị vào/ra

Bài làm



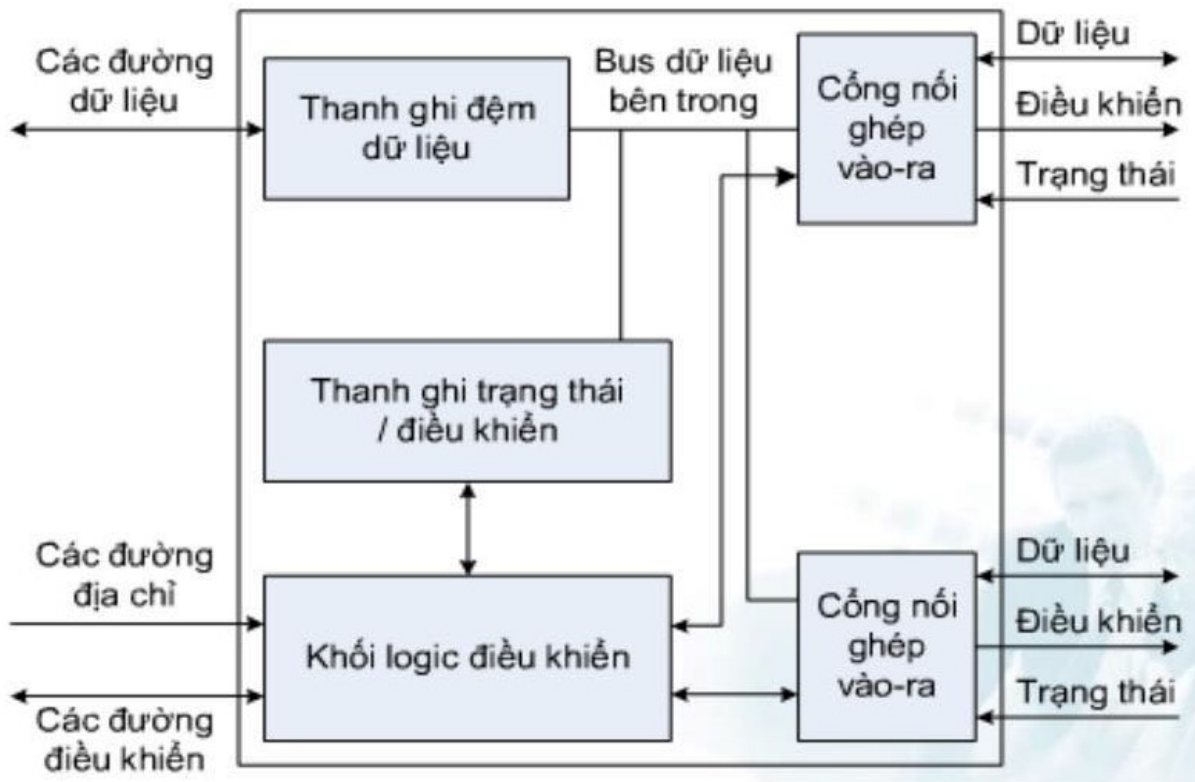
Hình 3.16. Sơ đồ khối kiến trúc hệ thống xử lý vào/ra dữ liệu

- Chức năng thiết bị vào/ra (thiết bị ngoại vi): chuyển đổi dữ liệu giữa bên trong và bên ngoài máy tính. Mã hóa dữ liệu thành các số nhị phân và biểu diễn ở dạng hiệu điện với 2 mức khác nhau (0/1). Biểu diễn, truyền tải dữ liệu ra từ máy tính dưới nhiều dạng khác nhau như: ánh sáng, âm thanh, hình ảnh,...
- Chức năng module vào/ra:
 - + Điều khiển và định thời.
 - + Trao đổi thông tin với CPU
 - + Trao đổi thông tin với thiết bị ngoại vi
 - + Đệm giữa bên trong máy tính với thiết bị ngoại vi
 - + Phát hiện lỗi của thiết bị ngoại vi

3.5.

Trình bày cấu trúc chung của modul vào/ra dữ liệu.

Bài làm



- Thanh ghi đệm dữ liệu: đệm dữ liệu trong quá trình trao đổi.
- Các cổng vào/ra: kết nối thiết bị ngoại vi, mỗi cổng có địa chỉ xác định.
- Thanh ghi trạng thái / điều khiển: lưu trữ thông tin trạng thái / điều khiển cho các cổng vào/ra.
- Khối logic điều khiển: điều khiển module vào/ra.

3.6.

Trình bày 2 phương pháp vào ra dữ liệu do CPU chủ động.

Gợi ý

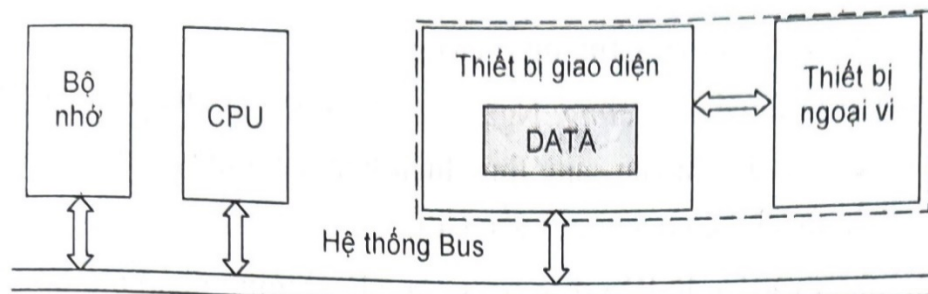
Đó là phương pháp vào/ra theo định trình và vào/ra kiểu thăm dò.

Bài làm

• Phương pháp vào/ra theo định trình :

Đây là phương pháp mà trong đó quá trình vào/ra được thực hiện tức thời nhờ các lệnh vào/ra (IN hoặc OUT) và CPU không cần quan tâm đến trạng thái của thiết bị vào/ra (bao gồm thiết bị giao diện và thiết bị ngoại vi).

Nhược điểm : độ tin cậy trong truyền, nhận dữ liệu không cao, dữ liệu truyền nhận dễ bị chồng lên nhau gây mất dữ liệu nếu bên nhận xử lý dữ liệu không kịp.



Hình 3.18. Mô hình hệ thống xử lý vào/ra dữ liệu theo phương pháp định trình

Phương pháp này thích hợp với những quá trình vào/ra có chu kỳ cố định và có thể xác định trước.

- **Phương pháp vào ra có thăm dò:**

- CPU kiểm tra trạng thái sẵn sàng làm việc của thiết bị trước khi việc vào/ra dữ liệu được thực hiện. Khi thiết bị chưa sẵn sàng làm việc thì CPU lại phải tiếp tục thăm dò, việc thăm dò được lặp đi lặp lại cho đến khi thiết bị sẵn sàng trao đổi dữ liệu với CPU thì quá trình nhận dữ liệu được tiếp hành.
- Ưu điểm: Quá trình trao đổi dữ liệu có độ tin cậy rất cao
- Nhược điểm:
 - + Hiệu quả không cao do CPU tốn nhiều thời gian để thăm dò các thiết bị.
 - + Trong trường hợp CPU đồng thời phải thực hiện nhiều loại công việc thì thời gian làm việc của CPU bị chia sẻ và bị chiếm dụng làm cho hiệu suất giải quyết công việc khác của CPU bị hạn chế và có thể ảnh hưởng đến độ tin cậy.

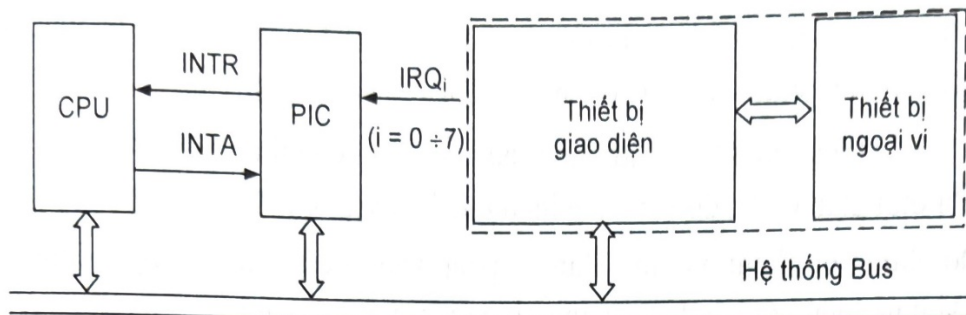
3.7.

Trình bày cấu trúc của hệ thống vào/ra theo ngắt cứng (vẽ hình).

Gợi ý

Hệ thống vào/ra theo ngắt cứng gồm 4 thành phần: CPU, PIC (Priority Interrupt Controller), hệ thống vào/ra dữ liệu và bus.

Bài làm



3.8.

Trình bày quá trình vào/ra dữ liệu theo phương pháp vào/ra dữ liệu theo ngắt cứng.

Bài làm

Quá trình vào/ra dữ liệu theo phương pháp ngắt cứng:

- CPU đang thực hiện tiến trình A.
- Các thiết bị vào/ra có yêu cầu phục vụ, phát tín hiệu IR ($i = 0 \div 7$) tới PIC. Mỗi thiết bị vào/ra đã được ấn định sẵn một số hiệu ngắt nhất định.
- Thiết bị PIC lựa chọn số hiệu ngắt có mức ưu tiên cao nhất, phát tín hiệu INTR (Interrupt Request) tới CPU yêu cầu CPU phục vụ.
- Nếu CPU chấp nhận ngắt, CPU hoàn thành nốt lệnh đang thực hiện, tiến hành lưu trạng thái của tiến trình đang thực hiện và trạng thái hiện thời của CPU.
- CPU Phát ra tín hiệu INTA (Interrupt Acknowledge) trả lời PIC, báo sẵn sàng phục vụ yêu cầu ngắt.
- PIC phát ra số hiệu ngắt được chọn tới CPU qua Bus dữ liệu.
- Dựa vào số liệu ngắt này, CPU xác định được địa chỉ của chương trình con phục vụ ngắt, kích hoạt và thực hiện chương trình con phục vụ ngắt để thực hiện vào/ra dữ liệu với thiết bị được chọn.
- Khi chương trình con phục vụ ngắt kết thúc, CPU lấy lại trạng thái cũ của CPU và của tiến trình A vừa bị ngắt để tiếp tục thi hành.

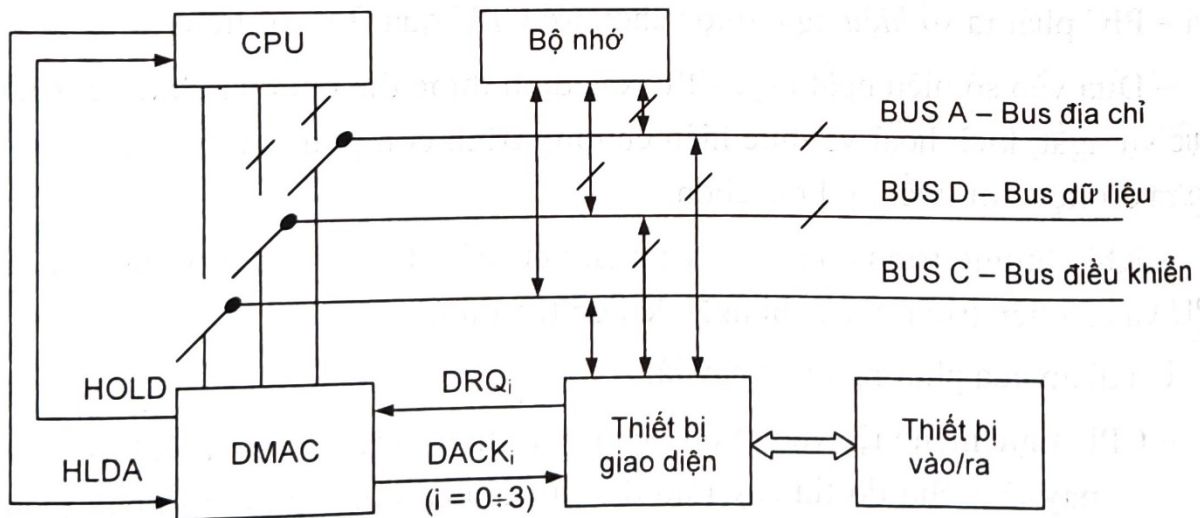
3.9.

Trình bày cấu trúc của hệ thống vào/ra dữ liệu theo kiểu DMA.

Gợi ý

Hệ thống vào/ra dữ liệu theo kiểu DMA gồm 5 thành phần: CPU, DMAC (Direct Memory Access Controller), bộ nhớ, hệ thống vào/ra và bus

Bài làm



Hình 3.22. Mô hình hệ thống xử lý vào/ra dữ liệu kiểu DMA

3.10.

Trình bày khái niệm quá trình DMA và quá trình vào/ra dữ liệu kiểu DMA (quá trình DMA).

Bài làm

- Quá trình DMA là quá trình vào/ra dữ liệu giữa bộ nhớ và thiết bị ngoại vi mà không thông qua CPU.
- Quá trình vào/ra dữ liệu kiểu DMA:
 - + CPU đang hoạt động bình thường
 - + DMAC được xác lập chế độ làm việc, nhận thông tin về địa chỉ đầu khối nhớ chứa dữ liệu và kích thước khối dữ liệu cần truyền.
 - + Các thiết bị vào/ra phát tín hiệu DR cho DMAC, DMAC chọn thiết bị có mức ưu tiên cao nhất.
 - + DMAC phát tín hiệu BRQ (Bus Request)/HOLD = 1 cho CPU, yêu cầu CPU chuyển nhượng Bus.
 - + Nếu CPU chấp nhận, CPU thực hiện nốt chu kỳ máy, CPU phát ra tín hiệu BGT (Bus Grant)/HLDA (HOLD Acknowledge) trả lời chấp nhận chuyển nhượng Bus.

+ CPU tự tách ra khỏi hệ thống Bus, tất cả các chân tín hiệu A, D, C từ CPU ra hệ thống Bus bị ngắt mạch). Quyền điều khiển hệ thống Bus thuộc về DMAC.

+ DMAC làm chủ các Bus A, Bus D và một số Bus C. DMAC phát ra tín hiệu DAC báo cho thiết bị yêu cầu được chọn vào/ra dữ liệu. DMAC phát địa chỉ ô nhớ đầu tiên của khối dữ liệu cần truyền lên Bus A, phát ra các tín hiệu điều khiển đọc/ghi thiết bị vào/ra và các tín hiệu điều khiển đọc/ghi bộ nhớ, thực hiện điều khiển toàn bộ quá trình vào/ra dữ liệu trực tiếp giữa bộ nhớ và thiết bị ngoại vi. Trong quá trình truyền, DMAC giảm bộ đếm và tăng nội dung của con trỏ chứa địa chỉ cho đến khi nội dung bộ đếm bằng 0 thì khối dữ liệu đã chuyển xong.

+ Khi một khối dữ liệu đã chuyển xong, DMAC kết thúc quá trình DMAC bằng việc phát tín hiệu $BRQ/HOLD = 0$ cho CPU và trả quyền điều khiển hệ thống Bus cho CPU. Tất cả các chân tín hiệu của CPU được khai thông với hệ thống Bus.

+ CPU tiếp tục làm việc bình thường.

3.11

Trình bày các kiểu trao đổi dữ liệu theo phương pháp vào/ra dữ liệu kiểu DMA.

Gợi ý

Có 3 kiểu trao đổi dữ liệu theo phương pháp vào/ra dữ liệu kiểu DMA: Treo CPU một khoảng thời gian để trao đổi cả mảng dữ liệu, Treo CPU để trao đổi từng byte, Tận dụng thời gian CPU không dùng Bus để trao đổi dữ liệu (dùng lên bus).

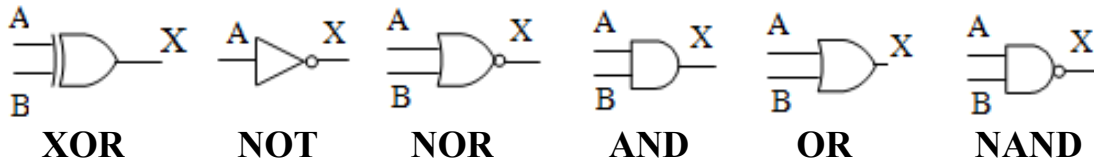
Bài làm

- Treo CPU một khoảng thời gian để trao đổi cả mảng dữ liệu: Trong chế độ này, CPU bị treo trong suốt quá trình trao đổi mảng dữ liệu. Chế độ này được dùng khi ta có nhu cầu trao đổi dữ liệu với ổ đĩa hoặc đưa dữ liệu ra để hiển thị.
- Treo CPU để trao đổi từng byte: Trong cách trao đổi này CPU không bị treo lâu trong một lần, mà CPU và DMAC luân phiên sử dụng Bus với thời gian đủ để trao đổi 1 byte dữ liệu. Trong kiểu trao đổi này, hoạt động của CPU có bị ảnh hưởng đến tốc độ thực hiện một công việc nào đó (bị chậm lại), có nghĩa là công việc CPU đang thực hiện không bị dừng lại.
- Tận dụng thời gian CPU không dùng Bus để trao đổi dữ liệu: Trong các trao đổi dữ liệu này, ta phải có các mạch logic phụ bên ngoài cần thiết để phát hiện ra chu kỳ xử lý nội bộ của CPU (CPU không dùng đến Bus ngoài) và tận

dụng các chu kỳ đó cho việc trao đổi dữ liệu. Trong cách này CPU và DMAC cũng luân phiên nhau sử dụng Bus mà không ảnh hưởng gì đến hoạt động bình thường của CPU.

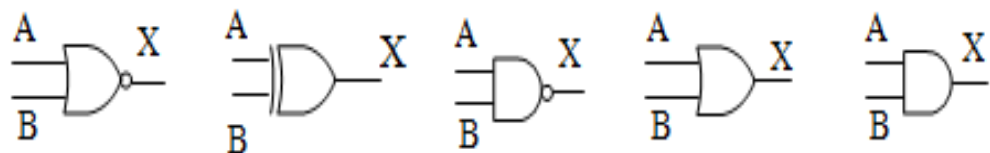
3.12.

Nhận biết các mạch cổng sau (ghi rõ tên mạch cổng ở bên dưới hình)

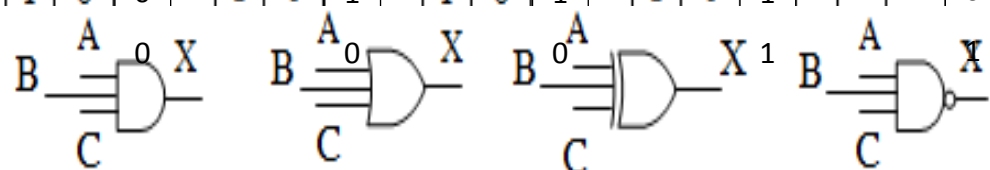


3.13.

Cho các mạch cổng 2 đầu vào, ghi tên cổng, hoàn thiện các bảng chân lý tương ứng



in			out	in			out	in			out	in			out	in			out
A	B	X		A	B	X		A	B	X		A	B	X		A	B	X	
0	0	1		0	0	0		0	0	1		0	0	0		0	0	0	
0	1	0		0	1	1		0	1	1		0	1	1		0	1	0	
1	0	0		1	0	1		1	0	1		1	0	1		1	0	0	



in	out	in	out	in	out	in	out
A	B	C	X	A	B	C	X
0	0	0		0	0	0	
0	0	1		0	0	1	
0	1	0		0	1	0	
0	1	1		0	1	1	
1	0	0		1	0	0	
1	0	1		1	0	1	
1	1	0		1	1	0	
1	1	1		1	1	1	

(
tương ú

chân lý

0	0	0	1
0	1	1	0
0	1	1	1
0	1	0	0
0	1	1	1
0	1	0	0
0	1	0	1
1	1	0	1

3.15

Vẽ sơ đồ mạch điện của cổng AND 3 đầu vào từ các transistor

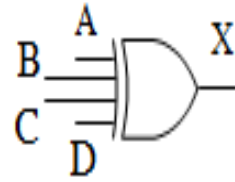
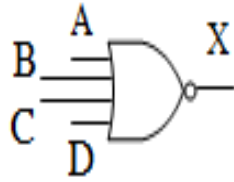
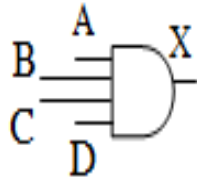
Gợi ý

Xem sơ đồ mạch của cổng AND 2 đầu vào từ các transistor (hình 3.11. tài liệu học tập - giáo trình kiến trúc máy tính)

Bài làm

3.16

Cho các mạch cổng 4 đầu vào sau, ghi tên cổng, hoàn thiện các bảng chân lý tương ứng



in				out
A	B	C	D	X
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

AND

in				out
A	B	C	D	X
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

NOR

in				out
A	B	C	D	X
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

XOR

3.17

Vẽ sơ đồ mạch điện của cổng OR 3 đầu vào từ các transistor

Gợi ý

Xem sơ đồ mạch của cổng OR 2 đầu vào từ các transistor (hình 3.11. tài liệu học tập - giáo trình kiến trúc máy tính)

Bài làm

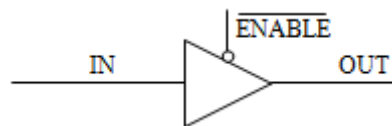
3.18

Vẽ mạch điện có chức năng tương ứng mạch NOT

Bài làm

3.19

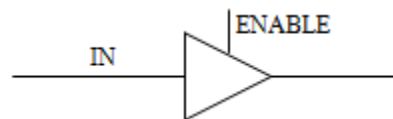
Cho biết tên và nguyên lý làm việc của mạch logic sau:



- Tên: Cổng logic NOT
- Nguyên lý làm việc: Từ sơ đồ ta có thể thấy cấu tạo của cổng logic NOT bao gồm một đầu vào và một đầu ra. Chính bởi cấu tạo này của mạch logic NOT mà chúng ta chỉ có hai trường hợp như sau:
 - + **Trường hợp 1:** Điện áp đầu vào bằng 0 thì điện áp đầu ra bằng 1.
 - + **Trường hợp 2:** Ngược lại với trường hợp trên, khi điện áp đầu vào bằng 1 thì điện áp đầu ra bằng 0.

3.20.

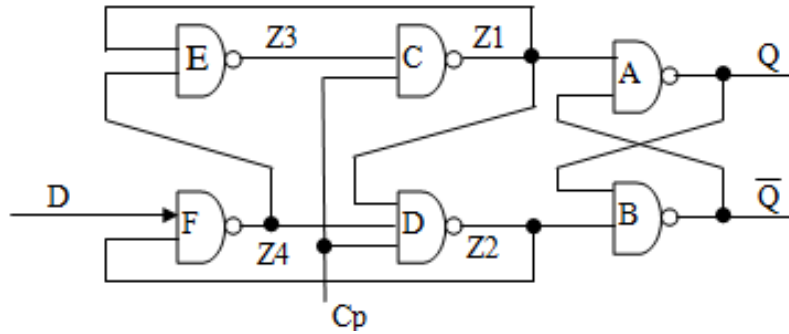
Cho biết tên và nguyên lý làm việc của mạch logic sau:



- Tên: Cổng logic NOT
- Nguyên lý làm việc: Từ sơ đồ ta có thể thấy cấu tạo của cổng logic NOT bao gồm một đầu vào và một đầu ra. Chính bởi cấu tạo này của mạch logic NOT mà chúng ta chỉ có hai trường hợp như sau:
 - + **Trường hợp 1:** Điện áp đầu vào bằng 0 thì điện áp đầu ra bằng 1.
 - + **Trường hợp 2:** Ngược lại với trường hợp trên, khi điện áp đầu vào bằng 1 thì điện áp đầu ra bằng 0.

3.21.

Cho sơ đồ mạch Flip-Flop sau, chứng minh rằng khi $C_p = 0$, trạng thái đầu ra Q không đổi, khi $C_p = 1$ (chuyển từ 0 \rightarrow 1) thì $Q = D$



Gợi ý

- Khi $C_p = 0$, tính $Z1, Z2$ và giả sử ban đầu $Q = 1$, tính , sau đó tính lại Q , tương tự với giả thiết ban đầu $Q = 0$.
- Khi $C_p = 1$ (tức C_p chuyển từ 0 lên 1): dữ liệu đầu vào là $z1 = z2 = 1$ (có khi $C_p = 0$)

Bài làm

+ Cho $D = 0$ CM $Q = 0$

$$Z4 = \text{NAND}(D, Z2) = \text{NAND}(0, 1) = 1$$

$$Z2 = \text{NAND}(C_p, Z1, Z4) = \text{NAND}(1, 1, 1) = 0$$

Ta có: $Z2 = 0$

$$\rightarrow = \text{NAND}(Z2, Q) = \text{NAND}(0, Q) = 1 \rightarrow \text{Vậy } Q = 0 \text{ (1)}$$

+ Cho $D = 1$ CM $Q = 1$

$$Z4 = \text{NAND}(D, Z2) = \text{NAND}(1, 1) = 0$$

$$Z3 = \text{NAND}(Z4, Z1) = \text{NAND}(0, 1) = 1$$

$$Z1 = \text{NAND}(Z3, C_p) = \text{NAND}(1, 1) = 0$$

Ta có: $Z1 = 0$

$$\rightarrow Q = \text{NAND}(Z1,) = \text{NAND}(0,) = 1 \text{ (2)}$$

Từ (1) và (2) \rightarrow Khi $C_p = 0$, trạng thái đầu ra Q không đổi, khi $C_p = 1$ (chuyển từ 0 \rightarrow 1) thì $Q = D$

3.22.

Thiết kế mạch logic để phát hiện lỗi trong mã BCD. Lỗi vào là mã BCD, lỗi ra ở trạng thái 1 khi có lỗi.

Gợi ý

Ta cần nắm một số khái niệm sau:

- Số BCD là số nhị phân 4 bit biểu diễn một số từ thập phân có một chữ số.
- Số BCD không gói là số nhị phân 8 bit biểu diễn một số từ thập phân có một chữ số.
- Số BCD gói là số nhị phân 8 bit biểu diễn một số từ thập phân có hai chữ số. Trong đó số BCD cao (4 bits cao) biểu diễn số hàng chục, số BCD thấp (4 bits thấp) biểu diễn số hàng đơn vị.

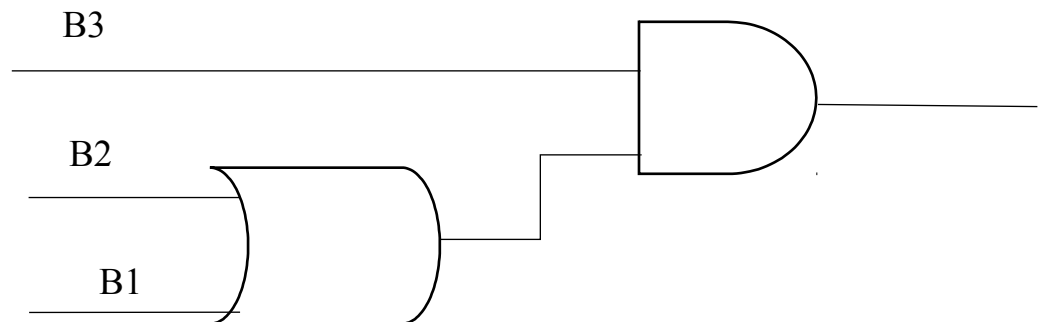
Số BCD lỗi là khi giá trị của số nhị phân 4 bit lớn hơn 9 (từ 10 đến 15)

Bài làm

Giả sử ta có số nhị phân 4 bit sau: B3B2B1B0

Số BCD lỗi là khi giá trị của số nhị phân 4 bit lớn hơn 9

$$\rightarrow \text{OR}(\text{AND}(B3, B1), \text{AND}(B3, B2)) = B1.B3 + B2.B3 = B3(B1 + B2)$$



3.23.

Hãy xây dựng cổng XOR 2 đầu vào từ các cổng NOT, AND, OR.

Gợi ý

Để xây dựng 1 cổng XOR có 2 đầu vào từ các cổng NOT, AND, OR, ta có bảng chân lý sau.

A	B	X = A AND B	Y = A OR B	Z = NOT X	K = Y AND Z = (A XOR B)
0	0	0	0	1	0
0	1	0	1	1	1
1	0	0	1	1	1
1	1	1	1	0	0

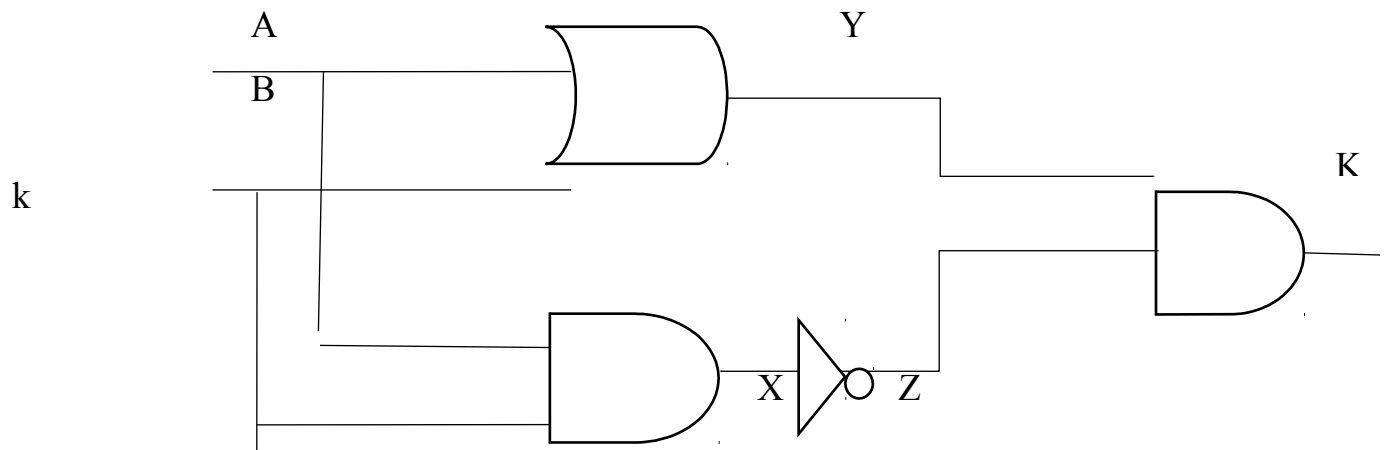
Từ bảng chân lý này ta vẽ được sơ đồ mạch logic số.

Sinh viên thực hiện vẽ sơ đồ mạch:

Ta có: $K = \text{AND}(Y, Z)$

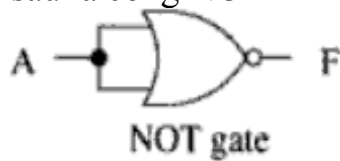
$$= \text{AND}(\text{OR}(A, B), \text{NOT}(X)) = \text{AND}(\text{OR}(A, B), \text{NOT}(\text{AND}(A, B)))$$

$$= (A+B).()$$



3.24

Chứng minh rằng mạch sau là cổng NOT



Bài làm

C1: Ta có: $F = \text{NOR}(A, A) = \dots = (\text{đpcm})$

C2:

Ta có bảng chân lý của mạch NOT

A	F
0	1
1	0

Ta thấy:

$$F = \text{NOR}(A, A)$$

A	F
---	---

0	1
1	0

→ Đầu ra của mạch trùng với bảng chân lý của mạch NOT → Mạch trên là cổng NOT

3.25

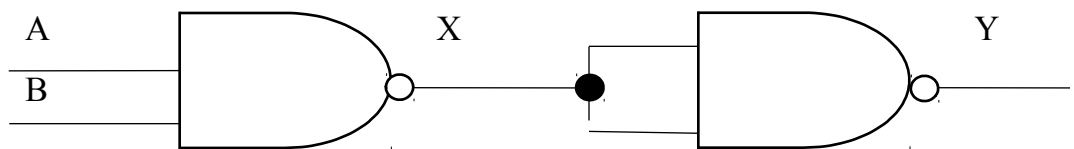
Hãy xây dựng cổng AND 2 đầu vào từ các cổng NAND 2 đầu vào.

Gợi ý

Để xây dựng 1 cổng AND có 2 đầu vào từ các cổng NAND 2 đầu vào, ta có bảng chân lý

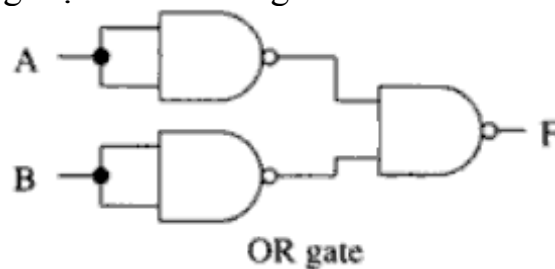
A	B	$X = A \text{ NAND } B$	$Y = X \text{ NAND } X (= A \text{ AND } B)$
0	0	1	0
0	1	1	0
1	0	1	0
1	1	0	1

Sinh viên thực hiện vẽ sơ đồ mạch:



3.26

Chứng minh rằng mạch sau là cổng OR 2 đầu vào



Bài làm

C1: Ta có : $F = \text{NAND}(\text{NAND}(A,A), \text{NAND}(B,B))$

Mà $\text{NAND}(A,A) = \neg A$

$\text{NAND}(B,B) = \neg B$

→ $F = \text{NAND}(\text{NAND}(A,A), \text{NAND}(B,B)) = \text{NAND}(\neg A, \neg B) = \neg(\neg A \wedge \neg B) = A + B$ (đpcm)

C2:

Ta có bảng chân lý của mạch OR

A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

Ta thấy:

$$F = \text{NAND}(\text{NAND}(A,A), \text{NAND}(B,B))$$

$$\text{Đặt } X = \text{NAND}(A,A)$$

$$Y = \text{NAND}(B,B)$$

$$\rightarrow F = \text{NAND}(X,Y)$$

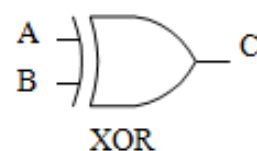
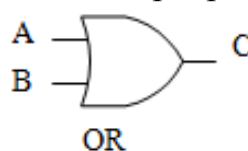
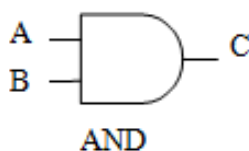
A	B	X	Y	F
0	0	1	1	0
0	1	1	0	1
1	0	0	1	1
1	1	0	0	1

→ Đầu ra của mạch trùng với bảng chân lý của mạch OR → Mạch trên là cổng OR

3.27

Hãy đọc những mô tả dưới đây về các phép toán logic và bộ cộng đầy đủ, sau đó trả lời các ý từ 1 tới 3.

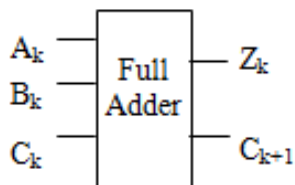
a. Các kí hiệu mạch logic cho các phép toán logic chính như sau.



Trong đó A, B đầu vào, C đầu ra

b. Sau đây là hình vẽ bộ cộng đầy đủ, thực hiện việc cộng các số nhị phân theo từng chữ số có tính tới việc nhớ. Bảng cho dưới đây là bảng chân lý

cho bộ cộng đầy đủ đó.



Trong đó:

A_k, B_k : đầu vào

Z_k : đầu ra

C_k : nhớ từ số thứ $k-1$ sang

C_{k+1} : nhớ tới số thứ $k+1$.

Bộ cộng đầy đủ (full adder)

Bảng chân lý của bộ cộng đầy đủ:

Đầu vào			Đầu ra	
C_k	A_k	B_k	Z_k	C_{k+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1		
1	1	0	0	1
1	1	1	1	1

Ý 1 : Từ nhóm câu trả lời dưới đây, hãy chọn câu trả lời đúng để điền vào
hộp

trống

trong bảng chân lý của bộ cộng đầy đủ.

Nhóm câu trả lời:

a)

0	0
---	---

b)

0	1
---	---

c)

1	0
---	---

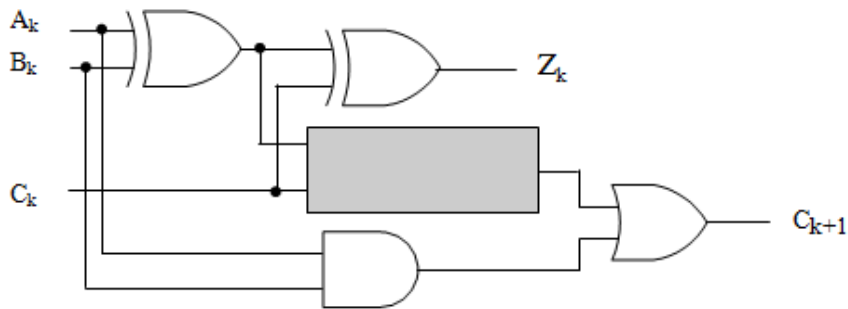
d)

1	1
---	---

Ý 2: Từ nhóm câu trả lời dưới đây, hãy chọn câu trả lời đúng để điền vào
hộp

trống

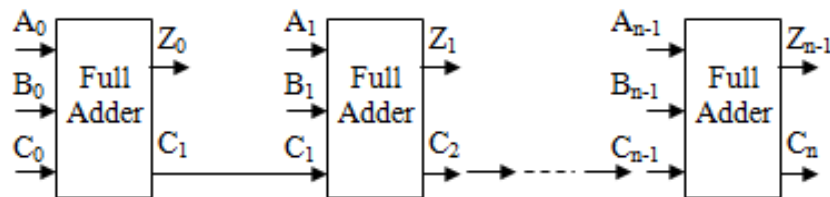
trong mạch logic của bộ cộng đầy đủ.



Nhóm câu trả lời:



Ý 3: Khi một mạch logic được cấu tạo bằng các bộ cộng đầy đủ để cộng các số nhị phân n -chữ số được biểu diễn như phân bù hai, việc cộng các chữ số có ý nghĩa nhất (A_n , B_n và C_n) gây ra sự tràn (phần tô đậm của bảng chân lí của bộ cộng đầy đủ). Mạch logic để phát hiện việc này có thể được cấu tạo bằng một mạch XOR. Hãy chọn từ nhóm câu trả lời dưới đây tổ hợp đúng của các đầu vào X và Y cho mạch logic này.



Ghi chú: $C_0 = 0$



Nhóm câu trả lời:

- | | | |
|-----------------------|-----------------------|-----------------------|
| a) A_{n-1}, B_{n-1} | b) A_{n-1}, Z_{n-1} | c) B_{n-1}, Z_{n-1} |
| d) C_{n-1}, C_n | e) C_{n-1}, Z_{n-1} | f) C_n, Z_{n-1} |

Gợi ý cho ý 3

- Xem ví dụ về cách xác định giá trị cờ tràn OF ở mục 2.3.2 (tài liệu học tập – Giáo trình kiến trúc máy tính).
- Mỗi mạch cộng đầy đủ thực hiện công 2 bit cùng trọng số i [$i = 0 \div (n-1)$] trong 2 số nhị phân. Kết quả đầu ra là Z_i và số nhớ C_{i+1} đưa sang cộng với 2 bit cùng trọng số cao hơn tiếp theo (đưa vào mạch cộng tiếp theo).

Lời giải ý 3

3.28.

Làm thế nào để xây dựng 1 cổng AND có 2 lối vào từ những cổng NOR 2 lối vào.

Gợi ý

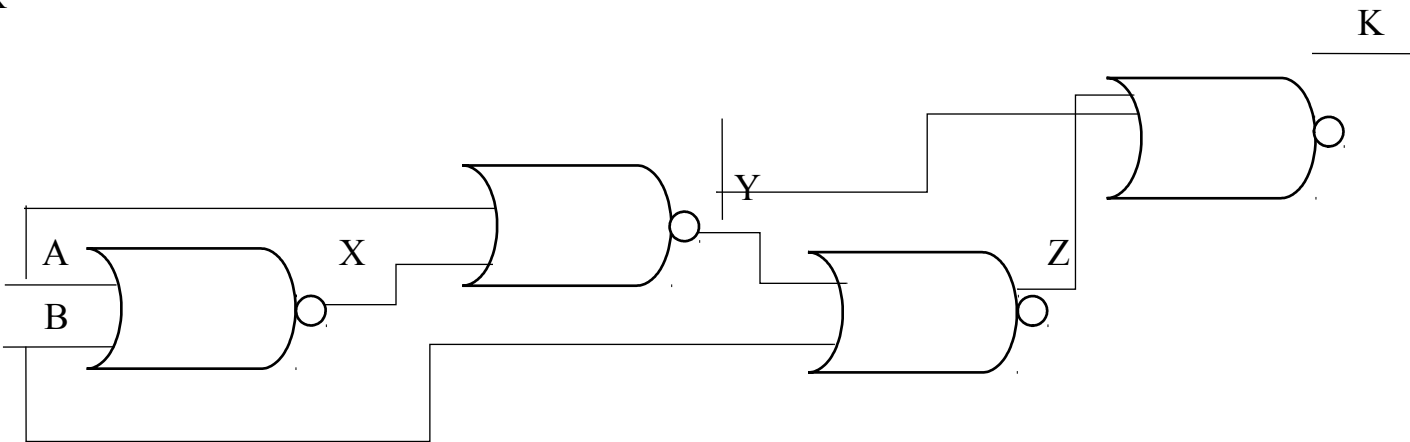
Để xây dựng 1 cổng AND có 2 lối vào từ những cổng NOR 2 lối vào, ta có bảng chân lý sau.

A	B	$X = A \text{ NOR } B$	$Y = A \text{ NOR } X$	$Z = B \text{ NOR } Y$	$K = Y \text{ NOR } Z = (A \text{ AND } B)$
0	0	1	0	1	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Từ bảng chân lý này ta vẽ được sơ đồ mạch.

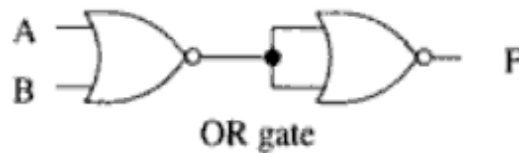
Sinh viên thực hiện vẽ sơ đồ mạch:

k



3.29.

Chứng minh rằng mạch sau là cổng OR 2 đầu vào



Bài làm

C1: Ta có: $F = \text{NOR}(\text{NOR}(A,B), \text{NOR}(A,B)) == A+B$ (đpcm)

C2:

Ta có bảng chân lý của mạch OR

A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

Ta thấy:

$$F = \text{NOR}(\text{NOR}(A,B), \text{NOR}(A,B))$$

$$\text{Đặt } X = \text{NOR}(A,B)$$

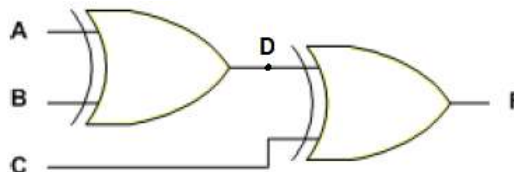
$$\rightarrow F = \text{NOR}(X,X)$$

A	B	X	F
0	0	1	0
0	1	0	1
1	0	0	1
1	1	0	1

Đầu ra của mạch trùng với bảng chân lý của mạch OR \rightarrow Mạch trên là cổng OR

3.30.

Chứng minh rằng mạch sau là mạch lẻ 3 đầu vào (số bit 1 là lẻ thì đầu ra là 1, ngược lại đầu ra là 0), với đầu vào là A, B, C ; đầu ra là F



Bài làm

Ta có: bit 1 là lẻ thì đầu ra là 1, ngược lại đầu ra là 0

$$F = \text{XOR}(\text{XOR}(A,B),C)$$

A	B	C	Kết quả cần	Đầu ra F
0	0	0	0	0
0	1	0	1	1
0	0	1	1	1
0	1	1	0	0
1	1	0	0	0
1	0	1	0	0
1	0	0	1	1
1	1	1	1	1

3.31.

Chứng minh rằng mạch sau là cổng NOT



Bài làm

C1: Ta có: $F = \text{NOR}(A, A) = \neg(A \vee A) = \neg A$ (đpcm)

C2:

Ta có bảng chân lý của mạch NOT

A	F
0	1
1	0

Ta thấy:

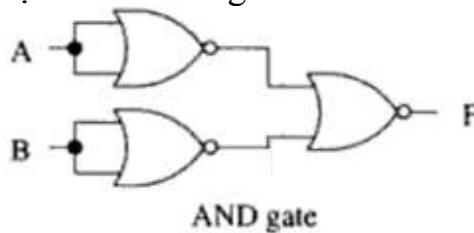
$$F = \text{NOR}(A,A)$$

A	F
0	1
1	0

→ Đầu ra của mạch trùng với bảng chân lý của mạch NOT → Mạch trên là cổng NOT

3.32.

Chứng minh rằng mạch sau là cổng AND 2 đầu vào



Bài làm

C1: Ta có: $F = \text{NOR}(\text{NOR}(A,A), \text{NOR}(B,B))$

$$\text{Mà } \text{NOR}(A,A) = \neg A$$

$$\text{NOR}(B,B) = \neg B$$

$$\rightarrow F = \text{NOR}(\text{NOR}(A,A), \text{NOR}(B,B)) = A.B \text{ (đpcm)}$$

C2:

Ta có bảng chân lý của mạch AND

A	B	F
0	0	0
0	1	0
1	0	0

1	1	1
---	---	---

Ta thấy:

$$F = \text{NOR}(\text{NOR}(A,A), \text{NOR}(B,B))$$

$$\text{Đặt } X = \text{NOR}(A,A)$$

$$Y = \text{NOR}(B,B)$$

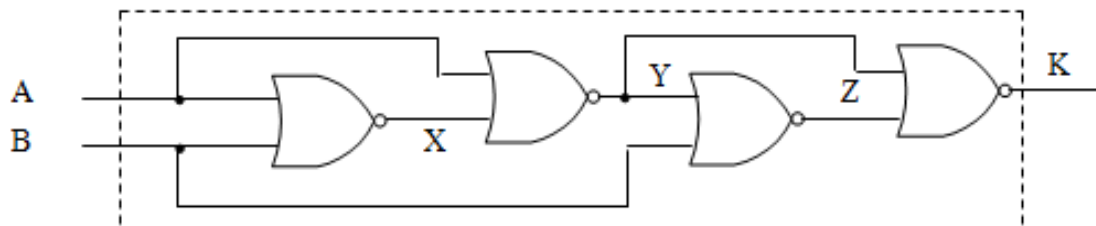
$$\rightarrow F = \text{NOR}(X,Y)$$

A	B	X	Y	F
0	0	1	1	0
0	1	1	0	0
1	0	0	1	0
1	1	0	0	1

→ Đầu ra của mạch trùng với bảng chân lý của mạch AND → Mạch trên là cổng AND

3.33.

Chứng minh rằng đây là mạch AND 2 đầu vào A, B, kết quả ra K.



Bài làm

Ta có bảng chân lý của mạch AND

A	B	K
0	0	0
0	1	0
1	0	0
1	1	1

Ta thấy :

$$X = \text{NOR}(A,B)$$

$$Y = \text{NOR}(X,A)$$

$$Z = \text{NOR}(B,Y)$$

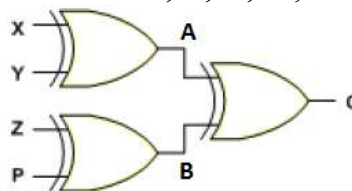
$$K = \text{NOR}(Y,Z)$$

A	B	X	Y	Z	K
0	0	1	0	1	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

→ Đầu ra của mạch trùng với bảng chân lý của mạch AND → Mạch trên là mạch AND 2 đầu vào A và B, đầu ra K

3.34.

Chứng minh rằng mạch sau là mạch lẻ 4 đầu vào (số bit 1 là lẻ thì đầu ra là 1, ngược lại đầu ra là 0), với đầu vào là X, Y, Z, P ; đầu ra là C



Bài làm

Ta có : số bit 1 là lẻ thì đầu ra là 1

$$C = \text{XOR}(\text{XOR}(X,Y), \text{XOR}(Z,P))$$

X	Y	Z	P	Kết quả cần	Đầu ra C
0	0	0	0	0	0
0	0	0	1	1	1
0	0	1	0	1	1
0	1	0	0	1	1
1	0	0	0	1	1
1	1	0	0	0	0
1	0	1	0	0	0

1	0	0	1	0	0
0	1	1	0	0	0
0	1	0	1	0	0
0	0	1	1	0	0
1	1	1	0	1	1
1	1	0	1	1	1
1	0	1	1	1	1
0	1	1	1	1	1
1	1	1	1	0	0

→ Mạch trên là mạch lẻ 4 đầu vào (số bit 1 là lẻ thì đầu ra là 1, ngược lại đầu ra là 0), với đầu vào là X, Y, Z, P ; đầu ra là C.