

TS. LƯƠNG NGỌC HÀI

GIÁO TRÌNH  
**KĨ THUẬT XUNG - SỐ**

(Sách dùng cho các trường đào tạo hệ Trung học chuyên nghiệp)

(Tái bản lần thứ nhất)

ĐẠI HỌC THÁI NGUYÊN  
TRUNG TÂM HỌC LIỆU

NHÀ XUẤT BẢN GIÁO DỤC



## Lời giới thiệu

---

Năm 2002, Vụ Giáo dục Chuyên nghiệp – Bộ Giáo dục và Đào tạo đã phối hợp với Nhà xuất bản Giáo dục xuất bản 21 giáo trình phục vụ cho đào tạo hệ THCN. Các giáo trình trên đã được nhiều trường sử dụng và hoan nghênh. Để tiếp tục bổ sung nguồn giáo trình đang còn thiếu, Vụ Giáo dục Chuyên nghiệp đã gửi đề cương về trên 20 trường và tổ chức hội thảo, lấy ý kiến đóng góp về nội dung đề cương các giáo trình nói trên. Trên cơ sở nghiên cứu ý kiến đóng góp của các trường, nhóm tác giả đã điều chỉnh nội dung các giáo trình cho phù hợp với yêu cầu thực tiễn hơn.

Với kinh nghiệm giảng dạy, kiến thức tích luỹ qua nhiều năm, các tác giả đã cố gắng để những nội dung được trình bày là những kiến thức cơ bản nhất nhưng vẫn cập nhật được với những tiến bộ của khoa học kỹ thuật, với thực tế sản xuất. Nội dung của giáo trình còn tạo sự liên thông từ Dạy nghề lên THCN.

Các giáo trình được biên soạn theo hướng mở, kiến thức rộng và cố gắng chỉ ra tính ứng dụng của nội dung được trình bày. Trên cơ sở đó tạo điều kiện để các trường sử dụng một cách phù hợp với điều kiện cơ sở vật chất phục vụ thực hành, thực tập và đặc điểm của các ngành, chuyên ngành đào tạo.

Để việc đổi mới phương pháp dạy và học theo chỉ đạo của Bộ Giáo dục và Đào tạo nhằm nâng cao chất lượng dạy và học, các trường cần trang bị đủ sách cho thư viện và tạo điều kiện để giáo viên và học sinh có đủ sách theo ngành đào tạo. Những giáo trình này cũng là tài liệu tham khảo tốt cho học sinh đã tốt nghiệp cần đào lại, nhân viên kỹ thuật đang trực tiếp sản xuất.

Các giáo trình đã xuất bản không thể tránh khỏi những sai sót. Rất mong các thầy, cô giáo, bạn đọc góp ý để lần xuất bản sau được tốt hơn. Mọi góp ý xin gửi về : Công ty Cổ phần sách Đại học – Dạy nghề 25 Hân Thuyên – Hà Nội.

VỤ GIÁO DỤC CHUYÊN NGHIỆP - NXB GIÁO DỤC

## Mở đầu

Giáo trình KỸ THUẬT XUNG - SỐ được biên soạn với mục đích phục vụ việc học tập và giảng dạy ở các trường Trung học chuyên nghiệp và Cao đẳng kỹ thuật. Cuốn sách này đề cập chủ yếu là nội dung xung - số thực hành, tuy nhiên nó vẫn bảo đảm một kiến thức cơ bản và đủ rộng của kỹ thuật xung - số, nhưng phần nguyên lý thành lập và cấu trúc bên trong của các mạch xung số chức năng hầu như bị loại bỏ hoàn toàn. Với mỗi mạch chức năng, tác giả chỉ giúp bạn đọc trả lời ba câu hỏi : Nó là gì, sơ đồ khối ra sao ? Vài vi mạch của nó và cách ghép nối mở rộng như thế nào ? Nó hay được dùng làm gì ?

Với cách đặt vấn đề như trên, cuốn sách không quá 250 trang này không thể là tài liệu tham khảo mở rộng kiến thức về kỹ thuật xung - số cho bạn đọc. Vậy nó giúp bạn đọc điều gì ?

- Với bạn đọc là học sinh THCN hay Cao đẳng, cuốn sách sẽ trang bị cho bạn đọc một kiến thức tinh giản, thực dụng và không thể ít hơn về lĩnh vực kỹ thuật xung - số.

- Với bạn đọc là giảng viên môn học, cuốn sách thực chất chỉ là những bài giảng của tác giả đã dạy cho sinh viên Cao đẳng các ngành Điện, trường Đại học Bách khoa Hà Nội trong nhiều năm. Tác giả chỉnh lý và tinh giản lại, để mong có thể đóng góp với đồng nghiệp khi soạn bài giảng môn học.

Nội dung của giáo trình được biên soạn bao gồm : 10 chương, 7 phụ lục và một số bài thực hành chọn lọc với thời lượng 45 - 60 tiết. Trong quá trình sử dụng, tùy theo yêu cầu cụ thể có thể điều chỉnh số tiết trong mỗi chương.

Các bạn đọc chưa có một chút kiến thức gì về logic thì sau khi đọc chương 1, hãy đọc các phụ lục 1 ÷ 3 để có đầy đủ kiến thức cơ bản.

Giới thiệu cuốn sách này, tác giả chỉ muốn có đóng góp nhỏ vào cách học và dạy môn học cho học sinh THCN và Cao đẳng. Rất mong nhận được nhiều ý kiến đóng góp phê bình của bạn đọc. Mọi góp ý xin được gửi về : Công ty cổ phần sách Đại học – Dạy nghề, 25 Hân Thuyên – Hà Nội.

## TÁC GIẢ

# Chương 1

## KHÁI NIỆM CƠ BẢN VỀ KĨ THUẬT XUNG - SỐ

### 1-1. CÁC THÔNG SỐ ĐẶC TRƯNG CỦA TÍN HIỆU XUNG

Các tín hiệu xung được dùng rộng rãi trong những lĩnh vực khác nhau của kĩ thuật số nói riêng và của kĩ thuật điện tử nói chung ; ví dụ trong truyền thông hữu tuyến và vô tuyến, trong rada, trong do lường diều khiển số...

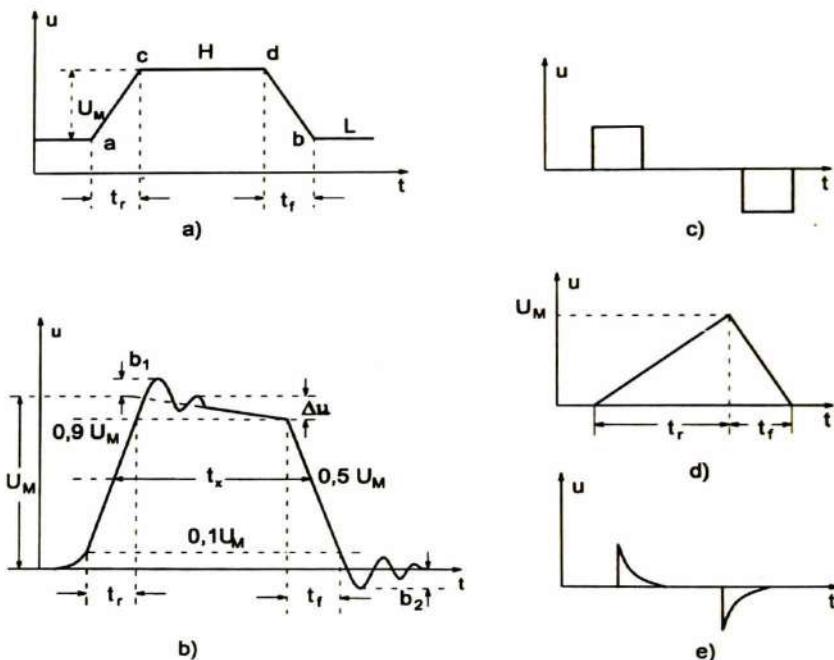
Các mạch tạo xung cho ra hai loại tín hiệu điện : Các *xung* điện áp/dòng hoặc những *bước nhảy* của điện áp hay dòng. Đặc điểm của loại tín hiệu này là người ta chỉ quan tâm tới hai giá trị hoàn toàn phán biệt nhau của chúng, gọi là hai *mức* : Mức cao H và mức thấp L.

#### 1-1-1. Xung

Xung là tín hiệu tạo nên do sự thay đổi mức của điện áp hay dòng trong một thời khoảng rất nhỏ : Từ mức thấp L ban đầu chuyển sang nằm ở mức cao H trong một thời gian ngắn, hoặc ngược lại.

• Hình 1-1a là một xung hình thang lí tưởng. Đoạn ab gọi là *đáy* xung, đoạn cd là *dỉnh* xung, đoạn ac chuyển từ mức thấp L lên mức cao H gọi là *sườn lên* của xung, đoạn db chuyển tiếp từ H sang L gọi là *sườn xuống* của xung. Khoảng cách giữa đỉnh và đáy gọi là *biên độ* xung  $U_M$  ( $U_M = H - L$ ). Một xung thực tế ở cửa ra mạch tạo xung có dạng tổng quát như ở hình 1-1b. Ta thấy, do quá trình quá độ nên đỉnh xung không "tron" và không nằm ở một điện áp cố định ; mức cao H nằm trong miền điện áp giữa biên độ  $U_M$  và  $0,9U_M$ . Sai lệch  $\Delta U$  gọi là *độ sụt áp đỉnh*. Khoảng thời gian để xung tăng từ  $0,1U_M$  đến  $0,9U_M$  gọi là *thời gian lên*  $t_r$  (rise time) ; khoảng thời gian xung giảm từ  $0,9U_M$  xuống  $0,1U_M$  gọi là *thời gian xuống*  $t_f$  (fall time) của xung. Khoảng thời gian giữa hai thời điểm tương ứng với giá trị  $0,5U_M$  gọi là *độ rộng xung*  $t_x$ . Ngoài ra còn có các thông số phụ như "bướu" đỉnh  $b_1$  và "bướu" sau khi kết thúc xung  $b_2$ . Nếu

thời gian lên  $t_r$  và thời gian xuống  $t_f$  rất nhỏ so với độ rộng xung  $t_x$ , ta có **xung vuông góc**. Hình 1-1c vẽ các xung vuông góc lí tưởng cực tính dương và cực tính âm.



HÌNH 1-1. Các dạng xung

- Ngoài xung vuông góc rất phổ biến trong kỹ thuật số, người ta còn sử dụng **xung răng cưa** (ramp). Hình 1-1d vẽ dạng tổng quát một xung răng cưa. Nó gồm hai sườn dốc, đặc trưng bởi thời gian lên dốc  $t_r$  (rising slope) và thời gian xuống dốc  $t_f$  (falling slope). Đối với xung răng cưa, ngoài *bien độ*  $U_M$ , người ta còn quan tâm tới *tỉ số độ dốc* (Slope ratio)

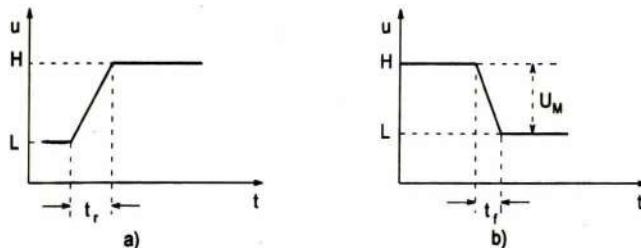
$$SR = t_r : t_f.$$

Ví dụ :  $t_r = 15\text{ms}$ ,  $t_f = 2\text{ms}$ , ta có xung răng cưa với tỉ số độ dốc  $15 : 2$ . Nếu  $t_r = t_f$  thì xung răng cưa gọi là **xung tam giác**.

- Cuối cùng là **xung đánh** (dinh) có định rất nhọn (hình 1-1e). Xung này thường dùng để kích khởi hoạt động của các mạch điện tử.

### 1-1-2. Bước nhảy

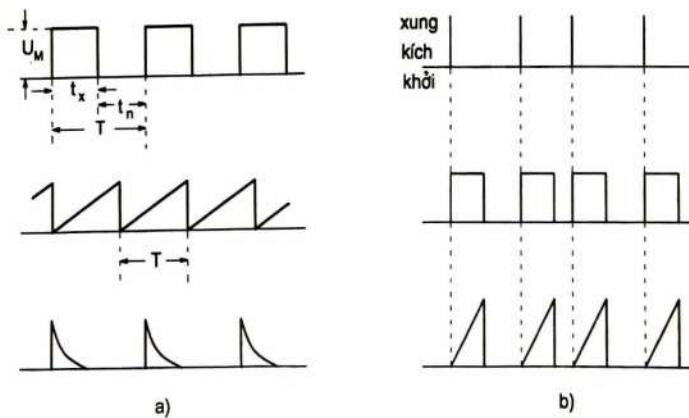
Bước nhảy là sự chuyển rất nhanh của điện áp hoặc dòng giữa hai mức H và L. Nếu nhảy từ mức thấp L lên mức cao H thì gọi là *bước nhảy dương* (hình 1-2a); nếu ngược lại nhảy từ H xuống L thì gọi là *bước nhảy âm* (hình 1-2b). Bước nhảy, đôi khi còn gọi là tín hiệu thế, được đặc trưng bằng biên độ nhảy  $U_M$  và độ dài sườn dốc  $t_f$  (hoặc  $t_r$ ). Bước nhảy là tín hiệu ra ở nhiều mạch điện tử, ví dụ mạch so sánh tương tự (xem mục 2-1) hoặc các Flip-Flop (xem mục 3-1).



Hình 1-2. Các bước nhảy

### 1-2. DÃY XUNG

Kĩ thuật xung không chỉ tạo ra những mạch phát xung đơn mà còn có các mạch cho ra một dãy xung liên tiếp (Hình 1-3).



Hình 1-3. Các dãy xung

**1-2-1. Dãy xung có thể là tuần hoàn** với chu kỳ  $T$ , nghĩa là cứ sau mỗi khoảng thời gian  $T$  lại có một xung lặp lại hoàn toàn giống với xung trước nó. Hình 1-3a vẽ ba dạng dãy xung tuần hoàn thường gặp sau :

- **Dãy xung vuông góc** là dạng dãy xung thường gặp nhất trong kỹ thuật điện tử. Các thông số đặc trưng cho dãy xung gồm : biên độ  $U_M$ , độ rộng xung  $t_x$ , thời gian nghỉ  $t_n$ , chu kỳ  $T = t_x + t_n$ , tần số  $f = 1/T$ . Ngoài ra còn hai thông số phụ đặc trưng khác là *hệ số lấp đầy*  $\gamma = t_x/T$  và *độ hổng* (rỗng)  $Q = 1/\gamma = T/t_x$ .

Nếu  $Q = 2$ , ( $t_x = t_n$ ), thì dãy xung gọi là **dãy xung vuông góc đối xứng**.

- **Dãy xung răng cưa thuận tự** ( $t_f = 0$ ), chu kỳ  $T$ . Mạch phát dãy xung này thường dùng trong thiết bị dao động kí điện tử, với vai trò bộ tạo sóng quét ngang.

- Cuối cùng là **dãy xung đánh tuần hoàn**. Nó thường dùng để kích khởi những hoạt động có tính chu kỳ, ví dụ điều khiển sự đóng/mở lặp lại tuần hoàn của các khoá transistor.

Các mạch phát dãy xung tuần hoàn thường là những mạch hoạt động không chịu sự điều khiển bởi các xung kích khởi (kích thích) bên ngoài và gọi là các **mạch dạng chạy tự do** (free running form).

- 1-2-2. Dãy xung có thể là không tuần hoàn** (hình 1-3b). Mạch phát các xung này là những mạch hoạt động theo sự điều khiển của các xung kích khởi ở bên ngoài, và gọi là các **mạch dạng kích khởi** (triggered form). Ứng với mỗi xung kích thích bên ngoài, mạch cho ra một xung có biên độ và độ rộng xung không thay đổi, nghĩa là dạng xung đưa ra hoàn toàn lặp lại giống nhau sau mỗi xung kích thích.

### 1-3. CÁC PHẦN TỬ TUYẾN TÍNH R-C TRONG MẠCH TẠO XUNG

Các mạch tạo xung hay lợi dụng quá trình quá độ trên các phần tử tuyến tính R-C để điều khiển độ rộng xung và hệ số lấp đầy của dãy xung tuần hoàn. Phần tử tuyến tính R, C được hiểu là phần tử có điện trở hoặc điện dung không thay đổi theo giá trị điện áp hoặc giá trị dòng điện trên phần tử. Ta hãy xét vài quá trình quá độ trong mạch R-C.

#### 1-3-1. Quá trình quá độ ở mạch R-C khi có bước nhảy điện áp

Xét mạch R-C ở hình 1-4a. Giả sử tại thời điểm  $t = 0$ , điện áp  $u$  có bước nhảy dương từ  $0V$  đến  $U_M$ . Vậy ở  $t \geq 0$  ta có :

$$u_R + u_C = U_M$$

Với  $u_R = iR$  và  $i = Cdu_c/dt$  thì phương trình cân bằng điện áp trên trở thành :

$$RC \frac{du_c}{dt} + u_c = U_M$$

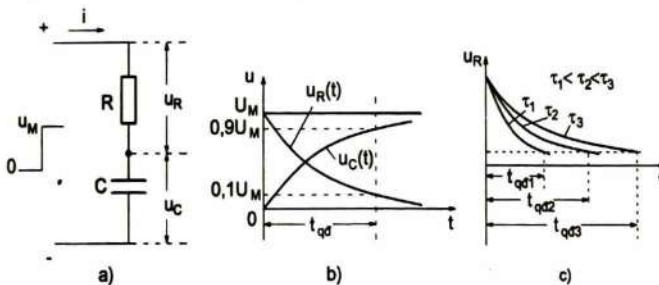
Giải phương trình vi phân bậc 1 ở trên ta được :

$$u_c(t) = U_M(1 - e^{-t/RC}) \quad (1-1)$$

Tích RC có thứ nguyên thời gian là giây (s), nếu R tính bằng  $\Omega$  và C tính bằng F (Fara), và gọi là **hằng số thời gian  $\tau$**  của mạch R-C ( $\tau = R.C$ ). Từ (1-1) và phương trình cân bằng điện áp ở trên ta rút ra :

$$u_R(t) = U_M e^{-t/\tau} \quad (1-2)$$

$$i(t) = \frac{U_M}{R} e^{-t/\tau} \quad (1-3)$$



Hình 1-4. Quá trình quá độ mạch R-C khi có bước nhảy dương

Ta thấy điện áp trên điện dung tăng theo luật hàm mũ và ở  $t = \infty$ , thì  $u_c = U_M$ . Ngược lại điện áp trên điện trở và dòng giảm theo luật hàm mũ, khi  $t = \infty$  thì  $i = 0$ ,  $u_R = 0$ , mạch đạt trạng thái dừng (tĩnh).

Về lí thuyết thì quá trình quá độ xảy ra trong thời gian vô cùng lớn. Thực tế khi  $u_c$  đạt  $0.9 U_M$  hoặc khi  $u_R = 0.1 U_M$  là coi như kết thúc quá trình quá độ (hình 1-4b). Thời gian quá độ là :

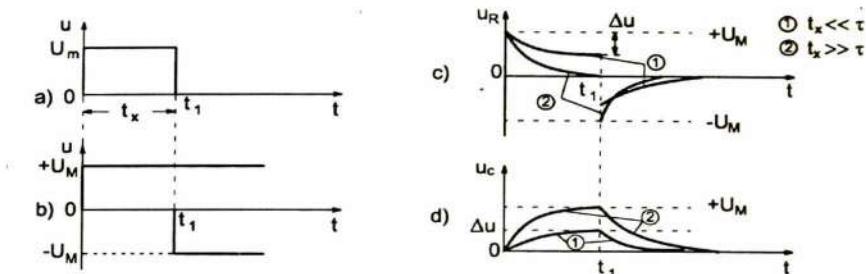
$$t_{qd} = 2.3\tau = 2.3R.C \quad (1-4)$$

Ở  $t = 3\tau$  có thể coi  $u_c \approx U_M$  và  $i \approx 0$ ,  $u_R \approx 0$ . Hằng số thời gian  $\tau = RC$  của mạch càng lớn thì thời gian quá độ càng dài (hình 1-4c).

### 1-3-2. Quá trình quá độ mạch R-C khi kích thích là một xung vuông góc

Nếu đặt lên mạch R-C ở hình 1-4a một xung vuông góc (hình 1-5a), quá trình quá độ xảy ra trong mạch xem như là sự xếp chồng của hai quá trình, ứng với hai bước nhảy : Bước nhảy dương ở  $t = 0$  và bước nhảy âm tại  $t = t_1$  (hình 1-5b).

Ta có kết luận cuối cùng sau : Sự thay đổi điện áp trên các phẩn tử R, C trong quá trình quá độ, khi kích thích là một xung vuông góc với độ rộng xung  $t_x$ , chịu ảnh hưởng bởi tỉ số  $\tau : t_x$ .



Hình 1-5. Quá trình quá độ mạch R-C với kích thích là một xung vuông góc

- Nếu  $\tau \leq t_x/3$  thì sự thay đổi điện áp trên các phẩn tử là lớn. Điện áp trên tụ  $U_c(t)$  tăng từ 0 đến  $U_M$ , sau đó giảm về 0 (đường 2, hình 1-5d). Ngược lại, điện áp trên điện trở  $U_R(t)$  giảm từ  $U_M$  về 0, sau đó tại thời điểm  $t_1$  đổi cực tính và tăng từ  $-U_M$  tới 0 (đường 2, hình 1-5c).
- Nếu  $\tau \gg t_x$  thì sự thay đổi điện áp trên các phẩn tử là chậm. Điện áp  $U_c(t)$  tăng từ 0 chỉ tới  $\Delta u$  là lại giảm dần về 0 (đường 1, hình 1-5d). Điện áp  $U_R(t)$  cũng chỉ giảm một lượng  $\Delta u$  so với  $U_M$  là đã đổi cực tính sang  $-(U_M - \Delta u)$  và tăng dần về 0 (đường 1, hình 1-5c).

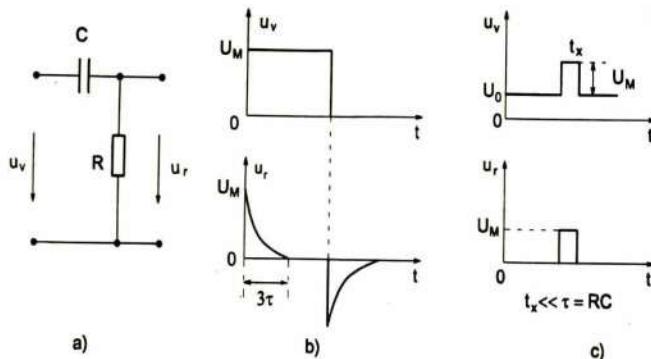
### 1-3-3. Ứng dụng mạch R-C trong các mạch tạo xung

Các mạch tạo xung hay dùng mạch R-C nhằm những mục đích sau :

- Điều chỉnh độ rộng của xung đơn vuông góc hoặc điều chỉnh tần số và độ rộng của một dãy xung vuông góc tuần hoàn. Mạch R-C cũng còn sử dụng để tạo các xung răng cưa. Những ứng dụng này sẽ đề cập đến trong các chương sau.

- Một ứng dụng quan trọng khác của mạch R-C là để tạo các xung đánh (định). Hình 1-6a là mạch tạo xung đánh. Điện áp ra  $u_r$  chính là điện áp trên điện trở R. Từ mục 1-3-1 và 1-3-2 ta thấy : Khi đặt vào mạch hình 1-6a một bước nhảy dương hoặc âm thì điện áp ra  $u_r$  sẽ là một xung đánh dương hay âm, tính theo (1-2). Biên độ xung đánh bằng biên độ bước nhảy, dãy xung là  $3\tau$ , ( $\tau = R.C$ ). Do đó, nếu điện áp vào  $u_v$  là một xung vuông góc có độ rộng xung lớn

hơn ba lần hằng số thời gian  $\tau$  của mạch, thì ở cửa ra sẽ cho hai xung đánh dương và âm, ứng với sườn lên và xuống của xung vào  $u_v$  (hình 1-6b).



Hình 1-6. Ứng dụng R-C làm mạch tạo xung định và mạch ngắn cách

- Từ hình 1-5c ta thấy, khi  $\tau \gg t_x$  đến mức độ sụt áp  $\Delta u$  là không đáng kể, điện áp trên điện trở  $u_R$  hầu như lập lại xung đặt ở cửa vào của mạch hình 1-4a, ( $u_R \approx u$ ). Lợi dụng hiện tượng này, ta có thể sử dụng mạch hình 1-6a làm **mạch ngắn cách**; nghĩa là nó cho các xung, có độ rộng  $t_x$  rất nhỏ so với hằng số thời gian  $\tau$  của mạch đi qua, nhưng ngắn lại thành phần điện áp một chiều  $U_o$  có ở cửa vào (hình 1-6c).

## 1-4. KHOÁ TRANSISTOR

Khoá transistor là một trong những phần tử cơ bản của kĩ thuật xung - số. Transistor dùng làm khoá có thể là transistor lưỡng cực BJT hoặc transistor trường MOS. Khi sử dụng transistor như một khoá đóng/cắt, tuỳ theo tín hiệu điều khiển ở đầu vào, transistor có thể làm việc ở một trong hai chế độ :

- Chế độ dẫn bão hòa, dòng qua transistor đạt giá trị lớn nhất cho phép, ta nói *transistor mở* (hoặc *dẫn*).

- Chế độ khoá, dòng qua transistor coi bằng 0, ta nói *transistor khoá*.

### 1-4-1. Khoá transistor BJT

Hình 1-7a là sơ đồ thông dụng của khoá transistor lưỡng cực, với điện áp điều khiển ở đầu vào  $u_v$ . Sơ đồ dùng transistor Si loại n-p-n có dòng cực góp ở chế độ khoá rất nhỏ :

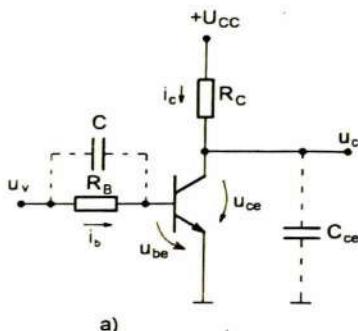
$$i_c = I_{co} \approx 0,$$

trong đó  $I_{co}$  là dòng ngược của miền tiếp giáp gốc-phát ; Điện áp khoá :

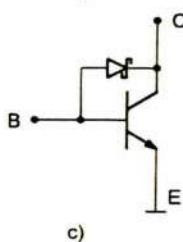
$$u_{be} = U_K \approx 0,6 \div 0,7V$$

là đủ lớn.

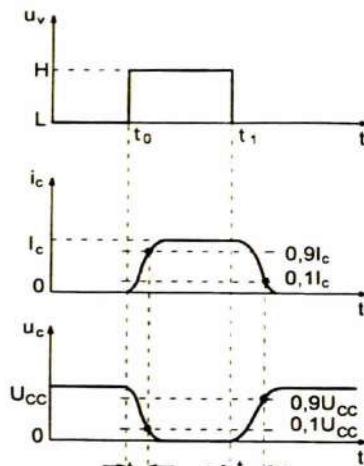
Tại thời điểm  $t_0$ , khi  $u_v$  ở mức cao H sao cho điện áp  $u_{be}$  lớn hơn điện áp khoá  $U_K$  thì transistor chuyển từ chế độ khoá với  $i_c \approx 0$  sang chế độ dẫn bão hòa (hình 1-7b).



a)



c)



b)

Hình 1-7. Mô tả sự làm việc của khóa transistor BJT.

Ở chế độ bão hòa, hai miền tiếp giáp của transistor đều được thiền áp thuận và điện áp trên các cực :

$$u_{be} \approx 0,7 V, \quad u_{ce} \approx 0,1 V$$

Dòng cực gốp  $i_c$  đạt giá trị giới hạn :

$$i_c = I_c = \frac{U_{cc} - u_{ce}}{R_c} \approx \frac{U_{cc}}{R_c} \quad (1-5)$$

Dòng cực gốc  $i_b$  cũng đạt tới giá trị ứng với điểm giới hạn của bão hòa :

$$i_b = I_B = \frac{I_c}{B} = \frac{U_{cc}}{B \cdot R_c} \quad (1-6)$$

trong đó  $B$  là hệ số khuếch đại dòng tĩnh của transistor. Để bảo đảm transistor làm việc ở chế độ bão hòa sâu, khi tính toán ta chọn dòng cực gốc  $i_b$  ở chế độ bão hòa lớn hơn giá trị  $I_B$  tính theo (1-6) :

$$i_b = K_{bh} I_B = K_{bh} \frac{U_{cc}}{B.R_c} \quad (1-7)$$

trong đó  $K_{bh}$  là hệ số bão hòa, thường chọn  $K_{bh} = 2 \div 3$ . Từ đây ta tính được mức cao  $H$  của điện áp điều khiển  $u_v$ , cần thiết để duy trì transistor ở chế độ bão hòa :

$$u_v = u_{be} + i_b R_B = 0,7V + K_{bh} I_B R_B = H \quad (1-8)$$

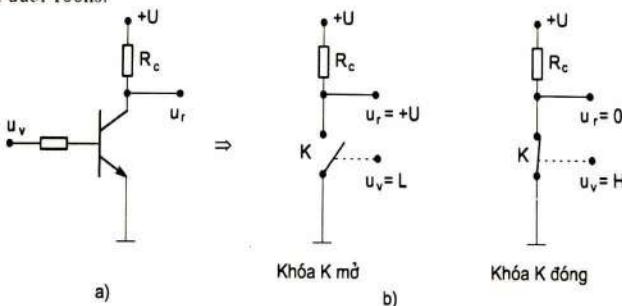
Điện áp ra chính là điện áp cực góp  $u_c$ . Khi dẫn bão hòa thì

$$u_c = U_{cc} = 0,1V \approx 0$$

Từ hình 1-7b ta thấy, cần có một thời gian quá độ  $t_m$  để transistor chuyển từ trạng thái khoá sang trạng thái mở (dẫn bão hòa). Tại thời điểm  $t_1$ , khi  $u_v$  ở mức thấp L sao cho  $u_{be} < U_K \approx 0,6$ , transistor sẽ chuyển sang trạng thái khoá với :

$$i_c = I_{co} \approx 0 \text{ và } u_c = U_{cc} - i_c R_c \approx +U_{cc}$$

Để chuyển từ trạng thái mở sang trạng thái khoá cũng cần thời gian quá độ  $t_k$ . Thời gian này là cần thiết để triệt tiêu các hạt mang điện trong miền tiếp giáp p-n của transistor và để tụ kí sinh  $C_{ce}$  được nạp đầy. Thời gian khoá  $t_k$  lớn hơn thời gian mở  $t_m$  và chúng thường ở trong khoảng từ vài chục ns ( $1ns = 10^{-9}s$ ) đến dưới 100ns.



Hình 1-8. Mô hình hoạt động của khoá transistor

Tóm lại, ta có thể mô hình hoá sự hoạt động của khoá BJT ở hình 1-8a như hoạt động của khoá cơ khí ở hình 1-8b. Nó có tác dụng như một khoá chuyển mạch phụ tải. Khi điện áp điều khiển  $u_v$  ở mức thấp L, khoá K mở (tương ứng

với trạng thái khoá của transistor) và điện áp ra  $u_r$  đặt lên tải bằng  $+U$ . Khi  $u_v$  ở mức cao H, khoá K đóng (tương ứng với trạng thái dẫn bão hoà của transistor), đặt lên tải là điện áp  $u_r = 0$ .

#### 1-4-2. Tăng tốc độ chuyển trạng thái của khoá transistor BJT. Có hai cách hay dùng để tăng tốc độ chuyển trạng thái của khoá BJT.

- Nối song song với điện trở cực gốc  $R_B$  một điện dung C (hình 1-7a). Khi điện áp điều khiển  $u_v$  nhảy từ mức thấp L lên mức cao H, lúc đầu tụ coi như làm ngắn mạch điện trở  $R_B$ , dòng qua tụ (cũng chính là dòng cực gốc  $i_b$ ) tăng đột biến. Sau đó dòng qua tụ giảm về 0 và dòng bão hoà cực gốc bị hạn chế bởi  $R_B$ . Vậy nhờ có tụ C mà dòng cực gốc và dòng cực góp tăng đột biến rất nhanh, nghĩa là giảm được thời gian quá độ  $t_m$  khi transistor chuyển từ trạng thái khoá sang mở. Khi điện áp điều khiển  $u_v$  nhảy từ mức cao H xuống mức thấp L, tụ C sẽ phóng điện qua nguồn tín hiệu điều khiển và qua cực gốc transistor theo chiều ngược với chiều dòng cực gốc bão hoà. Vì vậy dòng phóng này có tác dụng triệt tiêu nhanh dòng cực gốc cũng như dòng cực góp, nghĩa là làm giảm thời gian quá độ  $t_k$  khi transistor chuyển từ dẫn bão hoà sang khoá.

- Một nguyên nhân quan trọng hạn chế tốc độ chuyển trạng thái của khoá transistor BJT là thời gian lưu giữ điện tích ở miền tiếp giáp gốc - góp lớn, khi transistor chuyển từ bão hoà sang khoá. Để loại trừ sự bão hoà, ta đặt một diod Schottky song song với tiếp giáp gốc - góp (hình 1-7c) nhằm giữ cho cực góp ở điện thế hơi thấp hơn cực gốc. Diod Schottky thực chất là một tiếp giáp mặt giữa kim loại và chất bán dẫn loại n. Đặc điểm của loại diod này là độ dẫn điện theo chiều thuận cao hơn loại diod Si thông thường và hầu như không có thời gian trễ khi nó chuyển từ dẫn sang khoá. Vì vậy, khi transistor làm việc ở trạng thái mở, toàn bộ dòng cực gốc hầu như chạy qua diod Schottky. Tiếp giáp gốc - góp của transistor chỉ dẫn dòng rất nhỏ nên tránh được bão hoà và thời gian quá độ  $t_k$  giảm khi transistor chuyển từ dẫn bão hoà sang khoá.

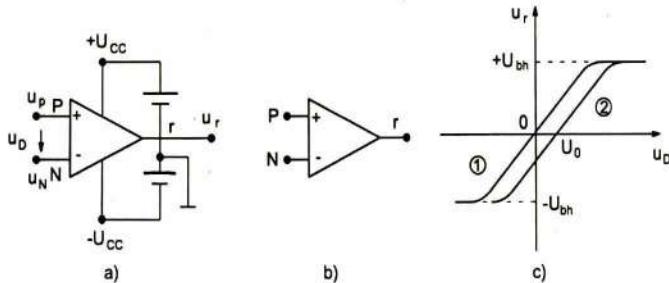
### 1-5. KHUẾCH THUẬT TOÁN LÀM VIỆC Ở CHẾ ĐỘ KHOÁ

Trong kỹ thuật xung, người ta hay dùng khuếch thuật toán làm việc ở chế độ khoá để tạo xung hoặc các bước nhảy điện áp.

#### 1-5-1. Khái niệm về khuếch thuật toán

Khuếch thuật toán là một vi mạch để khuếch đại điện áp vi sai. Nó có hai đầu vào dương và âm, kí hiệu P, N, và một đầu ra r. Điện áp trên các đầu vào và ra  $u_P$ ,  $u_N$ ,  $u_r$  là so với "máy". Ngoài ra khuếch thuật toán còn có hai đầu để nối

với nguồn cung cấp đối xứng  $\pm U_{cc}$  (hình 1-9a). Điện áp nguồn cung cấp nằm trong khoảng  $\pm 5V \div \pm 18V$ . Nguồn cung cấp cho khuếch thuât toán cũng có thể là nguồn đơn  $+U_{cc}$ . Trong các sơ đồ điện, khuếch thuât toán được biểu diễn đơn giản như ở hình 1-9b và ta ngầm hiểu cần phải có nguồn cung cấp một chiều cho nó.



Hình 1-9. Kí hiệu khuếch thuât toán và đặc tính truyền đạt của nó

Đặc điểm của khuếch thuât toán là có hệ số khuếch đại vi sai  $A_D$  rất lớn (thường  $A_D \approx 10^5 \div 10^6$ ) và điện trở vào vi sai rất lớn (thường từ  $10M\Omega \div 100M\Omega$  với loại dùng transistor BJT và từ  $10^{12}\Omega \div 10^{13}\Omega$  với loại dùng transistor thường), điện trở ra nhỏ (cỡ khoảng  $100\Omega \div 1k\Omega$ ). Dòng chảy vào các đầu vào vi sai P, N rất nhỏ, có thể coi bằng 0. Các khuếch thuât toán dùng trong xử lí tín hiệu có dòng cho phép cực đại ở đầu ra khoảng  $5mA \div 10mA$ . Các khuếch thuât toán có công suất dòng ra cỡ vài A (có loại khuếch thuât toán công suất với công suất ra lớn hơn 50W).

Hình 1-9c vẽ đặc tính truyền đạt u<sub>r</sub>(u<sub>D</sub>) của khuếch thuât toán. Điện áp u<sub>D</sub> = u<sub>P</sub> - u<sub>N</sub> gọi là điện áp vi sai. Trên hình vẽ, đường 1 là đặc tính truyền đạt lý tưởng (khi u<sub>D</sub> = 0 thì u<sub>r</sub> = 0), đường 2 là đặc tính truyền đạt thực tế của khuếch thuât toán (khi u<sub>D</sub> = 0 nhưng u<sub>r</sub> ≠ 0). Ta thấy đặc tính có hai vùng làm việc :

Vùng tuyến tính ứng với |u<sub>D</sub>| rất nhỏ và :

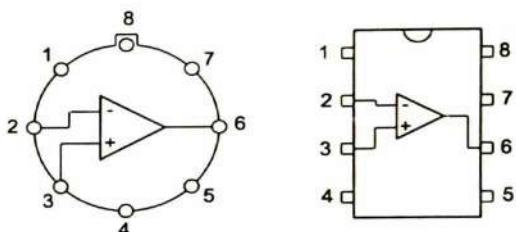
$$u_r = A_D u_D$$

Vùng bao hoà ứng với |u<sub>D</sub>| khoảng từ vài chục  $\mu V$  trở lên ( $1\mu V = 10^{-6}V$ ), điện áp ra u<sub>r</sub> ở vùng bao hoà là không đổi :

$$u_r = \pm U_{bh}; |U_{bh}| = U_{cc} - (2 \div 3)V$$

Ví dụ  $\pm U_{cc} = \pm 15V$  thì  $\pm U_{bh} \approx \pm 13V$

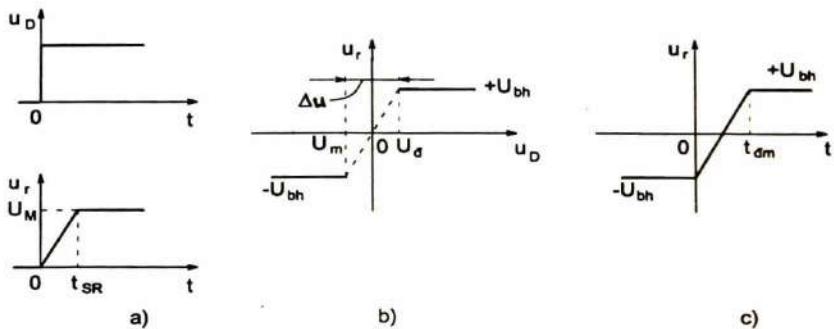
Hình 1-10 giới thiệu sơ đồ chân của "chip" vi mạch khuếch thuât toán  $\mu\text{A} 741$ . Nó có hai kiểu đóng vỏ : Đóng vỏ hình tròn (kiểu TO5) và đóng vỏ với hai hàng chân song song (kiểu DIPS). Các chân 1,5 là chân nối "mát", chân 4 nối với nguồn  $-U_{cc}$ , chân 7 nối với nguồn  $+U_{cc}$ , chân 8 là chân bù trống. Chip  $\mu\text{A} 741$  là khuếch thuât toán rẽ tiền, làm bằng transistor BJT. "Chíp" LM324 có 14 chân, trong "chip" chứa tới 4 khuếch thuât toán.



Hình 1-10. Sơ đồ chân của  $\mu\text{A}741$

### 1-5-2. Khuếch thuât toán làm việc ở chế độ khoá

Trong kĩ thuật xung người ta thường sử dụng khuếch thuât toán làm việc ở vùng bão hòa của đặc tính truyền đạt. Lúc đó, điện áp ra  $u_r$  chỉ có thể nằm ở hai mức : Mức thấp L =  $-U_{bh}$  hoặc mức cao H =  $+U_{bh}$ . Ta nói khuếch thuât toán làm việc ở chế độ khoá và có vai trò như một khoá đóng / cắt cơ khí. Khi  $u_r = -U_{bh} = L$ , ta nói **khoá mở**; khi  $u_r = +U_{bh} = H$ , ta nói **khoá đóng**.



Hình 1-11. Phân tích chế độ khoá của khuếch thuât toán

- Hình 1-11b là đặc tính truyền đạt lí tưởng khi khuếch thuât toán làm việc ở chế độ khoá. Điện áp vi sai  $u_D$  là điện áp điều khiển đóng / mở khoá. Lúc  $u_D$

đang rất âm, khoá khuếch thuật toán ở trạng thái mở với  $u_r = -U_{bh} = L$ . Khi  $U_D$  tăng tới giá trị  $U_d$ , ( $U_d > 0$ ), thì khoá hoàn toàn chuyển sang trạng thái đóng với  $u_r = +U_{bh} = H$ . Vì vậy  $U_d$  gọi là **ngưỡng đóng** của khoá khuếch thuật toán. Cũng biện luận tương tự, với  $u_D$  rất dương, khoá ở trạng thái đóng. Khi  $u_D$  giảm tới  $U_m$  thì khoá hoàn toàn chuyển sang trạng thái mở nên  $U_m$  gọi là **ngưỡng mở**. Vùng  $\Delta u$  trong đặc tính truyền đạt gọi là **độ nhạy** của khoá. Đây là vùng khoá khuếch thuật toán bắt đầu và kết thúc việc chuyển trạng thái đóng / mở. Một khoá lí tưởng có  $\Delta u = 0$ . Muốn giảm  $\Delta u$  ta phải chọn khuếch thuật toán có hệ số khuếch đại vi sai  $A_D$  càng lớn càng tốt.

- Sự chuyển qua lại giữa hai trạng thái đóng / mở của khoá khuếch thuật toán không phải xảy ra tức thời mà cần có thời gian quá độ  $t_{dm}$ , gọi là thời gian đóng / mở (hình 1-11c). Một thông số quan trọng quyết định  $t_{dm}$  là **tốc độ xoay** (Slew rate) của khuếch thuật toán. Hình 1-11a mô tả phản ứng của điện áp ra  $u_r$  khi có bước nhảy của  $u_D$ . Gắn đúng coi trong thời gian quá độ, quan hệ  $u_r(t)$  là tuyến tính và bỏ qua thời gian chết (chỉ cỡ 100ns trở lại), nghĩa là coi  $u_r$  bắt đầu tăng ngay tại thời điểm có bước nhảy của  $u_D$ . Tốc độ xoay SR của khuếch thuật toán định nghĩa như sau :

$$SR = \frac{U_M}{t_{SR}} [V/\mu s] \quad (1-9)$$

Ta thấy, để giảm thời gian đóng / mở  $t_{dm}$  của khoá khuếch thuật toán, ta phải chọn khuếch thuật toán có tốc độ xoay SR lớn. Ví mạch ua741 có SR = 0,5 V/ $\mu s$ , nhưng loại LM318 có SR = 70 V/ $\mu s$ .

**ĐẠI HỌC THÁI NGUYỄN**  
**TRUNG TÂM HỌC LIỆU**

## 1-6. MẠCH LOGIC - MỨC LOGIC

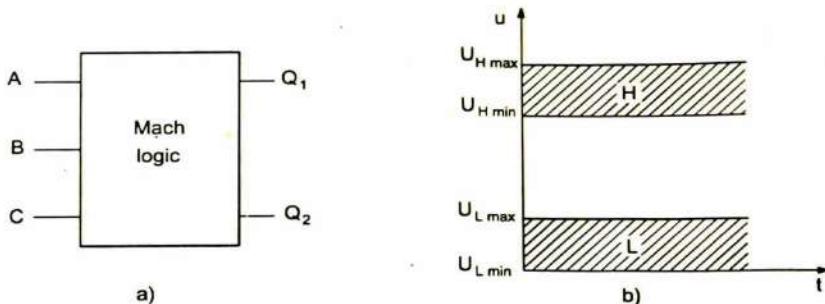
### 1-6-1. Bài toán logic

Trong kĩ thuật và đời sống, ta thường gặp các bài toán mà những dữ kiện cho trước cũng như trả lời (dáp ứng) của bài toán đều chỉ có thể nằm ở một trong hai trạng thái đối kháng nhau : đúng - sai, tốt - xấu, đất - rẽ... Những bài toán như vậy gọi là **bài toán logic**. Để giải các bài toán trên cần phải sử dụng tới **đại số Boolean**. Các biến độc lập hay phụ thuộc trong đại số Boolean gọi chung là **biến logic** : Chúng chỉ có hai giá trị đặc trưng cho hai trạng thái đối kháng nhau của một hiện tượng, kí hiệu bằng hai chữ số 0 và 1. Hai giá trị 0, 1 của biến logic cũng như các phép tính trong đại số Boolean đều **có tính chất hình thức, không mang ý nghĩa định lượng**.

### 1-6-2. Mạch logic

Mạch logic gồm các linh kiện, chủ yếu là các phần tử đóng / cắt với hai trạng thái ổn định, ghép nối với nhau, **nhằm thực hiện những quan hệ (hàm logic) cho trước**.

Trước năm 1960, các mạch logic điều khiển công nghiệp thường do các *roto* cơ – điện tạo nên. Ngày nay, các mạch logic chủ yếu được tạo thành từ các transistor với vai trò như các khoá đóng / cắt, gọi là các mạch logic điện tử.



**Hình 1-12. Sơ đồ khối mạch logic - Mức logic**

Hình 1-12a là sơ đồ khối mạch logic. Các biến vào và ra đều là những biến logic. Các biến vào A, B, C là độc lập ; các biến ra  $Q_1$ ,  $Q_2$  là phụ thuộc. Nếu giá trị các biến ra tại một thời điểm chỉ phụ thuộc giá trị các biến vào ở thời điểm đó, thì mạch gọi là **mạch logic tổ hợp** :  $Q_1 = Q_1(A, B, C)$ ,  $Q_2 = Q_2(A, B, C)$ . Nếu các biến ra phụ thuộc cả trạng thái bên trong  $S_t$  của mạch ở thời điểm xét thì mạch gọi là **mạch logic dây** :  $Q_1 = Q_1(A, B, C, S_t)$ ,  $Q_2 = Q_2(A, B, C, S_t)$ .

### 1-6-3. Mức logic

Trong các mạch logic điện, điện áp mang thông tin về hai giá trị của biến logic. Do đó nó chỉ có thể nằm ở hai miền giá trị hoàn toàn phân biệt nhau, gọi là hai **mức logic**, gồm mức cao H và mức thấp L (hình 1-12b). Ta thấy :

$$U_{H\min} \leq \text{mức cao H} \leq U_{H\max}$$

$$U_{L\min} \leq \text{mức thấp L} \leq U_{L\max}$$

Để có được độ ổn định nhiều yêu cầu, giới hạn dưới của mức cao và giới hạn trên của mức thấp ở cửa vào và cửa ra của mạch logic được quy định khác nhau. Ví dụ các mạch logic họ TTL, đầu ra có mức cao nằm trong miền  $2,4V \div 5V$ , mức thấp ở trong miền  $0 \div 0,4V$  ; đầu vào có mức cao trong miền  $2V \div 5V$  và mức thấp nằm trong miền  $0 \div 0,8V$ .

Nếu trong mạch logic ta quy ước mức cao H đặc trưng cho giá trị 1 của biến logic và mức thấp L đặc trưng cho giá trị 0 của biến, thì mạch gọi là **mạch logic**

**dương.** Nếu quy ước ngược lại ( $H \rightarrow 0$ ,  $L \rightarrow 1$ ) thì mạch gọi là *logic âm*. Hiện nay đa số dùng quy ước logic dương. Trong cuốn sách này cũng dùng quy ước đó.

Rõ ràng tín hiệu truyền trong mạch logic điện phải là các bước nhảy điện áp giữa hai mức L và H, hoặc là một dãy xung vuông góc có biên độ bằng hiệu của hai mức logic.

## 1-7. CÁC PHẦN TỬ LOGIC THÔNG DỤNG

### 1-7-1. Ba phần tử logic cơ bản

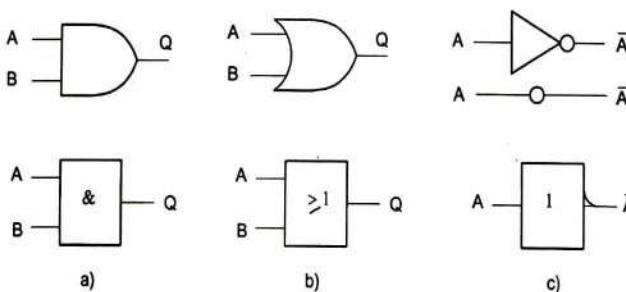
Ba phần tử logic cơ bản là các mạch logic đơn giản nhất để thực hiện ba phép tính cơ sở trên các biến logic : Phép *tính hội* (còn gọi là *phép nhân* logic), phép *tính tuyển* (còn gọi là phép *tính cộng* logic) và phép tính phủ định trên một biến logic.

- **Phân tử VÀ (AND)** là mạch thực hiện phép tính nhân logic giữa các biến A, B, C,... ở cửa vào. Biến ra

$$Q = A \wedge B \wedge C \dots = A.B.C\dots$$

chỉ có giá trị 1 khi tất cả các biến vào đều bằng 1 ; Q sẽ bằng 0 khi có ít nhất một biến vào bằng 0.

Hình 1-13a là các ký hiệu thường dùng của phân tử VÀ trong các sơ đồ logic (vẽ trong trường hợp có hai đầu vào).



**Hình 1-13. Ký hiệu của các phân tử logic VÀ, HOẶC, ĐẢO**

Bảng *chân lý* mô tả quan hệ giữa biến ra và các biến vào của phân tử VÀ ở hình 1-13a cho trong bảng 1-1. Tương ứng với nó là bảng 1-2, thể hiện các mức logic trên các đầu vào và ra của phân tử.

Bảng 1-1

A	B	$Q = A \cdot B$
0	0	0
0	1	0
1	0	0
1	1	1

Bảng 1-2

A	B	$Q = A \cdot B$
L	L	L
L	H	L
H	L	L
H	H	H

• **Phân tử HOẶC (OR)** là mạch thực hiện phép cộng logic giữa các biến A, B, C... ở cửa vào. Biến ra

$$Q = A \vee B \vee C \vee \dots = A + B + C + \dots$$

chỉ có giá trị 0 khi tất cả các biến vào bằng 0 ; Q sẽ bằng 1 khi có ít nhất một biến vào bằng 1.

Hình 1.13b là hai kí hiệu thường dùng của phân tử HOẶC trong các sơ đồ logic (vẽ cho trường hợp có hai đầu vào). Các bảng 1-3, 1-4 dưới đây tương ứng là bảng chân lí và bảng thể hiện các mức logic ở cửa vào / ra của phân tử.

Bảng 1-3

A	B	$Q = A + B$
0	0	0
0	1	1
1	0	1
1	1	1

Bảng 1-4

A	B	$Q = A + B$
L	L	L
L	H	H
H	L	H
H	H	H

• **Phân tử ĐÀO (No)** là mạch thực hiện phép tính phủ định trên biến logic A ở đầu vào. Biến ra

$$Q = \bar{A}$$

có giá trị luôn ngược với giá trị của A (bảng 1-5, 1-6)

Bảng 1-5

A	$Q = \bar{A}$
0	1
1	0

Bảng 1-6

A	$Q = \bar{A}$
L	H
H	L

Hình 1-13c là các kí hiệu thường dùng của phần tử ĐÀO trong các sơ đồ logic.

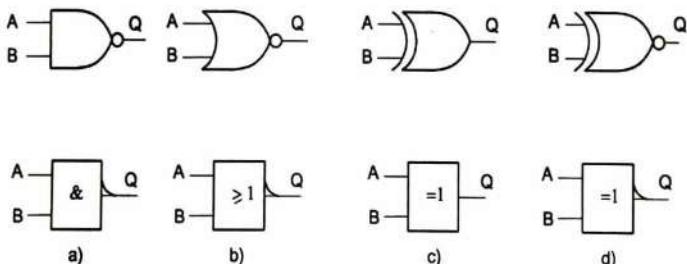
### 1-7-2. Các phần tử logic vạn năng. Có hai phần tử logic vạn năng

- Phần tử VÀ - ĐÀO (No AND  $\rightarrow$  NAND) là mạch thực hiện hai phép tính logic liên tiếp nhau : phép nhân logic trên các biến A, B, C..., kế đến là phép tính phủ định. Biến ra

$$Q = \overline{A \cdot B \cdot C \dots}$$

chỉ bằng 0 khi tất cả các biến vào A, B, C... đều bằng 1. Q sẽ có giá trị 1 khi ít nhất có một biến vào bằng 0.

Hình 1-14a là hai kí hiệu của phần tử VÀ - ĐÀO trong các sơ đồ logic. Ta thấy phần tử NAND tương đương với mạch gồm phần tử VÀ nối tầng với phần tử ĐÀO (hình 1-15a)



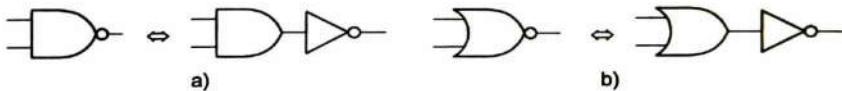
Hình 1-14. Kí hiệu các phần tử NAND, NOR, XOR,  $\overline{XOR}$

- Phần tử HOẶC - ĐÀO (No OR  $\rightarrow$  NOR) là mạch thực hiện hai phép tính logic liên tiếp nhau : Phép cộng logic trên các biến vào A, B, C ..., kế tiếp là phép phủ định. Biến ra

$$Q = \overline{A + B + C \dots}$$

sẽ có giá trị 1 khi tất cả các biến vào A, B, C... đều bằng 0 ; Q sẽ có trị 0 khi ít nhất có một biến vào bằng 1.

Hình 1-14b là hai kí hiệu thông dụng của phần tử HOẶC - ĐÀO trong các sơ đồ logic. Nó tương đương với mạch gồm phần tử HOẶC nối tầng với phần tử ĐÀO (hình 1-15b).



Hình 1-15. Mạch tương đương của các phần tử NAND, NOR

- Hai phần tử NAND, NOR gọi là các phần tử logic vạn năng vì ta có thể dùng chúng thay cho vai trò của ba phần tử logic cơ bản. Thật vậy, từ phụ lục 1 ta có :

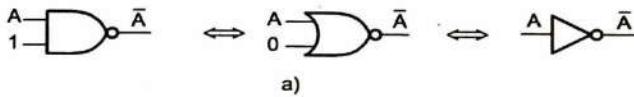
$$A \cdot 1 = \bar{A} ; \quad A + 0 = \bar{A}$$

Do đó các đầu vào của phần tử NAND, NOR đặt như hình 1-16a sẽ tương đương với phần tử ĐÀO. Ta lại có :

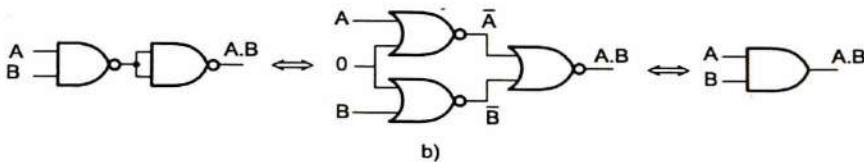
$$A \cdot B = \overline{\overline{A} \cdot \overline{B}} = \overline{\overline{A} + \overline{B}}$$

nên các phần tử NAND hoặc NOR nối như hình 1-16b sẽ tương đương với phần tử VÀ.

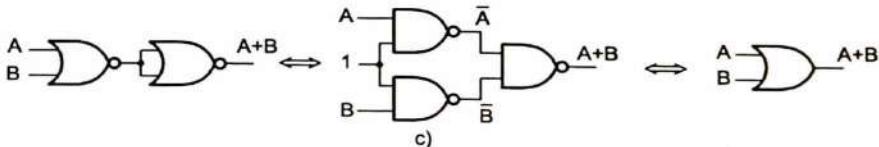
Cuối cùng, vì  $A + B = \overline{\overline{A} + \overline{B}} = \overline{\overline{A} \cdot \overline{B}}$ , nên các phần tử NAND, NOR nối như hình 1-16c sẽ tương đương với phần tử HOẶC.



a)



b)



c)

Hình 1-16. Nối NAND, NOR để được các phần tử logic cơ bản.

### 1-7-3. Phản tử tương đương và không tương đương

- **Phản tử không tương đương** hay còn gọi là phản tử XOR hai đầu vào (viết tắt từ chữ EXCLUSIVE OR) là mạch logic có hai đầu vào và một đầu ra Q, dùng để thực hiện phép tính HOẶC - LOẠI TRỪ trên hai biến logic A và B :

$$Q = A \oplus B = \overline{A}B + \overline{B}A$$

Hình 1-14c là hai kí hiệu của phản tử không tương đương trong các sơ đồ logic.

Bảng 1-7 là bảng chân lí của phản tử không tương đương.

Ta thấy khi  $A \neq B$  thì  $Q = 1$ , nghĩa là phản tử sẽ báo hiệu chỉ sự không tương đương của hai biến logic ở cửa vào.

Bảng 1-7

A	B	$Q = A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0

Bảng 1-8

A	B	$Q = \overline{A \oplus B}$
0	0	1
0	1	0
1	0	0
1	1	1

- **Phản tử tương đương** hay còn gọi là phản tử  $\overline{XOR}$  hai đầu vào, là mạch thực hiện hai phép tính liên tiếp :

Phép tính HOẶC - LOẠI TRỪ trên hai biến logic A, B, tiếp theo là phép tính phủ định. Biến ra

$$Q = \overline{A \oplus B} = A.B + \overline{A}\overline{B}$$

sẽ bằng 1 khi A và B tương đương nhau (xem bảng chân lí 1-8).

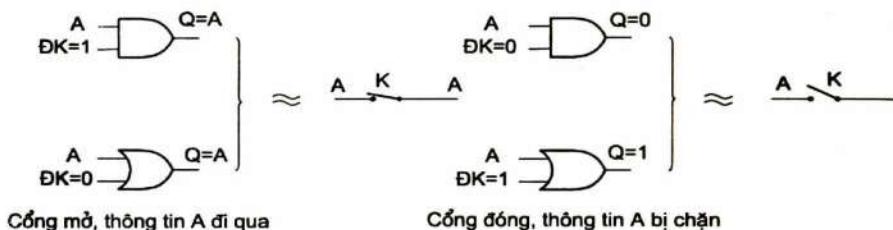
Hình 1-14d là hai kí hiệu của phản tử tương đương trong các sơ đồ logic.

## 1-8. ỨNG DỤNG CỦA CÁC PHẢN TỬ LOGIC THÔNG DỤNG

Một ứng dụng quan trọng nhất của các phản tử logic thông dụng kể trên là dùng để xây dựng những mạch thực hiện các quan hệ logic phức tạp. Nhiệm vụ này gọi là *tổng hợp mạch*. Tuy nhiên, ngày nay có rất nhiều mạch logic chức năng đã được chế tạo sẵn thành các "chip" vi mạch số (xem mục 1-9), và việc tổng hợp mạch từ các phản tử logic thông dụng hầu như không còn cần thiết đối với một kỹ thuật viên. Để thực hiện một nhiệm vụ logic cụ thể, thường người ta đem ghép nối các mạch logic chức năng với nhau. Những phản tử logic thông dụng ở trên chỉ được dùng đơn lẻ làm giao diện liên hệ giữa các khối logic chức năng nếu cần. Do đó, việc tổng hợp mạch từ các phản tử logic cơ bản chỉ để cập ở phụ lục 4 để bạn đọc tham khảo khi cần. Dưới đây là vài ứng dụng đơn lẻ phổ biến :

## 1. Cổng logic.

Người ta còn hay dùng các phần tử VÀ, HOẶC làm cửa ngõ cho thông tin đi qua, gọi là *cổng logic*. Khi được dùng như một cổng, tín hiệu đặt ở một đầu vào của cổng sẽ dùng làm tín hiệu điều khiển đóng / mở cổng ; tín hiệu ở đầu vào còn lại là tín hiệu thông tin cần truyền qua.

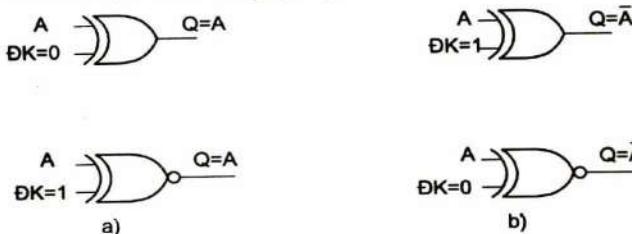


Hình 1-17. Điều khiển đóng / mở cổng logic

Gọi ĐK là tín hiệu đóng / mở cổng, A là thông tin logic cần di qua, ta có điều kiện để đóng / mở như mô tả hình 1-17. Trên hình vẽ, việc mô phỏng cổng logic như một khoá cơ khí K chỉ là hình thức, để diễn đạt chức năng của cổng. Ở khoá cơ khí, thông tin có thể truyền theo hai chiều ; nhưng ở cổng logic, *thông tin chỉ có thể đi theo một chiều*, từ đầu vào tới đầu ra.

## 2. Phần tử đảo có điều khiển (hoặc có điều kiện)

Nhiều khi người ta hay dùng phần tử không tương đương (hoặc tương đương) như một phần tử **ĐÀO có điều khiển**. Thực vậy, từ bảng chân lí của phần tử không tương đương (bảng 1-7) ta thấy : Nếu biến B làm biến điều khiển thì khi  $B = 0 \rightarrow Q = A$ , thông tin A đi qua ; khi  $B = 1 \rightarrow Q = \bar{A}$ , phần tử không tương đương đóng vai trò của phần tử ĐÀO. Đối với phần tử tương đương (bảng 1-8) thì kết luận rút ra là ngược lại.



Hình 1-18. Phần tử ĐÀO có điều khiển

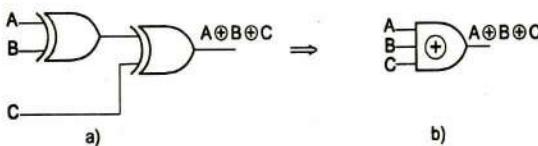
Hình 1-18 mô tả hoạt động của các phần tử tương đương và không tương đương như một phần tử ĐÀO có điều khiển. Chúng chỉ trở thành phần tử ĐÀO khi tín hiệu điều khiển ĐK = 1 (hoặc ĐK = 0 đối với phần tử tương đương

hình 1-18b). VỚI TÍN HIỆU ĐIỀU KHIỂN NGƯỢC LẠI THÌ CÁC PHẦN TỬ NÀY TRỞ THÀNH MỘT CỬA NGỒ MỞ, CHO THÔNG TIN A ĐI QUA (hình 1-18a).

### 3. Phân tử HOẶC - LOẠI TRỪ nhiều đầu vào

Người ta còn hay dùng các phân tử không tương đương để thành lập mạch XOR thực hiện phép tính HOẶC - LOẠI TRỪ trên nhiều biến logic A, B, C... Biến ra :  $Q = A \oplus B \oplus C \oplus \dots = [(A \oplus B) \oplus C] \oplus \dots$

Dựa trên tính kết hợp của phép tính HOẶC - LOẠI TRỪ, nên mạch XOR ba đầu vào (Kí hiệu ở hình 1-19b) sẽ gồm hai phân tử không tương đương nối tầng với nhau (hình 1-19a).



Hình 1-19. Thành lập mạch XOR ba đầu vào

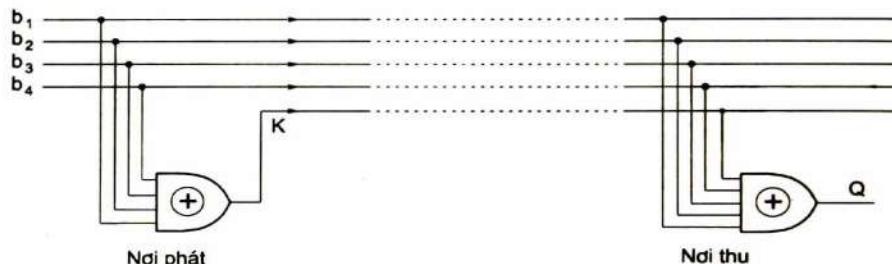
Quy tắc tính giá trị biến Q ở đầu ra mạch XOR nhiều đầu vào như sau : Q sẽ bằng 0 khi số biến vào mang giá trị 1 là một số chẵn ; khi số biến vào có giá trị 1 là một số lẻ thì Q = 1. Ví dụ : Dựa vào quy tắc trên, ta có thể lập bảng chân lí của hàm XOR với ba biến độc lập A, B, C (bảng 1-9).

Bảng 1-9

A	B	C	$Q = A \oplus B \oplus C$
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

Một ứng dụng của mạch XOR nhiều đầu vào là làm mạch tạo và kiểm tra **tính chẵn** của kênh truyền tin song song. Khi truyền song song thông tin n bit (xem phụ lục 2) ta cần kiểm tra xem thông tin nhận được có đúng không. Một phương pháp kiểm tra đơn giản nhất là thêm vào kênh truyền một bit, gọi là **bít kiểm tra K**. Bít kiểm tra phải có giá trị 0 hoặc 1 thế nào để số bít mang giá trị 1 (kể cả bít kiểm tra) trong kênh truyền là một số chẵn. Như vậy ở nơi phát tin phải có một mạch để tạo bit kiểm tra sao cho bảo đảm tính chẵn của kênh truyền. Ở nơi thu cũng cần đặt mạch kiểm tra tính chẵn của thông tin nhận được.

Từ tính chất của hàm XOR nhiều biến là : Khi số biến độc lập mang giá trị 1 là một số chẵn thì hàm có giá trị 0 ; nếu số biến mang giá trị 1 là một số lẻ thì hàm có giá trị 1 logic. Do đó, để tạo bit kiểm tra K bảo đảm tính chẵn của kênh truyền, ta chỉ đặt ở nơi phát một mạch XOR nhiều đầu vào. Để kiểm tra tính chẵn ở nơi thu, ta cũng đặt ở đó một mạch XOR. Hình 1-20 là ví dụ một kênh truyền tin 4 bit  $b_1, b_2, b_3, b_4$ , với các mạch XOR đặt ở nơi phát và nơi thu để phát và kiểm tra tính chẵn của kênh truyền. Khi các bit đến nơi thu không bảo đảm tính chẵn, đầu ra Q nhảy lên 1 logic để báo lỗi.



Hình 1-20. Kênh truyền tin với mạch phát và kiểm tra tính chẵn của kênh.

## 1-9. TỔNG QUAN VỀ CÁC MẠCH LOGIC

### 1-9-1. "Chip" vi mạch số

Hiện nay các mạch logic điện tử đều được sản xuất dưới dạng mạch tích hợp, hay còn gọi là vi mạch (viết tắt là IC). Đa số các vi mạch logic (vi mạch số) đều dựa trên phương pháp chế tạo của vi mạch bán dẫn khối rắn. Từ một đơn tinh thể bán dẫn tinh khiết Si, người ta đưa vào trong nó các tạp chất để tạo thành các tiếp giáp p-n. Chính những tiếp giáp này sẽ được dùng làm diod, transistor... và chúng được ghép nối với nhau, tạo thành một mạch điện tử có chức năng nhất định.

Khác với mạch điện tử rời rạc, trong vi mạch điện tử ta không còn phân biệt được các linh kiện khác nhau của mạch. Toàn bộ khối Si nhỏ bé được đóng rắn trong vỏ và ta chỉ còn thấy các chân ra của IC. Có ba cách đóng vỏ : Kiểu TO5, kiểu DIPS (hình 1-10) và kiểu FLAT PACK. Kiểu đóng vỏ thông dụng nhất trong công nghiệp là kiểu hai hàng chân song song (DIPS). Nó có kích cỡ lớn hơn các kiểu đóng vỏ khác nhưng lại dễ lắp ráp. Các IC kiểu DIPS có số chân thay đổi từ  $8 \div 48$ . Vật liệu rẻ và thông dụng nhất của đóng vỏ kiểu DIPS là chất dẻo, với dải nhiệt độ làm việc cho phép từ  $0 \div 70^{\circ}\text{C}$ .

Một mạch tích hợp sau khi đóng vỏ như ở hình 1-10 gọi là một "chip" vi mạch hay "chip" bán dẫn (một số người còn gọi là con bọ bán dẫn). Trong một

"chip" có thể gồm nhiều mạch logic cùng loại. Ví dụ "chip" 7400 gồm 4 phần tử NAND hai đầu vào, "chip" 74HC002 gồm hai phần tử NOR bốn đầu vào...

### 1-9-2. Sự phát triển của vi mạch số

Chỉ trong vài thập kỉ, kể từ năm 1960, vi mạch số đã trải qua nhiều giai đoạn phát triển. Xu thế phát triển chung là nhằm tăng mức độ tích hợp của "chip", tăng tốc độ hoạt động của mạch, giảm công suất tiêu thụ từ nguồn cung cấp và làm giảm giá thành sản xuất.

- Bắt đầu từ năm 1960 là giai đoạn của các vi mạch với **mức độ tích hợp nhỏ (SSI)**. Mỗi chip gồm khoảng hàng chục các phần tử tích cực để tạo thành vài phần tử logic thông dụng (AND, OR, NAND, NOR,...)

- Từ 1966 là giai đoạn sản xuất các vi mạch với **mức độ tích hợp trung bình (MSI)**. Mỗi "chip" gồm vài chục đến 100 phần tử logic vạn năng, để tạo thành các mạch logic chức năng như bộ đếm, thanh ghi dịch, mạch giải mã địa chỉ... sẽ trình bày trong các chương sau.

- Từ 1969 là giai đoạn bắt đầu sản xuất các "chip" bán dẫn có **mức độ tích hợp lớn (LSI)**, gồm hàng nghìn đến hàng vạn phần tử tích cực, ví dụ các bộ nhớ PROM dung lượng lớn, bộ vi xử lý 8 bit, khối tính toán số học và logic (ALU) có kèm các thành ghi.

- Từ 1975 trở đi là giai đoạn của các "chip" bán dẫn với **mức độ tích hợp rất lớn (VLSI) và siêu lớn (ULSI)**. Trên một diện tích bán dẫn nền khoảng  $40\text{mm}^2$  đã tạo nên hàng trăm nghìn transistor với công suất tiêu thụ của toàn "chip" là dưới  $500\text{mW}$ . Đây là giai đoạn của các "chip" vi xử lý, vi điều khiển 16, 32 bit... Khoảng từ 1990 người ta bắt đầu nói đến các **mạch tích hợp ứng dụng đặc thù (ASIC)**, gọi gọn là vi mạch đặc thù. Đó là các "chip" bán dẫn tích hợp các hệ thống ngày càng phức tạp, với mức độ tích hợp trên  $500000$  phần tử logic. Mức độ tích hợp tăng kéo theo yêu cầu phải làm giảm công suất tiêu thụ. Đã xuất hiện việc thay thế điện áp cung cấp truyền thống  $5\text{V}$  bằng  $3,3\text{V}$ , rồi  $2\text{V}$ .

Có thể tóm tắt lại là, từ năm 1970 đến 1994, mức độ tích hợp của các "chip" bán dẫn hàng năm tăng khoảng  $1,5 \div 2$  lần. Giá thành sản xuất ngày càng giảm. Ví dụ giá thành 1 bit nhớ của bộ nhớ bán dẫn năm 1991 so với năm 1978 giảm hơn 100 lần.

Việc tăng mức độ tích hợp các IC số do nhiều yếu tố quyết định, nhưng trước hết là do việc chuyển từ công nghệ lưỡng cực, dùng transistor BJT sang công nghệ đơn cực, dùng transistor MOS.

## 1-10. MẠCH LOGIC HỘ TTL VÀ CMOS

### 1-10-1. Khái niệm về mạch logic TTL và CMOS

Tùy theo phần tử tích cực nào được dùng làm thành phần cơ bản tạo thành vi mạch, ta có các họ vi mạch logic khác nhau. Hai họ vi mạch thông dụng hiện nay của các "chip" SSI và MSI là họ TTL và CMOS.

• **Hệ TTL** (transistor - transistor logic) là các mạch logic mà cửa vào và cửa ra đều dùng transistor lưỡng cực BJT. Nguồn cung cấp là 5V, công suất tiêu thụ điển hình là 10mW/phản tử, tốc độ chuyển mạch điển hình là 10ns.

• **Hệ CMOS** sử dụng đồng thời các transistor MOS kênh n và kênh p. Nguồn cung cấp  $+3 \div 18V$ , công suất tiêu thụ rất nhỏ, cỡ  $10nW/phản tử$  ( $1nW = 10^{-9}W$ ), tốc độ chuyển mạch nhìn chung chậm hơn mạch họ TTL.

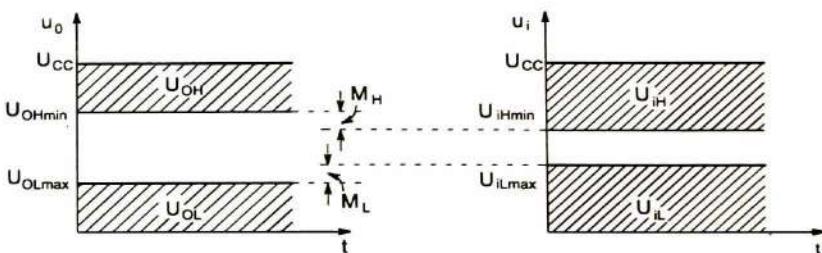
**1-10-2. Các thông số của vi mạch logic.** Khi sử dụng một mạch logic, cần thiết phải biết các thông số đặc trưng sau :

- **Điện áp cung cấp**  $U_{cc}$  mạch yêu cầu với độ xê dịch cho phép.

- **Công suất mạch tiêu thụ** từ nguồn cung cấp  $P_{cc} = U_{cc}I_{cc}$  , trong đó  $I_{cc}$  là dòng tiêu thụ từ nguồn cung cấp.

- **Mức logic**, gồm : Các mức logic cao và thấp ở đầu ra mạch  $U_{oH}, U_{oL}$  ; các mức logic cao và thấp ở đầu vào mạch  $U_{iH}, U_{iL}$ .

Thường người ta quy định giá trị cực tiểu của mức cao ở đầu ra lớn hơn ở đầu vào ( $U_{oHmin} > U_{iHmax}$ ) và giá trị cực đại của mức thấp ở đầu ra nhỏ hơn ở đầu vào ( $U_{oLmax} < U_{iLmax}$ ). Làm như vậy nhằm bảo đảm mạch có độ ổn định nhiều thích đáng (hình 1-21)



**Hình 1-21. Các mức logic ở đầu ra và đầu vào mạch logic.**

- **Độ ổn định nhiễu**  $M$  là giá trị điện áp nhiễu tối đa cho phép xếp chồng lên mức logic ở đầu vào mà không gây sự tác động sai của mạch. Khi sử dụng, các phản tử logic thường được nối tầng với nhau : tín hiệu ra ở tầng trước là tín hiệu vào của tầng sau. Do đó nếu các phản tử thuộc cùng một họ, với quy định

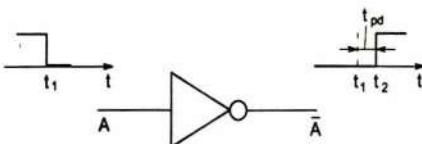
những giới hạn khác nhau của các mức logic ở đầu ra và đầu vào như trên hình 1-21, thì độ ổn định nhiễu là :

$$M = \min \{M_H, M_L\}$$

trong đó  $M_H = U_{oH\min} - U_{iL\min}$ ;  $M_L = U_{iL\max} - U_{oL\max}$ .

Độ ổn định nhiễu của các vi mạch số rất cao, khoảng  $10 \div 40\%$  điện áp nguồn cung cấp.

- Các dòng vào và ra ứng với hai mức logic :  $I_{iH}, I_{iL}, I_{oL}, I_{oH}$ . Trường hợp dùng các mạch cùng một họ nối tiếp với nhau, có thể thay thế các thông số dòng vào/ra bằng khái niệm về *hệ số tải đầu ra* (Fan-out). Nó là thông số chỉ số đầu vào nhiều nhất có thể nối với mỗi đầu ra của mạch cùng họ mà không làm điện áp đầu ra chạy khỏi vùng quy định của hai mức logic. Hệ số tải đầu ra của mạch TTL thường là 10 (của mạch họ CMOS là trên 50).



Hình 1-22. Mô tả trễ truyền đạt của phần tử ĐÀO

- Trễ truyền đạt  $t_{pd}$ , hay còn gọi là tốc độ chuyển mạch, đặc trưng cho sự chậm trễ của việc thay đổi trạng thái của tín hiệu ở đầu ra theo sự thay đổi trạng thái tín hiệu ở các đầu vào. Hình 1-22 mô tả trễ truyền đạt của phần tử ĐÀO.

### 1-10-3. Mạch logic họ TTL

#### a) Kí hiệu và các thông số của họ TTL

Họ TTL có hai nhóm cơ bản là nhóm 74 dùng trong thương mại, còn nhóm 54 dùng trong quân sự. Điểm khác nhau chính giữa hai nhóm này là giới hạn nhiệt độ làm việc: Đối với nhóm 74 là  $0 \div 70^\circ\text{C}$ , với nhóm 54 là  $-55 \div +125^\circ\text{C}$ . Trong mỗi nhóm lại có nhiều chủng loại đặc biệt, nhằm tăng tốc độ chuyển mạch và giảm công suất tiêu thụ từ nguồn cung cấp IC.

Quy tắc ký hiệu các họ IC TTL như sau :

74/54 ..... XXXXXX  
 vài chữ cái      vài con số

Trong kí hiệu trên, vài chữ cái để chỉ các chủng loại như : N - thông thường (Normal), H - tốc độ chuyển mạch cao (High speed), L - tiêu thụ công suất thấp (Low power), S - mạch có dùng diod Schottky nối giữa cực gốc và góp nén  $t_{pd}$  giảm khoảng 3 lần, LS - tiêu thụ công suất thấp và có diod Schottky (Low power Schottky), AS - tốc độ chuyển mạch nhanh hơn loại có diod Schottky (Advanced Schottky), ALS - công suất tiêu thụ thấp và tốc độ chuyển mạch nhanh hơn loại LS (Advanced Low power Schottky). Vài con số nằm ở cuối cùng chỉ chức năng của IC, ví dụ mạch NAND, NOR, mạch đếm, giải mã...

Bảng 1-10 cho các thông số của IC họ TTL. Trong bảng chiều dương quy ước của dòng đầu ra và dòng đầu vào tương ứng là đi ra khỏi mạch và đi vào mạch.

Bảng 1-10

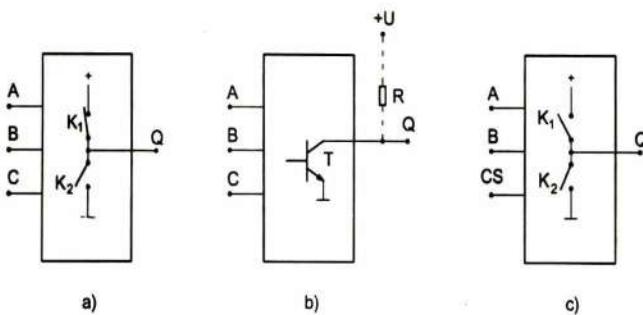
Các thông số của IC họ TTL

Chủng loại Các thông số	N	H	L	S	LS	AS	ALS
Điện áp cung cấp (V)	$5 \pm 2,5\%$	$5 \pm 2,5\%$	$5 \pm 2,5\%$				
Mức logic đầu ra $U_{OH}(V)$ $U_{OL}(V)$	$\geq 2,4$ $\leq 0,4$	$\geq 2,4$ $\leq 0,4$	$\geq 2,4$ $\leq 0,4$	$\geq 2,7$ $\leq 0,5$	$\geq 2,7$ $\leq 0,5$	$\geq 3$ $\leq 0,5$	$\geq 3$ $\leq 0,5$
Mức logic đầu vào $U_H(V)$ $U_L(V)$	$\geq 2$ $\leq 0,8$	$\geq 2$ $\leq 0,8$	$\geq 2$ $\leq 0,8$				
Độ ổn định nhiễu (v)	0,4	0,4	0,4	0,3	0,3	0,3	0,3
Dòng đầu ra $I_{OH}(mA)$ $I_{OL}(mA)$	0,4 -16	0,5 -20	0,2 -2	1 -20	0,4 -4	2 -20	0,4 -8
Dòng đầu vào $I_H(mA)$ $I_L(mA)$	0,04 -1,6	0,05 -2	0,01 -0,18	0,05 -2	0,02 -0,4	0,2 -2	0,02 -0,2
Công suất tiêu thụ (mW/phản tử)	10	23	1	23	2	20	1
Trễ truyền đạt $t_{pd}$ (ns)	10	6	33	3	10	1,5	4

b) Các mạch ra của phần tử logic họ TTL. Các phần tử logic họ TTL có thể có một trong ba mạch ra sau :

- **Mạch ra totem - pole** (còn gọi là mạch ra cột chمام)

Hình 1-23a là mô hình phần tử logic với mạch ra totem - pole, gồm hai khoá K<sub>1</sub>, K<sub>2</sub> đóng vào các mức logic cao và thấp. Chúng là các khoá transistor và làm việc luôn ngược nhau : cái này đóng thì cái kia mở. Các tín hiệu logic ở cửa vào điều khiển sự đóng / mở của hai khoá. Ví dụ nếu mô hình hình 1-23a là phần tử VÀ thì K<sub>2</sub> đóng, K<sub>1</sub> mở khi có ít nhất một biến vào bằng 0. Khi A = B = C = 1 thì K<sub>1</sub> đóng K<sub>2</sub> mở.



Hình 1-23. Mô phỏng các mạch ra của phần tử logic họ TTL

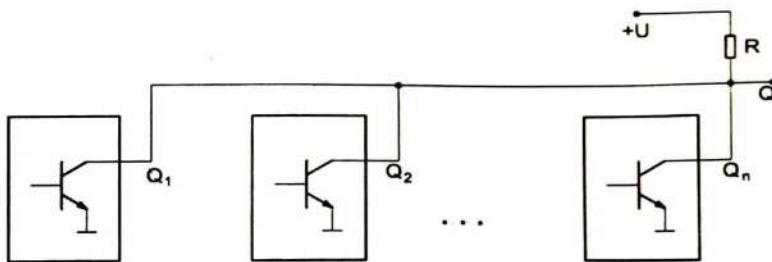
- **Mạch ra cực góp hở** (để ngò). Phần tử logic cực góp hở có mạch ra là một transistor BJT, cực góp của nó để hở. Khi sử dụng phải nối đầu ra Q (chính là cực góp) với điện áp +U thích hợp thông qua điện trở R ( $1 \div 5k\Omega$ ) gọi là điện trở treo cao (hình 1-23b).

Phần tử mạch ra cực góp hở có các ưu điểm sau :

- Nó cho phép ta thay đổi mức logic cao H ở đầu ra bằng cách treo lên điện áp +U thích hợp. Hơn nữa khi cần điều khiển tài công suất (dèn báo hiệu, role điện tử...), ta có thể nối trực tiếp đầu ra với tải và đặt vào điện áp tải yêu cầu (trong phạm vi cho phép, thường là  $\leq 15V$  hoặc  $< 30V$ ).

- Các phần tử cực góp hở có khả năng thực hiện hàm VÀ nối dây (wired AND) ; nghĩa là :

Để làm phép nhận logic giữa những biến ra của các phần tử cực góp hở, ta chỉ cần nối chung tất cả các đầu ra với nhau và treo lên mức logic cao +U (hình 1-24).



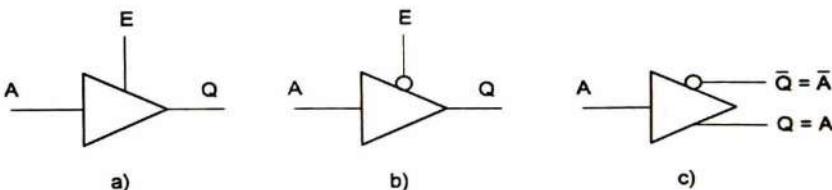
Hình 1-24. Thực hiện hàm VÀ nối dây của các phần tử cực gộp hở.

Từ hình 1-24 ta thấy : Nếu một trong các transistor đầu ra dẫn bão hoà, nghĩa là chỉ cần một đầu ra  $Q_i = 0$  logic ( $i = 1, 2, \dots, n$ ) thì  $Q = 0$  logic ; chỉ khi tất cả các transistor đều khoá ( $Q_1 = Q_2 = \dots = Q_n = 1$  logic) thì  $Q = +U = 1$  logic. Vậy  $Q = Q_1 \cdot Q_2 \dots Q_n$

- **Mạch ra ba trạng thái.** Ở phần tử logic với mạch ra ba trạng thái, đầu ra Q có thể nằm ở ba trạng thái sau :

Hai trạng thái, ứng với mức logic 1 hoặc 0 khi phần tử làm việc. Ngoài ra còn có thể có trạng thái thứ ba, gọi là trạng thái *tổng trở cao* (hoặc *trạng thái treo*), lúc đó đầu ra Q coi như tách rời khỏi phần tử.

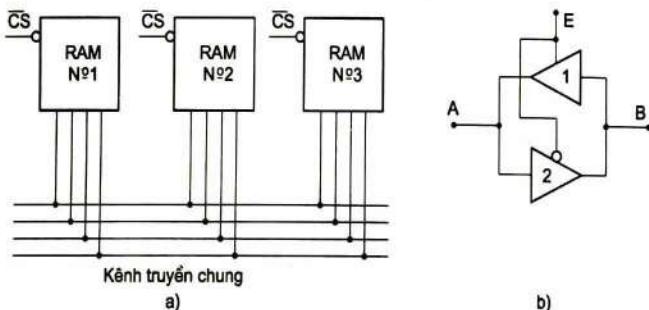
Hình 1-23c mô phỏng phần tử logic với mạch ra 3 trạng thái là hai khoá  $K_1$ ,  $K_2$ . Khi phần tử hoạt động, hai khoá làm việc ngược nhau, một cái đóng thì cái kia mở theo sự điều khiển của tín hiệu vào A, B. Tuỳ theo vị trí của hai khoá mà Q sẽ bằng 0 hay 1 logic. Tuy vậy, mạch còn có thể có trạng thái thứ ba (tổng trở cao) ứng với khi  $K_1$ ,  $K_2$  đều mở, đầu ra Q coi như tách ra khỏi mạch. Tín hiệu ở đầu CS, gọi là đầu chọn "chip", dùng để điều khiển mạch ở trạng thái thứ ba này : Khi CS = 1 (hoặc 0) thì hai khoá đều mở, độc lập với các tín hiệu vào A, B.



Hình 1-25. Kí hiệu các phần tử đếm ba trạng thái và phần tử đếm hai đầu ra.

Người ta còn hay sản xuất các IC đệm (buffer) ba trạng thái. Nó thực chất chỉ là một khuếch đại logic ba trạng thái, kí hiệu như ở hình 1-25a, b. Khi  $E = 1$  (hoặc  $E = 0$  đối với hình 1-25b) thì  $Q = A$ ; khi  $E = 0$  (hoặc  $E = 1$  đối với hình 1-25b), phần tử đệm sẽ ở trạng thái tổng trở cao, đầu ra  $Q$  tách khỏi đầu vào  $A$ . Vậy vai trò phần tử đệm tựa như một khoá cơ khi đóng cắt. Cũng cần phân biệt kí hiệu phần tử đệm 3 trạng thái với phần tử đệm có hai đầu ra đảo và không đảo ở hình 1-25c.

Ưu điểm nổi bật của các IC logic với mạch ra ba trạng thái là ta có thể nối các đầu ra của IC lên cùng một kênh truyền chung. Điều này làm đơn giản rất nhiều cho việc tạo lập kênh truyền số liệu trong một hệ thống logic. Hình 1-26a là ví dụ về nối ba "chip" nhớ RAM mạch ra ba trạng thái lên cùng một kênh truyền chung 4 bit. Về hình thức thì các đầu ra của mỗi bộ nhớ đều được nối cứng (nối vật lý) với kênh truyền chung. Nhưng bằng cách chọn đặt lên các đầu chọn chip  $\overline{CS}$  của IC những mức logic thích hợp, ta luôn bảo đảm tại một thời điểm chỉ có một IC nào đó trong ba IC được nối với đường truyền chung, các IC khác đều ở trạng thái treo, tách khỏi đường truyền. Vậy, đầu điều khiển trạng thái treo  $\overline{CS}$  của các IC ba trạng thái có *khả năng điều khiển đường BUS* (kênh truyền).



*Hình 1-26. Nối các IC ba trạng thái với kênh truyền chung và công truyền hai chiều ba trạng thái.*

Hình 1-26b chỉ ra một cách nối các phần tử đệm ba trạng thái để tạo thành công truyền logic theo hai chiều. Khi  $E = 1$ , phần tử đệm số 1 thông, phần tử đệm số 2 treo, tín hiệu truyền từ  $B$  sang  $A$ ; khi  $E = 0$ , phần tử 2 thông, phần tử 1 treo, tín hiệu đi từ  $A$  sang  $B$ .

#### 1-10-4. Mạch logic họ CMOS

##### a) Các thông số của IC họ CMOS

Nhìn chung nhiều thông số của mạch họ CMOS tốt hơn của mạch họ TTL. Do đó các mạch SSI, MSI họ CMOS hiện nay rất thông dụng.

- Điện áp nguồn cung cấp  $+3 \div +15V$

Ở chế độ tĩnh (khi tín hiệu ở các đầu vào và ra giữ ổn định ở một mức logic), mạch hầu như không tiêu thụ công suất từ nguồn cung cấp ( $P_{cc} \approx 0,01 \mu W/phân tử$ ). Nhưng ở chế độ động (khi tín hiệu ở các đầu vào và ra liên tục chuyển qua lại giữa hai mức logic), công suất mạch tiêu thụ từ nguồn cung cấp tăng tỉ lệ với tần số làm việc của mạch.

Độ ổn định nhiều cao. Với nguồn cung cấp  $+5V$ , độ ổn định nhiều của mạch họ CMOS khoảng  $1,5V$ .

Dòng vào mạch CMOS rất nhỏ, chỉ cỡ  $\mu A$  trở xuống ( $I_{iHmax} \approx 1\mu A$ ,  $I_{iLmax} = -1\mu A$ ). Ở mạch họ CMOS cũng không có sự chênh lệch lớn giữa dòng ra ở mức logic cao ( $I_{oH}$ ) và dòng ra ở mức logic thấp  $I_{oL}$ . Thường  $I_{oH} \approx 0,2 \div 0,5mA$ ,  $I_{oL} \approx -0,2 \div -0,5mA$ .

- Mức logic :

Mức cao ở đầu ra  $U_{oH} \approx U_{CC}$  (diện áp nguồn cung cấp); mức thấp ở đầu ra  $U_{oL} \approx 0V$ .

Mức cao ở đầu vào  $U_{iH} \geq U_{CC} - U_K$ ; mức thấp ở đầu vào  $U_{iL} \leq U_K$ , trong đó:  $U_K \approx 1,5 \div 2V$  là điện áp khoá của transistor MOS.

Ví dụ với nguồn cung cấp  $U_{CC} = +5V$  và  $U_K = 1,5V$  thì  $U_{oH} \approx 5V$ ,  $U_{oL} \approx 0V$ ,  $U_{iHmin} \approx 3,5V$ ,  $U_{iLmax} \approx +1,5V$ .

Nhược điểm chung của họ CMOS loại thông thường là trễ truyền đạt lớn ( $t_{pd} \approx 50 \div 100ns$ ).

##### b) Các mạch ra của họ CMOS

Hiện nay các IC logic họ CMOS với mức độ tích hợp nhỏ và trung bình (SSI, MSI) có ba loại mạch ra: **Mạch ra thông thường, mạch ra có mạch đếm; mạch ra ba trạng thái.**

Mạch ra ba trạng thái đã trình bày ở trên. Khác nhau cơ bản giữa mạch ra có mạch đếm và mạch ra thông thường là dòng ra ở mạch ra có mạch đếm lớn, cỡ khoảng vài mA.

##### c) Phân loại các IC họ CMOS

Có thể chia các IC họ CMOS thành hai loại :

- Các mạch CMOS tốc độ chậm họ 4000 và 74C. Các họ này có độ ổn định nhiều rất cao, trễ truyền đạt lớn ( $30 \div 100ns$ ), dòng ra nhỏ (khoảng  $0,2 \div 0,5mA$ ).

- Các mạch CMOS tốc độ nhanh họ 74HCT, 74AHCT, 74HCTL, 74HC. Điện áp cung cấp thường là +5V. Họ 74HC có trễ truyền đạt  $t_{pd} \approx 8 \div 9\text{ns}$ , điện áp cung cấp 2 ÷ 6V, dòng ra cỡ 4mA. Họ này không hoàn toàn tương thích với họ TTL vì có mức logic ở đầu vào khác với IC họ TTL.

Các họ 74HCT, 74AHCT, 74HCTL là những họ dùng rất tương thích với IC họ TTL. Ví dụ họ 74HCT có  $U_{iLmax} = 0,8\text{V}$ ;  $U_{iHmin} = 2\text{V}$ ;  $I_{oL} = -4\text{mA}$ ;  $I_{oH} = 4\text{mA}$ ;  $t_{pd} = 10\text{ns}$ .

Phụ lục 6 giới thiệu một số IC SSI họ CMOS.

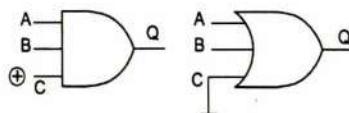
### 1-11. NHỮNG CHÚ Ý KHI SỬ DỤNG CÁC IC LOGIC

Khi sử dụng các IC số ta cần chú ý những điểm sau :

#### 1. Không để tự do các đầu vào không dùng tới

Khi xây dựng các mạch logic, nhiều khi ta phải dùng các phần tử có số đầu vào nhiều hơn yêu cầu, nghĩa là có một số chân không dùng tới. Nếu để hở các chân này ở ngoài trời, do nhiều chúng có thể tự động nhảy lên mức cao hoặc ở vùng không xác định giữa hai mức logic. Kết quả có thể dẫn tới sự tác động nhầm của phần tử. Do đó nhất thiết phải nối các đầu tự do với một mức logic thích hợp sao cho không làm thay đổi hoạt động của phần tử.

Hình 1-27 là cách nối đầu tự do C của phần tử VÀ và phần tử HOẶC.



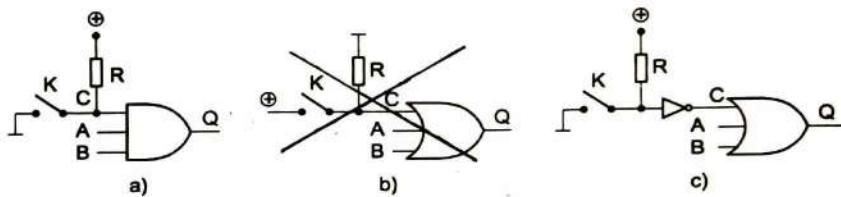
Hình 1-27. Nối đầu tự do của phần tử VÀ và phần tử HOẶC

Có thể nối đầu tự do C với một trong các đầu vào điều khiển A hay B. Tuy nhiên không nối như thế vì :

- Làm nặng thêm tải của nguồn tín hiệu điều khiển.

- Làm tăng điện dung đầu vào, do đó làm tăng trễ truyền đạt  $t_{pd}$ , nhất là đối với các IC họ CMOS.

- 2. Khi có đầu vào sẵn sàng có thể phải đặt vào mức thấp L thông qua** khoả K (ví dụ đầu C ở hình 1-28a), thì bình thường nó phải treo lên mức cao H thông qua điện trở treo cao R khoảng  $4,7\text{k}\Omega$  (đối với phần tử họ TTL), hoặc khoảng  $4,7 \div 20\text{k}\Omega$  (đối với phần tử họ CMOS).



Hình 1-28. Nối các đầu vào chờ đợi đặt ở mức L hoặc mức H

Nếu có đầu vào sẵn sàng chờ đợi đặt ở mức logic cao H thông qua khóa K (ví dụ đầu C ở hình 1-28b). Lúc đó ta không nối đầu C với mức thấp ("mát") thông qua điện trở R như ở hình 1-28b, vì điện áp rơi  $I_{IL}R$  trên điện trở có thể sẽ không bảo đảm đầu C ở mức thấp (nhất là đối với phân tử họ TTL), trường hợp này, hợp lí nhất nên mắc theo hình 1-28c.

3. Nếu trong "chip" vi mạch họ TTL còn thừa ra phân tử logic không được sử dụng, ta nên treo các đầu vào của chúng lên mức cao H sẽ giảm được công suất tiêu thụ.

4. Khi dùng các IC họ CMOS ta còn cần lưu ý các điểm sau :

- Cần phòng ngừa sự đánh thủng của lớp oxyt ngăn cách cực cổng và kênh dẫn của transistor MOS (diện áp đánh thủng cỡ 100V). Sự đánh thủng này có thể xảy ra do điện tích tĩnh tích tụ trên cực cổng. Vì vậy khi bảo quản cần phải đặt các "chip" CMOS trên các giá đỡ dẫn điện do nhà chế tạo cung cấp khi bán.

- Khi cho các mạch CMOS làm việc, ta phải đặt nguồn cung cấp trước, sau đó mới đặt tín hiệu điều khiển lên các đầu vào. Khi cho mạch ngừng làm việc thì ngược lại : Phải ngắt tín hiệu đặt trên các đầu vào trước khi ngắt nguồn cung cấp. Các thao tác này cũng nhằm phòng ngừa sự tích tụ điện tích có thể xảy ra trên cực cổng của CMOS.

- Chú ý không làm ngắn mạch đầu ra các phân tử CMOS vì tải điện dung lớn ở đầu ra có thể gây dòng ngắn mạch lớn, làm hỏng phân tử.

- Không nên nối song song các đầu vào hoặc các đầu ra của các phân tử, nếu chúng không cùng nằm trong một "chip".

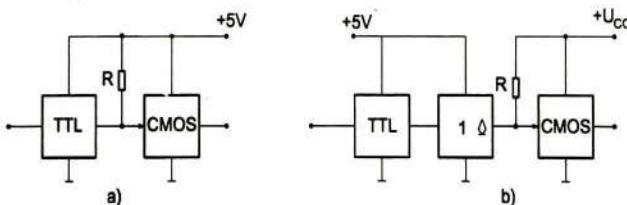
5. Các phân tử logic làm việc ở chế độ động luôn gây sự biến động lớn về dòng tiêu thụ từ nguồn cung cấp. Để giảm hiện tượng này, ta thường dùng biện pháp "phân tách nguồn cung cấp" : Nghĩa là trên đường cung cấp cho một vi mạch (card) gồm nhiều "chip", ở gần mỗi nhóm từ 4 ÷ 5 chip ta đặt một tụ cỡ  $1 \div 10\text{nF}$ . Đồng thời đặt một tụ lọc nguồn khoảng vài chục  $\mu\text{F}$  cho toàn vi mạch.

## 1-12. GIAO DIỆN GIỮA CÁC PHẦN TỬ HỘ TTL VÀ CMOS

Nhiều khi trong một hệ thống logic, ta phải phối hợp dùng cả các phần tử TTL và CMOS để lợi dụng ưu điểm của từng loại. Lúc đó, thường ta không thể nối trực tiếp chúng với nhau mà phải thông qua một *giao diện* để hoà hợp mức logic hoặc dòng ở đầu ra và đầu vào của hai họ.

### 1-12-1. Trường hợp phần tử TTL điều khiển các phần tử CMOS

- Khi nguồn cung cấp cho IC CMOS là +5V, mức cao tối thiểu ở đầu vào phần tử CMOS là  $U_{iHmin} = 3,5V$ , trong khi mức cao tối thiểu ở đầu ra các phần tử TTL là  $U_{oHmin} = 2,4V$ . Vì vậy phải dùng một điện trở  $R \approx 1 \div 10k\Omega$  nối giữa đầu ra phần tử TTL và nguồn +5V (hình 1-29a). Điện trở R nhằm nâng cao  $U_{oHmin}$  của phần tử TTL cho phù hợp với yêu cầu của các phần tử CMOS. Phần tử điều khiển TTL có thể là phần tử mạch ra cực góp hở, cũng có thể là phần tử mạch ra totem - pole.



Hình 1-29. Giao diện giữa phần tử điều khiển TTL và các phần tử CMOS

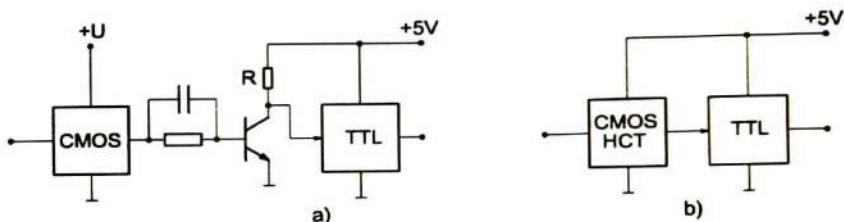
- Khi nguồn cung cấp cho IC CMOS khác +5V, giao diện sẽ là phần tử đệm TTL cực góp hở với điện trở treo cao R nối với nguồn cung cấp  $+U_{cc}$  của phần tử CMOS (hình 1-29b).

### 1-12-2. Trường hợp phần tử CMOS điều khiển các phần tử TTL

- Khi dùng phần tử CMOS không tương thích để điều khiển các phần tử TTL. Nếu phần tử điều khiển CMOS có nguồn cung cấp là +5V thì đầu ra phần tử CMOS không đủ sức tiếp nhận dòng vào lớn, tương ứng với mức logic thấp ( $I_{iL}$ ) của các phần tử TTL. Thật vậy, nếu dùng phần tử điều khiển CMOS họ 4000 có dòng ra khoảng 0,4mA, nó không thể nhận dòng vào  $|I_{iL}| \approx 1,6mA$  của phần tử TTL loại thông thường. Để giải quyết mâu thuẫn này có thể dùng các cách sau :

- Nối song song nhiều phần tử CMOS.

– Dùng phần tử CMOS có mạch ra đệm ; hoặc dùng phần tử CMOS thông thường nối tầng với phần tử đệm CMOS (ví dụ IC 4010). Mạch ra của phần tử đệm có thể nhận 3mA ở điện áp 0,4V.



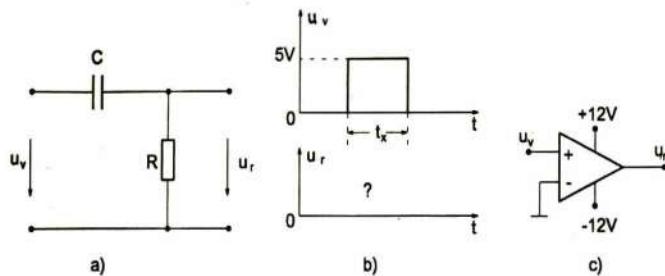
Hình 1-30. Giao diện giữa phần tử điều khiển CMOS và các phần tử TTL.

Nếu điện áp cung cấp cho phần tử điều khiển CMOS không tương thích với điện áp nguồn của phần tử họ TTL, thì ta phải dùng transistor BJT nối hoà hợp hai phần tử CMOS và TTL (hình 1-30a). Chú ý rằng giao diện transistor trong hình vẽ có vai trò như phần tử ĐÀO phụ thêm.

- Nếu dùng chủng loại CMOS HCT (ví dụ 74HCT, 74HCTL) thì nó hoàn toàn tương thích với họ TTL về mức logic. Dòng ra của phần tử CMOS 74HCT cũng lớn ( $|I_{oH}| = |I_{oL}| = 4mA$ ). Do đó có thể nối trực tiếp phần tử điều khiển CMOS với các phần tử TTL với hệ số Fan - out thích hợp (hình 1-30b).

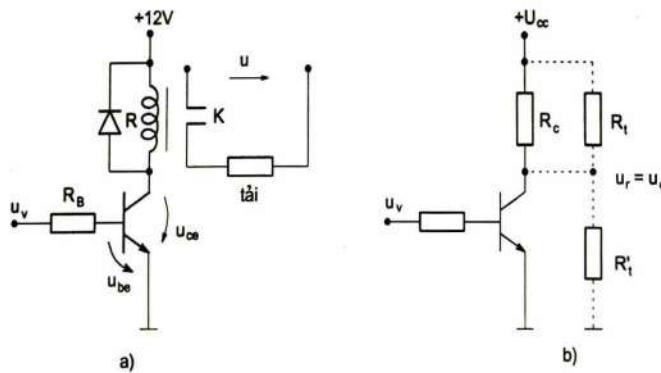
## CÂU HỎI VÀ BÀI TẬP CHƯƠNG 1

- 1-1. Xung là gì ? Bước nhảy là gì ? Các thông số chính đặc trưng cho một xung hình thang và xung răng cưa là gì ? Thế nào là xung vuông góc ? Các thông số đặc trưng cho một bước nhảy là gì ?
- 1-2. Các thông số đặc trưng cho một dãy xung vuông góc tuần hoàn ? Thế nào là dãy xung vuông góc đối xứng ? Thế nào là các mạch phát xung dạng chạy tự do, thế nào là các mạch phát xung dạng kích khởi ?
- 1-3. Nêu công thức (không cần chứng minh) tính điện áp trên các phần tử mạch R-C khi có bước nhảy điện áp đặt vào ; trước khi có bước nhảy, điện áp trên các phần tử đều bằng 0. Thời gian quá độ xảy ra trong mạch bao nhiêu ?



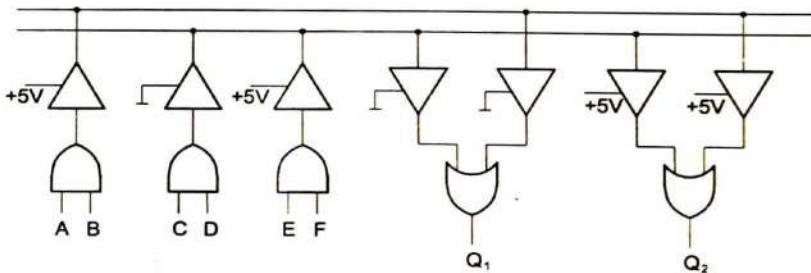
Hình 1-31. Bài tập 1-4 và 1-7.

- 1-4. Cho mạch hình 1-31a. Biết  $R = 10k\Omega$ ,  $C = 0,47 \mu F$ . Đặt vào mạch một xung vuông góc có độ rộng  $t_x$  (hình 1-31b). Hãy vẽ dạng điện áp ra  $u_r(t)$  khi  $t_x = 50ms$  và khi  $t_x = 0,3ms$ .
- 1-5. Hình 1-32a là sơ đồ khoá transistor điều khiển đóng / mở khoá K của rơle cơ điện. Cuộn dây rơle mắc ở phía cực gòp và có điện trở  $R = 100\Omega$ . Điện áp các cực transistor ở chế độ bão hòa là  $u_{be} \approx 0,7V$ ,  $u_{ce} \approx 0V$ . Điện áp điều khiển transistor  $u_v$  có hai mức : mức thấp L = 0V, mức cao H = 6V. Hệ số khuếch đại dòng cực tiểu của transistor  $B_{min} = 100$ . Giải thích hoạt động của sơ đồ và tính điện trở  $R_B$ , chọn hệ số bão hòa  $K_{bh} = 2$ .



Hình 1-32. Bài tập 1-5 và 1-6

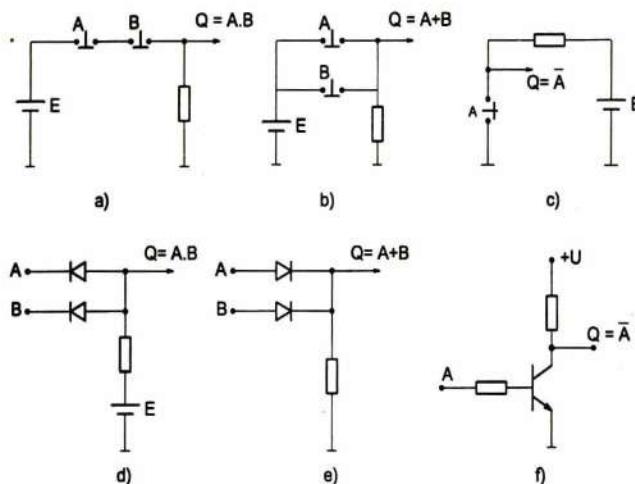
- 1-6. Hình 1-32b là sơ đồ khoá transistor với tải là điện trở  $R_t$  (hoặc  $R'_t$ ). Giải thích ảnh hưởng của điện trở tải  $R_t$  tới sự làm việc của khoá trong hai trường hợp :
- Tải  $R_t$  mắc song song với  $R_c$  ;
  - Tải  $R_t$  nối "mát".
- 1-7. Một khuếch thuât toán làm việc ở chế độ khoá với nguồn cung cấp  $\pm U_{CC} = \pm 12V$  (hình 1-31c). Điện áp bão hoà  $\pm U_{bh} \approx \pm (U_{CC} - 2V)$ . Hãy ước tính thời gian quá độ  $t_{dm}$  khi khoá chuyển trạng thái trong hai trường hợp :
- Khuếch thuât toán là μA741 có tốc độ xoay SR = 0,5 V/μs.
  - Khuếch thuât toán là LM318 có SR = 70 V/μs.
- Giả định khuếch thuật toán có hệ số khuếch đại vi sai  $A_D = 10^6$ . Ước tính độ nhạy của khoá.
- 1-8. Mạch logic là gì ? Cho vài ví dụ về mạch logic. Mức logic là gì ? Thế nào là mạch logic dương, logic âm ? Phân biệt giữa mạch logic tổ hợp và mạch logic dây ?
- 1-9. Thế nào là mạch logic họ TTL, họ CMOS ? Ưu nhược điểm của mỗi họ.
- 1-10. Thế nào là phần tử logic cực góp để hở, thế nào là phần tử logic ba trạng thái ? Ưu điểm của các phần tử này.
- 1-11. Nêu các thông số đặc trưng của vi mạch logic.
- 1-12. Cho mạch hình 1-33. Viết biểu thức logic của  $Q_1$ ,  $Q_2$ . Giải thích.



Hình 1-33. Bài tập 1-12

- 1-13. Hình 1-34a, b, c là các mạch logic rơle (hay còn gọi là các mạch logic tiếp điểm), trong đó A, B là các biến logic đặc trưng cho hai trạng thái đóng / mở của các khoá cơ khí. Hình 1-34d, e, f là các mạch logic điện tử, trong

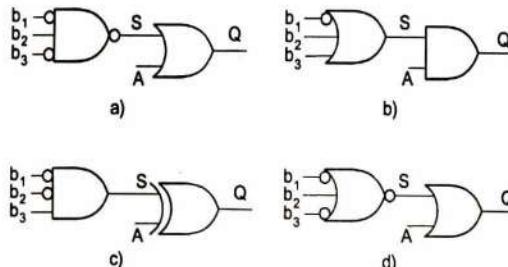
đó A, B là các biến logic đặc trưng bởi các mức logic điện áp cao và thấp.  
Hãy chứng tỏ một cách định tính rằng các mạch ở hình 1-34 chính là ba phần tử logic cơ bản.



Hình 1-34. Bài tập 1-13

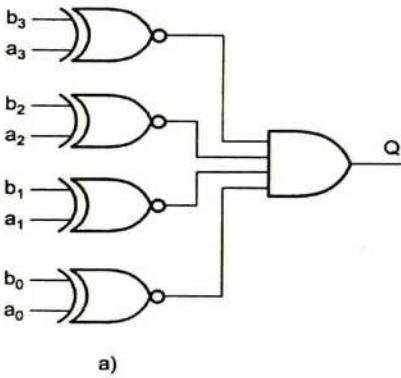
1-14. Tìm tổ hợp mã nhị phân  $b_1b_2b_3$  để thực hiện :

- Mở cổng HOẶC ở hình 1-35a, cho thông tin A đi qua.
- Đóng cổng VÀ ở hình 1-35b, chặn lại thông tin A.
- Đầu ra phần tử không tương đương ở hình 1-35c có  $Q = \bar{A}$
- Đóng cổng HOẶC ở hình 1-35d, chặn lại thông tin A

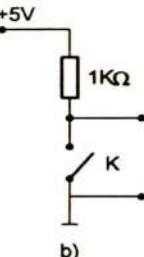


Hình 1-35. Bài tập 1-14.

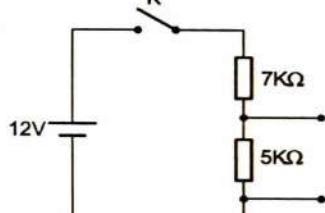
- 1-15.** Viết biểu thức logic của biến ra Q ở hình 1-36a và chỉ ra vai trò của mạch dùng để làm gì ?
- 1-16.** Xây dựng mạch logic sao cho đầu ra Q là ở mức cao H, nếu các đầu vào A, B, C đều ở mức cao ; hoặc nếu các đầu vào D, E, F là cùng ở mức cao.
- 1-17.** Xây dựng mạch logic sao cho đầu ra Q sẽ ở mức cao H, khi một trong hai đầu vào A và B là ở mức cao (nhưng không phải cả hai) ; hoặc một trong hai đầu vào B, C (nhưng không phải cả hai) là ở mức cao.



a)



b)



c)

Hình 1-36. Bài tập 1-15 và 1-19

- 1-18.** Viết các biểu thức logic biểu thị cho các quan hệ logic dưới đây :
- Bữa ăn trưa hôm nay ở nhà máy gồm bánh mì kẹp thịt với món phụ là canh hoặc rau trộn, nhưng không phải cả hai món phụ.
  - Người công nhân có thể chọn sơn bức tường màu vàng và xanh lơ nhưng không phải cả hai. Ngay khi anh ta không sơn tường thì cũng phải sơn trần màu trắng.

- Để qua được cửa vào câu lạc bộ, anh phải trả 3000đ và xuất trình thẻ hội viên, hoặc anh phải trả 4000đ.
  - Nếu muốn học giáo trình luật hay sử hoặc cả hai, anh còn cần phải theo học một ngoại ngữ Anh hay Pháp, nhưng không phải cả hai ngoại ngữ.
- 1-19. Thiết kế hệ thống cảnh báo của xe taxi 4 chỗ ngồi. Hệ thống sẽ báo động bằng còi nếu như có dấu hiệu cháy trong xe hoặc có hành khách không đeo chàt dây an toàn ở chỗ ngồi. Mỗi chỗ ngồi của hành khách có đặt hai mạch kiểm tra như hình 1-36b ; một mạch để kiểm tra sự có mặt của hành khách ở ghế ngồi, một mạch để kiểm tra dây an toàn ở ghế ngồi có được sử dụng hay không. Khi có hành khách ở ghế ngồi(hoặc dây an toàn được dùng) thì khoá K đóng lại. Hình 1-36c là mạch phát hiện cháy. Khi có dấu hiệu cháy trong xe thì khoá K đóng lại. Sử dụng dây xung vuông góc tần số 2KHz làm còi báo động kêu mỗi khi có sự không an toàn trong xe.

## Chương 2

# CÁC MẠCH TẠO XUNG HOẶC BƯỚC NHẢY DÙNG TRANSISTOR HAY KHUẾCH THUẬT TOÁN

### 2-1. MẠCH SO SÁNH TƯƠNG TỰ

- Mạch so sánh cho một bước nhảy điện áp ở đầu ra để chỉ kết quả so sánh giữa hai величин в cửa vào. Có hai loại mạch so sánh :
  - Mạch so sánh hai số nhị phân, gọi là **mạch so sánh số**, sẽ trình bày ở chương 4.
  - **Mạch so sánh tương tự** so sánh một điện áp với điện áp chuẩn có độ lớn xác định trước.
    - Như đã nói ở trên, mạch so sánh tương tự dùng để so sánh điện áp vào  $u_v$  với một điện áp chuẩn có độ lớn định trước  $U_{ch}$ . Khi  $u_v = U_{ch}$  thì điện áp  $u_r$  ở đầu ra mạch so sánh sẽ chuyển từ mức cao H xuống mức thấp L hay ngược lại. Vậy tín hiệu ở đầu ra mạch so sánh tương tự là tín hiệu logic, còn tín hiệu ở đầu vào là tín hiệu tương tự (analog).
    - Hiện nay, phần tử cơ bản dùng làm mạch so sánh tương tự là khuếch thuật toán, làm việc ở chế độ khoá. Vì vậy, các thông số đặc trưng cho mạch so sánh cũng chính là các thông số đặc trưng của khoá khuếch thuật toán, đã trình bày ở mục 1-5-2, gồm :
      - Độ nhạy mạch so sánh, chính là độ nhạy  $\Delta u$  của khoá khuếch thuật toán (xem hình 1-11b).
      - Thời gian lật trạng thái của mạch so sánh. Nó chính là thời gian đóng/mở  $t_{dm}$  của khoá khuếch thuật toán (xem hình 1-11c).
      - Hai mức logic L, H ở đầu ra mạch so sánh thường cũng chính là hai điện áp bao hoà  $\pm U_{bh}$  ở đầu ra khuếch thuật toán. Nếu dùng nguồn một chiều không

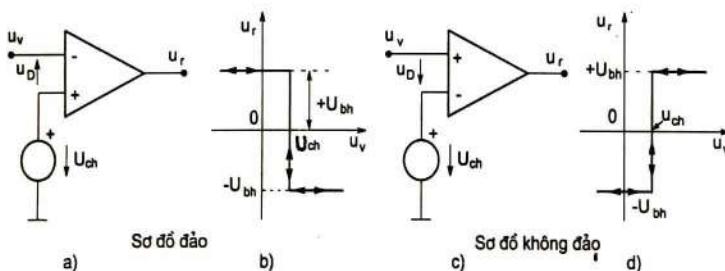
đổi xứng  $+U_{cc}$  cung cấp cho khuếch thuât toán thì hai mức logic ở đầu ra mạch so sánh sẽ tương ứng với mức điện áp 0V và mức điện áp bão hoà  $+U_{bh} = +U_{cc} - (3 \div 4V)$ . Cũng có mạch so sánh cho hai mức logic L, H ở đầu ra có thể lựa chọn theo yêu cầu sử dụng, ví dụ mạch so sánh dùng IC LM311 sẽ khảo sát ở dưới.

- Theo cấu trúc, mạch so sánh tương tự chia làm hai loại :

- Mạch so sánh hở (còn gọi là mạch so sánh không trễ). Sơ đồ có cấu trúc hở, không có sự phản hồi điện áp ở đầu ra về cửa vào.
- Mạch so sánh vòng kín (còn gọi là mạch so sánh có trễ hoặc trigger Smith). Sơ đồ có cấu trúc vòng kín, có sự phản hồi dương của điện áp ở đầu ra về cửa vào.

### 2-1-1. Mạch so sánh hở

Hình 2-1-a, c là hai sơ đồ cơ bản của mạch so sánh hở : Kiểu đảo và không đảo.  $U_{ch}$  là điện áp chuẩn (còn gọi là ngưỡng) để điện áp vào  $u_v$  so sánh với nó.



Hình 2-1. Sơ đồ và đặc tính truyền đạt của các mạch so sánh hở.

- Xét sơ đồ đảo ở hình 2-1a. Khi  $u_v < U_{ch}$  thì  $u_r = U_{ch} - u_v > 0$  và  $u_r = A_D u_D = +U_{bh}$ . Tăng dần  $u_v$  cho tới khi  $u_v = U_{ch} + \frac{\Delta u}{2}$  ( $\Delta u$  là độ nhạy của mạch so sánh), thì điện áp ra  $u_r$  chuyển hoàn toàn sang mức  $-U_{bh}$ :

$$u_r = A_D u_D = A_D(U_{ch} - u_v) = -A_D \frac{\Delta u}{2} = -U_{bh}.$$

Hệ số khuếch đại vi sai  $A_D$  của khuếch thuât toán rất lớn nên độ nhạy  $\Delta u$  chỉ khoảng vài chục  $\mu V$ . Gần đúng coi  $\Delta u \approx 0$ , mạch sẽ lật trạng thái khi  $u_D = 0$ , nghĩa là  $u_v = U_{ch}$ . Ta có đặc tính truyền đạt  $u_r(u_v)$  của mạch đảo như ở hình 2-1b. Nếu tiếp tục tăng  $u_v$  vượt quá ngưỡng  $U_{ch}$  thì  $u_r$  cũng chỉ duy trì ở

mức  $-U_{bh}$ . Bây giờ ta lại giảm  $u_v$ . Cung lí luận tương tự,  $u_r$  sẽ duy trì ở mức  $-U_{bh}$  tới khi  $u_v = U_{ch} - \frac{\Delta u}{2}$  (gần đúng coi  $u_v = U_{ch}$ ) thì mạch sẽ hoàn toàn lật sang mức  $+U_{bh}$ . Nếu tiếp tục giảm  $u_v$ , điện áp ra  $u_r$  vẫn duy trì ở  $+U_{bh}$ .

Xét sơ đồ không đảo hình 2-1c, ta thấy :

$$u_D = u_v - U_{ch}$$

Cung lí luận như trên và coi  $\Delta u \approx 0$ , ta có đặc tính truyền đạt  $u_r(u_v)$  của mạch so sánh không đảo như ở hình 2-1d.

- Mạch so sánh hở có hai nhược điểm chính :

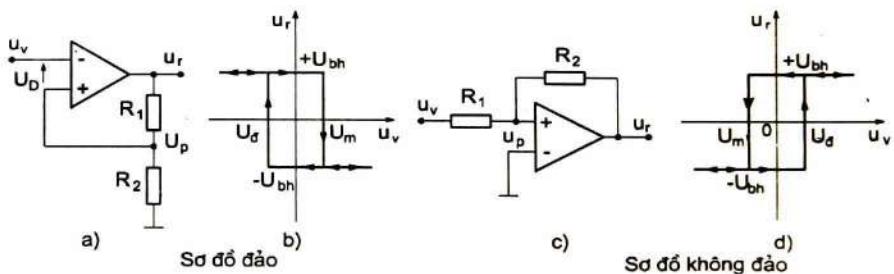
- Độ nhạy  $\Delta u$  và thời gian lật trạng thái  $t_{dm}$  của mạch không đủ nhỏ khi có yêu cầu cao.

- Nguồng đóng  $U_d$  và nguồng mở  $U_m$  của mạch so sánh là như nhau và bằng  $U_{ch}$ , ( $U_d = U_m = U_{ch}$ ). Do vậy mạch làm việc không ổn định khi có tác động của nhiễu. Ta hiểu **nguồng đóng  $U_d$**  là nguồng điện áp để mạch so sánh chuyển từ trạng thái mở, ứng với  $u_r = -U_{bh}$ , sang trạng thái đóng với  $u_r = +U_{bh}$ . **Nguồng mở  $U_m$**  là nguồng điện áp để mạch chuyển từ trạng thái đóng sang trạng thái mở.

Để khắc phục hai nhược điểm trên, người ta dùng mạch so sánh có trễ, thường gọi là trigor Smith.

### 2-1-2. Mạch so sánh có trễ (trigor Smith)

Mạch có cấu trúc vòng kín với đường phản hồi dương nên thúc đẩy nhanh quá trình chuyển trạng thái ; đặc tính truyền đạt có nguồng mở và nguồng đóng phân biệt ( $U_d \neq U_m$ ).



Hình 2-2. Sơ đồ và đặc tính truyền đạt của các trigor Smith.

Hình 2-2a, c là hai sơ đồ cơ bản của trigor Smith dùng khuếch thuât toán : Sơ đồ đảo và sơ đồ không đảo.

- Xét sơ đồ *trigơ Smith đảo* ở hình 2-2a. Ta thấy mạch có *dưỡng phản hồi dương*, với điện áp phản hồi :

$$U_P \approx u_r \frac{R_2}{R_1 + R_2},$$

nên điện áp ra  $u_r$  chỉ có thể ở mức  $-U_{bh}$  hay  $+U_{bh}$ . Mặt khác, nếu coi độ nhạy  $\Delta u \approx 0$ , thì khi  $u_v = U_P$  mạch sẽ lật trạng thái, chuyển từ  $+U_{bh}$  sang  $-U_{bh}$  hoặc ngược lại. Nếu mạch đang ở trạng thái đóng với  $u_r = +U_{bh}$  thì *ngưỡng mở* của mạch là :

$$U_m = U_P \Big|_{u_r=+U_{bh}} = +U_{bh} \frac{R_2}{R_1 + R_2} \quad (2-1)$$

Khi mạch đang ở trạng thái mở với  $u_r = -U_{bh}$  thì *ngưỡng đóng* của nó là :

$$U_d = U_P \Big|_{u_r=-U_{bh}} = -U_{bh} \frac{R_2}{R_1 + R_2} \quad (2-2)$$

Như vậy ngưỡng đóng và ngưỡng mở của *trigơ Smith đảo* tính theo (2-2) và (2-1) là phân biệt nhau (bằng nhau về độ lớn nhưng khác dấu). Đặc tính truyền đạt của *trigơ* cho ở hình 2-2b. Ta thấy, khi  $u_v < U_m$  *trigơ* ở trạng thái đóng với  $u_r = +U_{bh}$ ; tới khi  $u_v \geq U_m$ , *trigơ* chuyển sang trạng thái mở với  $u_r = -U_{bh}$ . Lúc này, để *trigơ* quay về trạng thái đóng thì yêu cầu  $u_v$  phải bằng hoặc nhỏ hơn ngưỡng đóng  $U_d$ .

- Xét *trigơ Smith không đảo* ở hình 2-2c. Mạch có *phản hồi dương* với điện áp phản hồi

$$U_{ph} = u_r \frac{R_1}{R_1 + R_2}$$

và nó sẽ lật trạng thái khi  $u_p = 0$ . Đặc tính truyền đạt của *trigơ* cho ở hình 2-2d với ngưỡng đóng :

$$U_d = +U_{bh} \frac{R_1}{R_2} \quad (2-3)$$

và ngưỡng mở

$$U_m = -U_{bh} \frac{R_1}{R_2} \quad (2-4)$$

Hình 2-3a, b tương ứng là kí hiệu của các *trigơ Smith không đảo* và *đảo* trong các sơ đồ điện tử.



Hình 2-3. Kí hiệu của các trigamma Smith

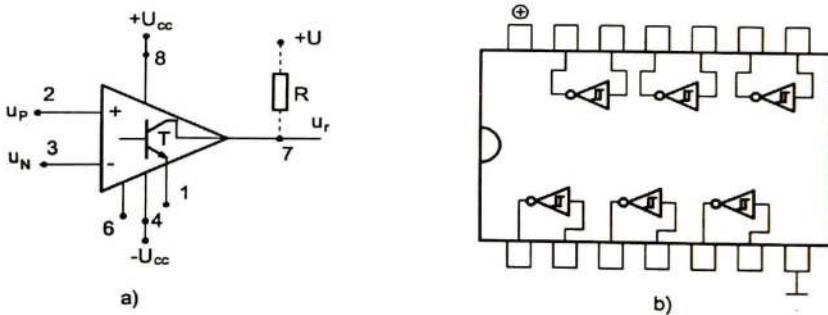
### 2-1-3. Vài vi mạch so sánh

a) **Vi mạch LM311** là "chip" khuếch thuât toán tốc độ cao, chuyên dùng làm khoá. Vỏ kiểu DIPS với 8 chân, chân 5 không sử dụng (hình 2-4a).

- Mạch ra của LM311 là một transistor BJT, cực góp hở (xem mục 1-10-3b). Cực phát transistor nối với chân số 1, gọi là chân "mát". Khi sử dụng, chân này phải nối "mát" hoặc nối với một điện áp tuỳ chọn. Đầu ra 7 chính là cực góp để hở của transistor T. Khi sử dụng phải nối đầu ra 7 với điện áp  $+U$  tuỳ chọn, thông qua "diện trở treo cao" R khoảng  $1 \div 10k\Omega$ . Việc khoá hay dẫn bão hoà của T tuỳ thuộc quan hệ giữa  $u_N$  và  $u_P$  ở cửa vào :

Nếu  $u_P < u_N$ , transistor T dẫn bão hoà, điện áp ra  $u_r$  ở mức thấp L, bằng điện áp đặt vào chân 1.

Nếu  $u_P > u_N$ , transistor T bị khoá, điện áp ra  $u_r$  ở mức cao H, bằng  $+U$ .



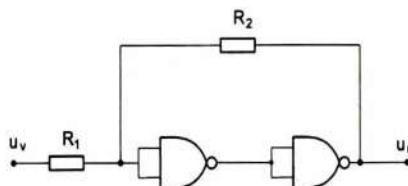
Hình 2-4. Vi mạch LM311 và 4584

- Chân 6 là chân điều khiển cho phép LM311 làm việc. Nếu nối chân này với điện áp dương hoặc để hở thì mạch làm việc như đã mô tả ở trên. Nếu nối

chân 6 với "mát" thông qua một điện trở thì transistor T luôn khoá và điện áp ra  $u_r$  luôn ở mức  $+U$ , độc lập với các điện áp ở cửa vào.

- Nguồn cung cấp  $\pm U_{cc} = \pm 15V$ . Cũng có thể dùng nguồn  $+5V$ . Lúc đó chân 4 női "mát".

b) Vi mạch 4584 thuộc họ CMOS (xem 1-10-4) gồm 6 trigơ Smith đảo. Điện áp nguồn cung cấp là  $3 \div 18V$ .



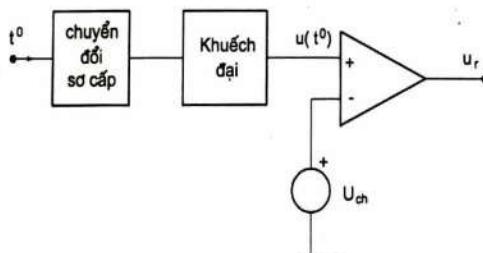
Hình 2-5. Thành lập trigơ Smith từ NAND

- c) Có thể thành lập trigơ Smith không đảo từ hai phần tử NAND họ CMOS (hình 2-5). Tỉ số  $R_2/R_1 = 10$ .

## 2-2. ỨNG DỤNG CỦA MẠCH SO SÁNH TƯƠNG TỰ

Dưới đây là vài ứng dụng chính của mạch so sánh tương tự.

1. Dùng phát hiện và báo hiệu khi một đại lượng vật lí cần theo dõi đã đạt tới giá trị ngưỡng.



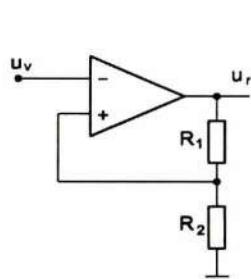
Hình 2-6. Mạch phát hiện ngưỡng của nhiệt độ đo

Hình 2-6 cho một ví dụ về mạch báo hiệu khi nhiệt độ  $t^0$  đạt giá trị ngưỡng. Điện áp đầu ra mạch khuếch đại  $u(t^0)$  được so sánh với điện áp chuẩn  $U_{ch}$ . Trị

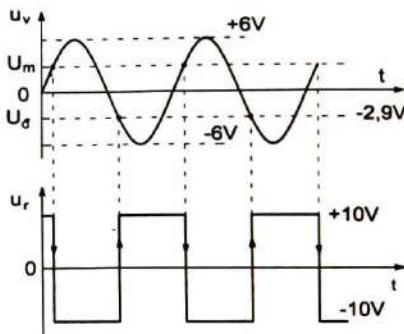
số  $U_{ch}$  chọn tương ứng với điện áp đầu ra mạch khuếch đại ở nhiệt độ ngưỡng, ví dụ  $500^\circ C$  :  $U_{ch} = u(500^\circ)$ . Khi nhiệt độ đạt ngưỡng, điện áp ra  $u_r$  của mạch so sánh nhảy từ  $-U_{bh}$  lên  $+U_{bh}$ .

2. Dùng mạch so sánh để biến một điện áp biến thiên chu kì theo thời gian thành dãy xung vuông góc cùng tần số. Ví dụ để đo tần số các dao động chu kì bằng phương pháp số (xem mục 10-2).

Ví dụ. Cho mạch hình 2-7a. Biết  $R_1 = 5k\Omega$ ,  $R_2 = 2k\Omega$ ; điện áp ra bao giờ  $\pm U_{bh} = \pm 10V$ . Điện áp vào  $u_v = 6 \sin \omega t$  (V). Hãy vẽ đồ thị thời gian của điện áp ra  $u_r(t)$ .



a)



b)

**Hình 2-7. Biến dao động hình sin thành dãy xung vuông góc**

Ta thấy hình 2-7a là trigor Smith đảo, có đặc tính truyền đạt như hình 2-2b, với :

$$\text{ngưỡng mở } U_m = +U_{bh} \frac{R_2}{R_1 + R_2} = 10 \frac{2}{5+2} \approx +2.9V,$$

$$\text{ngưỡng đóng } U_d = -U_{bh} \frac{R_2}{R_1 + R_2} = -10 \frac{2}{5+2} \approx -2.9V.$$

Với  $u_v = 6 \sin \omega t$  (V), ta vẽ được đồ thị thời gian của  $u_r(t)$  như ở hình 2-7b. Nhận xét thấy điện áp ra là dãy xung vuông góc cùng tần số với dao động hình sin ở đầu vào.

### 2-3. MẠCH TẠO XUNG ĐƠN DÙNG TRANSISTOR

Mạch tạo xung đơn, hay còn gọi là mạch đa hài một trạng thái ổn định. Nó là mạch mà khi hoạt động, đầu ra luôn nằm ở một trạng thái ổn định, ví dụ mức

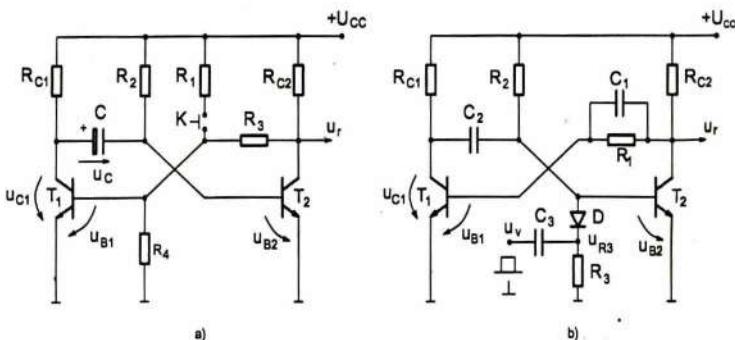
thấp L. Lúc có một xung kích thích ở đầu vào, điện áp đầu ra chuyển sang trạng thái không ổn định (ví dụ mức cao H) trong một thời gian, rồi lại tự động quay về trạng thái ổn định của nó. Như vậy, ứng với một xung kích thích ở đầu vào, mạch cho ở phía đầu ra một xung đơn vuông góc với độ rộng xung xác định.

1. Hình 2-8a là *mạch tạo xung đơn, kích thích bằng tay*. Điện áp ra  $u_r$  chính là điện áp cực góp của transistor  $T_2$ .

• Bình thường, khi khoá K mở, điện trở  $R_2$  tạo một điện áp phân cực dương trên tiếp giáp gốc - phát của  $T_2$  để nó dẫn bão hoà. Phải chọn  $R_2$  sao cho thỏa mãn điều kiện để  $T_2$  bão hoà sâu, nghĩa là :

$$R_2 < B.R_{c2} \quad (2-5)$$

trong đó  $B \approx 100$  là hệ số khuếch đại dòng tĩnh của  $T_2$ .



Hình 2-8. Các mạch tạo xung đơn dùng transistor

Điện áp cực góp của  $T_2$  khi dẫn bão hoà chỉ khoảng  $0,1 \div 0,2V$  và điện áp ra  $u_r$  nằm ổn định ở mức thấp  $L \approx 0,2V$ . Chính điện áp này, thông qua phân áp  $R_3 - R_4$ , đưa về cực gốc transistor  $T_1$  làm  $T_1$  khoá vì  $u_{B1} < U_K \approx 0,6V$ , ( $U_K$  là điện áp khoá của các transistor Si). Tụ C lúc này được nạp tới điện áp :

$$u_C = u_{C1} - U_{B2bh} \approx U_{CC} - 0,7V \quad (2-6)$$

trong đó  $u_{C1} \approx +U_{CC}$  là điện áp cực góp của  $T_1$  khi bị khoá,  $U_{B2bh} \approx 0,7V$  là điện áp cực gốc  $u_{B2}$  của  $T_2$  khi dẫn bão hoà. Tóm lại, chế độ ổn định của mạch hình 2-8a là  $T_1$  khoá,  $T_2$  dẫn bão hoà, điện áp ra  $u_r$  nằm ở mức thấp  $L \approx 0,2V$ , tụ C được nạp đầy tới xấp xỉ điện áp cung cấp.

- Dùng tay ấn nút K, ta sẽ tạo một xung điện áp dương đặt vào cực gốc T<sub>1</sub> và

$$u_{B1} \approx U_{CC} \frac{R_4}{R_1 + R_4} > U_K \approx 0,6V$$

Do đó T<sub>1</sub> trở nên dẫn bão hòa và u<sub>C1</sub> ≈ 0,2V. Transistor T<sub>2</sub> chuyển sang chế độ khoá vì :

$$u_{B2} = u_{C1} - u_C = 0,2V - U_{CC} + 0,7V \approx -U_{CC}$$

trong đó u<sub>C</sub> là điện áp trên tụ C trước khi các transistor chuyển trạng thái, tính theo (2-6). Điện áp ra u<sub>r</sub> nhảy lên mức cao H (u<sub>r</sub> = H ≈ +U<sub>CC</sub>)

Mạch nằm ở trạng thái mới này (T<sub>1</sub> dẫn, T<sub>2</sub> khoá) không được lâu vì transistor T<sub>1</sub> dẫn làm tụ C được nạp theo chiều ngược lại : +U<sub>CC</sub> → R<sub>2</sub> → C → T<sub>1</sub> → "mát". Do đó điện áp cực gốc u<sub>B2</sub> của T<sub>2</sub> sẽ tăng dần từ -U<sub>CC</sub> theo mức độ nạp của tụ C. Khi u<sub>B2</sub> chớm vượt qua điện áp khoá U<sub>K</sub> thì T<sub>2</sub> trở về trạng thái dẫn bão hòa, với u<sub>r</sub> = L ≈ 0,2V, và T<sub>1</sub> lại quay về trạng thái khoá. Vậy, ứng với một kích thích ở bên ngoài (ở đây là nhấn nút ấn K), mạch sẽ cho ở đầu ra một xung vuông góc có biên độ khoảng bằng điện áp nguồn cung cấp ; độ rộng xung t<sub>x</sub> tỉ lệ với hằng số thời gian R<sub>2</sub>C :

$$t_x = R_2 C \ln 2 \approx 0,7 R_2 C \quad (2-7)$$

- Mạch tạo xung kích thích bằng tay ở hình 2-8a chỉ thích hợp để tạo xung có độ rộng t<sub>x</sub> khoảng vài giây trở lên, do sự chậm trễ của việc nhấn nút K sau mỗi lần nhấn nút. Các điện trở R<sub>C1</sub>, R<sub>C2</sub> phải chọn nhỏ để giảm sườn lên của xung. Trị số điển hình của các điện trở trên sơ đồ là R<sub>C1</sub> = R<sub>C2</sub> = 1,8kΩ, R<sub>1</sub> = R<sub>3</sub> = R<sub>4</sub> = 10kΩ, R<sub>2</sub> = 68kΩ. Vậy, để có xung ra với độ rộng t<sub>x</sub> khoảng 5s, ta phải chọn C = 100μF.

Muốn tăng độ rộng xung t<sub>x</sub> lên rất lớn, cỡ 100s chẳng hạn, ta phải tìm cách tăng R<sub>2</sub>. Tuy nhiên việc chọn R<sub>2</sub> lại bị ràng buộc bởi điều kiện (2-5). Do đó, để có thể chọn R<sub>2</sub> lớn, ta phải thay thế transistor T<sub>2</sub> ở hình 2-8a bằng một cặp transistor nối theo kiểu Darlington. Transistor nối Darlington có hệ số khuếch đại dòng tĩnh B đạt cỡ 10<sup>4</sup>. Vì vậy có thể chọn R<sub>2</sub> lớn cỡ MΩ.

2. Để có được xung ra với độ rộng xung rất hẹp, cỡ ms trở lại, ta phải dùng **mạch tạo xung đơn kích thích bằng xung danh** (hình 2-8b). Về cơ bản, sơ đồ hình 2-8b giống hình 2-8a, nhưng thay vì mạch kích thích bằng tay, ta dùng mạch tạo xung danh kích thích (gồm C<sub>3</sub> - R<sub>3</sub> và diod D). Sự hoạt động của sơ đồ tương tự như đã diễn đạt đối với sơ đồ hình 2-8a.

Bình thường, khi không có tín hiệu kích thích  $u_v$ , mạch  $R_2$  - diod D -  $R_3$  tạo điện áp phân cực  $u_{B2}$  đủ dương để transistor  $T_2$  dẫn bão hòa và  $T_1$  khoá. Điện áp ra nằm ổn định ở mức thấp ( $u_r = L \approx 0,2V$ ). Khi đưa vào một xung kích thích vuông góc  $u_v$  có độ rộng xung lớn hơn  $3R_3C_3$ , thì ở thời điểm ứng với sườn xuống của xung vuông  $u_v$  sẽ xuất hiện một xung danh âm  $u_{R3}$  trên điện trở  $R_3$  (xem mục 1-3-3, hình 1-6b). Chính xung danh âm này tác động lên cực gốc  $T_2$  làm nó chuyển từ dẫn bão hòa sang khoá, còn  $T_1$  từ khoá sang dẫn bão hòa. Mạch chỉ nằm ở trạng thái không ổn định này, với  $u_r = H \approx +U_{cc}$ , trong một thời gian phụ thuộc vào tốc độ nạp ngược của tụ  $C_2$  qua  $R_2$ . Vậy, với mỗi xung vào kích thích  $u_v$ , mạch sẽ cho ở đầu ra một xung vuông góc với độ rộng :

$$t_x = R_2 C_2 \ln 2 \approx 0,7 R_2 C_2 \quad (2-8)$$

Trị số điển hình của các linh kiện trên sơ đồ hình 2-8b :  $R_{C1} = R_{C2} = 1,8k\Omega$ ,  $R_2 = 68k\Omega$ ,  $R_1 = R_3 = 10k\Omega$ ,  $C_3 = 2,2nF$ , diod 1N4148, transistor 2N3904. Tụ  $C_2$  chọn theo (2-8).

**3. Vấn đề cuối cùng cần lưu ý *diện áp cung cấp  $U_{cc}$*  :** Trong các mạch hình 2-8, điện áp cung cấp  $U_{cc}$  không được vượt quá  $+9V$ , vì khi transistor  $T_2$  bắt đầu chuyển từ dẫn bão hòa sang khoá, tiếp giáp gốc - phát của nó chịu một điện áp phân cực ngược  $u_{B2} \approx -U_{cc}$ . Nếu  $+U_{cc} > 9V$  thì điện áp phân cực ngược lớn có thể gây chọc thủng lớp tiếp giáp và phá hỏng transistor.

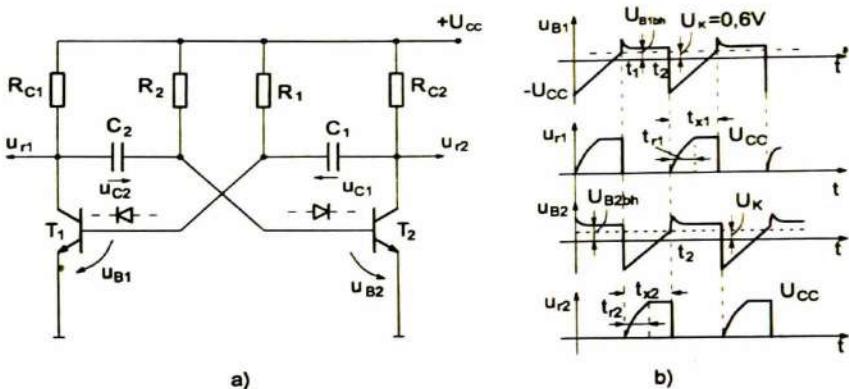
Muốn dùng nguồn cung cấp lớn hơn  $9V$ , ta đặt vào mạch cực gốc  $T_2$  một diod bảo vệ (!N4148). Catod của diod nối với cực gốc của  $T_2$ . Lúc đó, giới hạn điện áp nguồn cung cấp chỉ còn bị hạn chế bởi điện áp đánh thủng giữa cực góp và phát (khoảng vài ba chục volt).

#### 2-4. MẠCH TẠO DÃY XUNG VUÔNG GÓC DÙNG TRANSISTOR

- Mạch tạo dãy xung vuông góc, hay còn gọi là *mạch đa hài phiến định* (không có trạng thái ổn định), là mạch mà điện áp ở đầu ra liên tục chuyển qua lại giữa hai mức cao và thấp. Nghĩa là mạch cho ở cửa ra một dãy xung vuông góc với các thông số đặc trưng xác định trước.

- Có thể dùng trigơ Smith hoặc mạch so sánh hở để biến một dao động tuần hoàn hình dạng bất kì thành dãy xung vuông góc cùng tần số (xem mục 2-2-2). Những mạch này dùng trong thiết bị số đo tần số tín hiệu xoay chiều. Ở đây chỉ

trình bày một sơ đồ cơ bản của mạch đa hài phiến định loại chạy tự do, không cần các kích thích ở bên ngoài (hình 2-9).



Hình 2-9. Mạch đa hài phiến định dùng transistor

Hình 2-9a là sơ đồ cơ bản mạch đa hài phiến định dùng transistor. Khi mạch làm việc ổn định thì hai tụ  $C_1$ ,  $C_2$  luân phiên nhau nạp và phỏng điện. Do đó hai transistor cũng luân phiên nhau ở hai trạng thái dẫn bão hòa và khoá. Kết quả là hai điện áp ra  $u_{r1}$ ,  $u_{r2}$  trên hai cực gốp transistor có dạng những dây xung vuông góc lệch pha nhau  $180^\circ$  (hình 2-9b). Các thông số của hai dây xung tính như sau :

$$\text{Biên độ xung : } U_M \approx +U_{cc}$$

$$\text{Độ rộng xung : } t_{x1} \approx 0,7 R_1 C_1 ; t_{x2} \approx 0,7 R_2 C_2 \quad (2-9)$$

$$\text{Sườn lên : } t_{r1} \approx 2,3 R_{C1} C_2 ; t_{r2} \approx 2,3 R_{C2} C_1 \quad (2-10)$$

$$\text{Chu kỳ : } T = t_{x1} + t_{x2}$$

$$\text{Tần số : } f = 1/T$$

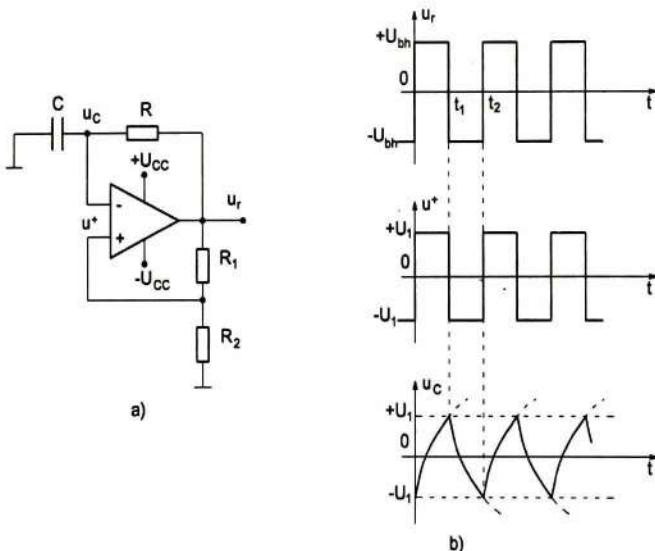
Nếu chọn  $R_1 = R_2 = R$ ,  $C_1 = C_2 = C$ ,  $R_{C1} = R_{C2} = R_C$  thì ta có hai dây xung vuông góc đối xứng hoàn toàn giống nhau, nhưng lệch pha  $180^\circ$ . (hình 2-9b).

Điện áp cung cấp  $U_{cc}$  có thể từ  $1,5V$  ÷  $9V$ . Muốn tăng nguồn cung cấp lên tới khoảng vài chục volt, ta phải đặt thêm hai diode 1N 4148 vào mạch cực gốc của hai transistor. (Ở hình 2-9a hai diode vẽ đường nét đứt khúc, ý nói có thể đặt thêm vào mạch cực gốc).

## 2-5. MẠCH TẠO DÃY XUNG VUÔNG GÓC DÙNG KHUẾCH THUẬT TOÁN

### 2-5-1. Sơ đồ cơ bản

Hình 2-10a là sơ đồ cơ bản của mạch đa hài phiếm định dùng khuếch thuật toán. Nó gồm trigo Smith đảo (xem mục 2-1-2, hình 2-2a) với điện áp vào chính là điện áp trên tụ  $u_c$ , và mạch R-C để định chu kì T của dãy xung vuông góc ở đầu ra. Mạch ra của khuếch thuật toán và R-C họp thành một mạch phỏng / nạp cho tụ C. Khi  $u_c = u^+$  thì điện áp ra  $u_r$  sẽ lật trạng thái.



Hình 2-10. Sơ đồ cơ bản mạch đa hài phiếm định dùng khuếch thuật toán và mô tả hoạt động của mạch.

Giả sử ở thời điểm  $t = 0$ , mạch đang từ trạng thái mở, ( $u_r = -U_{bh}$ ), sang trạng thái đóng ( $u_r = +U_{bh}$ ) – xem hình 2-10b. Lúc đó, điện áp  $u^+$  ở cực "+" khuếch thuật toán sẽ từ ngưỡng đóng :

$$U_d = -U_{bh} \frac{R_2}{R_1 + R_2} = -U_1$$

chuyển sang ngưỡng mở :

$$U_m = +U_{bh} \frac{R_2}{R_1 + R_2} = +U_1$$

Đồng thời, tụ C được nạp theo chiều  $u_r = +U_{bh} \rightarrow R \rightarrow C \rightarrow$  "mát". Điện áp  $u_C$  tăng từ ngưỡng đóng  $U_d = -U_1$  theo quan hệ hàm mũ :

$$u_c = U_{bh} - (U_1 + U_{bh})e^{-t/RC} \quad (2-11)$$

Tại thời điểm  $t_1$ , khi  $u_c$  đạt và chớm vượt ngưỡng mở  $U_m = +U_1$  thì điện áp ra  $u_r$  lật sang  $-U_{bh}$  và  $u^+$  lại chuyển sang ngưỡng đóng  $-U_1$ . Tụ C bắt đầu phóng điện theo chiều : Cực bản phia phải tụ  $\rightarrow R \rightarrow$  mạch ra khuếch đại thuật toán với  $u_r = -U_{bh} \rightarrow$  "mát". Khi phóng hết thì tụ được nạp theo chiều cùng chiều phóng điện và  $u_c < 0$ . Tới thời điểm  $t_2$ ,  $u_c$  đạt và chớm âm hơn ngưỡng đóng  $-U_1$  nên  $u_r$  lại chuyển lên  $+U_{bh}$ . Quá trình cứ tiếp diễn tương tự và điện áp ra là một dãy xung vuông góc đối xứng, vì hằng số thời gian phóng / nạp của tụ là như nhau và đều bằng  $RC$ . Chu kỳ  $T$  của dãy xung :

$$T = 2t_1 = 2RC \ln\left(\frac{R_1 + 2R_2}{R_1}\right) \quad (2-12)$$

Nếu chọn  $R_1 = R_2$  thì  $T \approx 2,2R.C$ .

### 2-5-2. Một số sơ đồ cài tiến

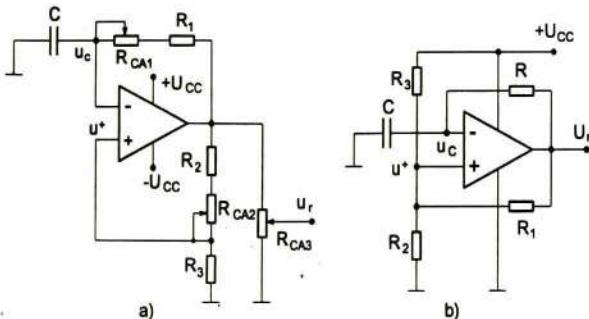
- Hình 2-11a là sơ đồ mạch đa hài phiếm định có thể điều chỉnh được tần số của dãy xung ra. Từ công thức (2-12) ta thấy có hai cách điều chỉnh chu kỳ  $T$  của dãy xung vuông góc ở đầu ra sơ đồ hình 2-10a :

- Điều chỉnh hằng số thời gian phóng / nạp  $RC$  của tụ bằng cách thay đổi  $R$  (hoặc  $C$ ).

- Điều chỉnh tỉ số hai điện trở  $R_1/R_2$  để thay đổi ngưỡng đóng  $U_d$  và ngưỡng mở  $U_m$  của trigor Smith.

Hình 2-11a sử dụng cả hai biện pháp trên : Chiết áp  $R_{CA1}$  cho phép thay đổi hằng số thời gian phóng / nạp của tụ. Chiết áp  $R_{CA2}$  cho phép làm thay đổi ngưỡng đóng / mở của trigor Smith. Nếu chọn  $R_{CA1} = 0 \div 100k\Omega$ ,  $R_{CA2} = 0 \div 10k\Omega$ ,  $R_1 = 47k\Omega$ ,  $R_2 = 10k\Omega$ ,  $R_3 = 1k\Omega$ ,  $C = 10nF$ , thì theo (2-12), ta có thể điều chỉnh được tần số của dãy xung vuông góc đối xứng ở đầu ra trong dài khoảng từ 300Hz đến 5kHz. Ngoài ra, chiết áp  $R_{CA3} = 0 \div 10k\Omega$  còn cho phép thay đổi biên độ của dãy xung ra.

- Bằng cách tách biệt riêng hai đường phóng, nạp của tụ, ta sẽ tạo ra mạch đa hài phiếm định với **dãy xung vuông góc không đổi xứng** ở đầu ra. Chiều rộng xung có thể rất hẹp. (xem bài tập 2-11).



Hình 2-11. Một số sơ đồ mạch đa hài phiếm định

- Các sơ đồ ở hình 2-10a, 2-11a đều có nguồn cung cấp đối xứng  $\pm U_{cc}$ . Người ta còn hay sử dụng **mạch đa hài phiếm định có nguồn cung cấp không đối xứng**  $+U_{cc}$  (hình 2-11b). Ở sơ đồ hình 2-11b, điện áp ra là một dãy xung vuông góc đối xứng với mức thấp  $L = 0V$ , mức cao  $H = U_{bh} \approx U_{cc} - (2 \div 3)V$ . Mạch có phân áp  $R_2 - R_3$  với  $R_2 = R_3 = 100k\Omega$ , để tạo điện áp một chiều  $U_{cc}/2$  ở cực "+". Nó ứng với điểm giữa ("máu") của nguồn cung cấp đối xứng.

Điện trở  $R_2$  còn cùng với  $R_1$  làm thành mạch phản hồi dương của trigger Smith không đảo. Nếu chọn  $R_1 = R_2 = R_3 = 100K\Omega$ , thì khi  $u_r = H = U_{bh} \approx U_{cc}$ , hai điện trở  $R_1$  và  $R_3$  coi như nối song song, ngưỡng mở của trigger là

$$U_m = u^+ \Big|_{u_r = H} \approx 2U_{cc}/3; \quad (2-13)$$

Khi  $u_r = L = 0V$ , hai điện trở  $R_1$  và  $R_2$  coi như nối song song, ngưỡng đóng của trigger sẽ là

$$U_d = u^+ \Big|_{u_r = 0} \approx U_{cc}/3. \quad (2-14)$$

Sự phóng / nạp của tụ C qua điện trở R làm cho điện áp ra  $u_r$  liên tục lật giữa hai mức L và H mỗi khi  $u_c = u^+$ . Nếu coi gần đúng điện áp ra bão hòa của mạch hình 2-11b bằng điện áp nguồn cung cấp ( $U_{bh} \approx U_{cc}$ ), thì ngưỡng mở của khuếch thuât toán tính theo (2-13) và chu kỳ T của dãy xung vuông góc đối xứng ở đầu ra là :

$$T = 2RC\ln 2 \approx 1,4RC \quad (2-15)$$

Bằng cách thay đổi C hoặc R hay điều chỉnh cả hai, ta có thể thay đổi tần số dãy xung ra. Điện dung C có thể nằm trong dài từ vài chục pF đến hàng nghìn nF, điện trở R có thể chọn trong khoảng từ  $10k\Omega$  đến vài  $M\Omega$ .

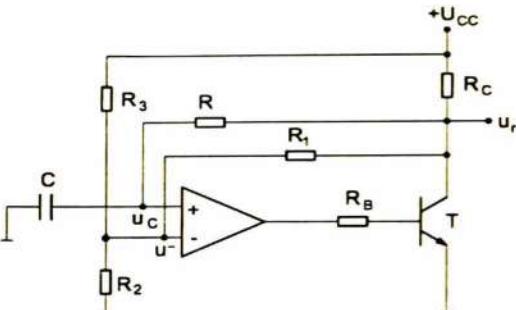
Sơ đồ hình 2-11b có nhược điểm sau :

– Điện áp ra ở mức cao H không chính xác bằng  $+U_{cc}$  và chu kỳ T của dãy xung ra tính theo (2-15) là không hoàn toàn chính xác.

– Dãy xung vuông góc ở đầu ra không thật đối xứng. Chu kỳ và tính đối xứng của dãy xung ra thay đổi khi ta thay đổi điện áp nguồn cung cấp.

– Thời gian lên và xuống của xung ra tuỳ thuộc tốc độ xoay SR của khuếch thuật toán (xem mục 1-5-2). Nếu dùng khuếch thuật toán có SR thấp thì thời gian lên và xuống của xung ra có thể tới hàng chục  $\mu s$ .

Để khắc phục các nhược điểm kể trên ta dùng sơ đồ hình 2-12 với khoá transistor đệm T ở đầu ra. Trên sơ đồ ta chọn  $R_1 = R_2 = R_3 = 100k\Omega$ . Vì transistor T đảo pha điện áp ở đầu ra khuếch thuật toán nên đường phản hồi dương  $R_1 - R_2$  lại đưa về cực “-” của khuếch thuật toán và trigon Smith thuộc loại không đảo với điện áp vào  $u_c$ . Coi điện áp góp - phát của transistor khi dẫn bão hòa bằng 0V, thì điện áp ra  $u_r$  là dãy xung vuông góc đối xứng có mức thấp  $L \approx 0V$ , mức cao  $H \approx +U_{cc}$ . Thời gian lên và xuống của xung chỉ khoảng  $1\mu s$  trở lại. Bạn đọc có thể tự phân tích hoạt động của mạch hình 2-12 trên cơ sở đã nắm được hoạt động của sơ đồ hình 2-11b.



**Hình 2-12. Mạch đa hài phiếm định có khoá transistor đệm**

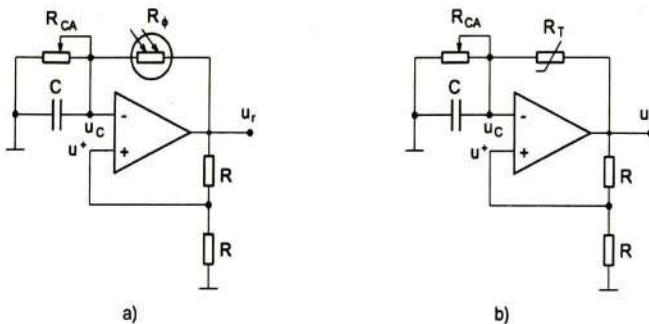
## 2-6. MỘT SỐ ỨNG DỤNG CỦA MẠCH ĐA HÀI PHIẾM ĐỊNH DÙNG KHUẾCH THUẬT TOÁN

Mạch đa hài phiếm định dùng khuếch thuật toán thường được sử dụng để tạo dãy xung vuông góc tần số dưới 100kHz cho những ứng dụng cụ thể. Ở đây sẽ đưa ra vài ứng dụng lí thú.

1. Hình 2-13a là một mạch đa hài phiếm định mà  $R_\phi - C$  là mạch định thời (mạch phóng/nạp của tụ C).  $R_\phi$  là một điện trở quang bán dẫn có giá trị phụ thuộc quang thông tới nó ;  $R_\phi$  sẽ giảm khi ánh sáng chiếu vào mạnh. Nguồn đóng / mở của trigon Smith là :

$$U_d = u^+ \Big|_{u_r = -U_{bb}} = -U_{bb} / 2$$

$$U_m = u^+ \Big|_{u_r = +U_{bb}} = +U_{bb} / 2.$$



**Hình 2-13. Vài ứng dụng của mạch đa hài phiếm định**

Điểm đặc biệt nhất của mạch là có điện trở R<sub>CA</sub>. Nó cùng với R<sub>phi</sub> tạo thành mạch chia điện áp ra u<sub>r</sub>, và điện áp trên tụ khi ổn định :

$$u_c = u_r \frac{R_{CA}}{R_{CA} + R_\phi}.$$

Ta thấy, nếu R<sub>CA</sub> < R<sub>phi</sub> thì |u<sub>c</sub>| < |u<sub>r</sub>/2|, nghĩa là u<sub>c</sub> không thể đạt tới ngưỡng đóng / mở của trig. Điện áp ra không thể lật trạng thái và không có dãy xung vuông góc ở đầu ra. Vậy, điều kiện để mạch đa hài phiếm định (hình 2-13a) làm việc là :

$$R_{CA} > R_\phi. \quad (2-16)$$

Ta sử dụng điều kiện (2-16) để dùng mạch (hình 2-13a) làm mạch báo động khi cường độ phát sáng của đối tượng cần theo dõi vượt quá ngưỡng của nó. Hoặc dùng làm mạch báo trời sáng. Khi trời còn tối, R<sub>phi</sub> > R<sub>CA</sub> nên mạch không làm việc. Khi trời sáng, R<sub>phi</sub> < R<sub>CA</sub> và mạch phát ra dãy xung vuông góc điều khiển còi kêu chẳng hạn.

2. Nếu ở hình 2-13a, đổi chỗ hai vị trí của R<sub>CA</sub> và R<sub>phi</sub>, ta sẽ có mạch báo trời tối. Thật vậy, khi trời còn sáng, R<sub>phi</sub> < R<sub>CA</sub> nên mạch không làm việc. Khi trời tối, R<sub>phi</sub> > R<sub>CA</sub> và mạch tạo dãy xung vuông góc ở đầu ra. Dãy xung này ví dụ dùng để điều khiển sự chiếu sáng nhấp nháy liên tục của một mảng đèn quảng cáo. Ở đây, mạch có thêm vai trò như một role thời gian, tự động điều khiển sự nhấp nháy của mảng đèn quảng cáo khi trời tối.

3. Với nguyên lý hoạt động tương tự, mạch hình 2-13b dùng phát hiện nhiệt độ của đối tượng cần theo dõi khi vượt quá ngưỡng cho phép. Điện trở nhiệt bán dẫn R<sub>T</sub> do nhiệt độ của đối tượng. Khi nhiệt độ tăng thì R<sub>T</sub> giảm. Bạn đọc tự giải thích hoạt động của mạch.

## 2-7. MẠCH TẠO DÃY XUNG RĂNG CƯA VÀ TAM GIÁC

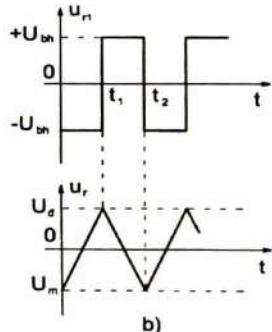
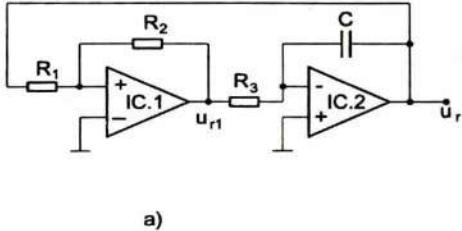
Có nhiều sơ đồ tạo các xung răng cưa và tam giác : Sơ đồ dùng transistor, sơ đồ dùng khuếch thuât toán, sơ đồ dùng IC định thời 555. Ở đây giới hạn trình bày hai sơ đồ cơ bản tạo dãy xung tam giác và răng cưa dùng khuếch thuât toán.

**2-7-1. Sơ đồ tạo dãy xung tam giác.** Hình 2-14a là sơ đồ cơ bản của mạch tạo dãy xung tam giác dùng khuếch thuât toán. Mạch gồm IC.1 là một trigor Smith kiểu không đảo (mục 2-1-2) và IC.2 là một mạch tích phân.

Điện áp ở đầu ra trigor  $u_{rl}$  chỉ có thể nằm ở một trong hai mức bão hoà  $\pm U_{bh}$ . Nguõng đóng / mở của trigor tương ứng là :

$$U_d = + \frac{R_1}{R_2} U_{bh} \quad (2-17)$$

$$U_m = - \frac{R_1}{R_2} U_{bh} \quad (2-18)$$



Hình 2-14. Mạch tạo dãy xung vuông góc và tam giác

Mạch tích phân IC.2 thực hiện lấy tích phân các xung vuông góc đối xứng đến từ trigor và cho ở đầu ra dãy xung tam giác  $u_r$ . Dãy xung này lại đưa trở về đầu vào trigor IC.1 để chuyển thành dãy xung vuông góc cùng tần số (xem mục 2-2, hình 2-7). Vậy sơ đồ là một mạch tự kích cho hai dãy xung vuông góc và tam giác cùng tần số (hình 2-14b). Ở nửa chu kỳ ( $0 \div t_1$ ), điện áp ra  $u_r(t)$  tăng tuyến tính theo quan hệ :

$$u_r(t) = \frac{U_{bh}}{R_3 C} t + U_m \quad (2-19)$$

Ở nửa chu kì tiếp theo ( $t_1 \div t_2$ ),  $u_r(t)$  giảm tuyến tính theo quan hệ :

$$u_r(t) = -\frac{U_{bh}}{R_3 C}t + U_d \quad (2-20)$$

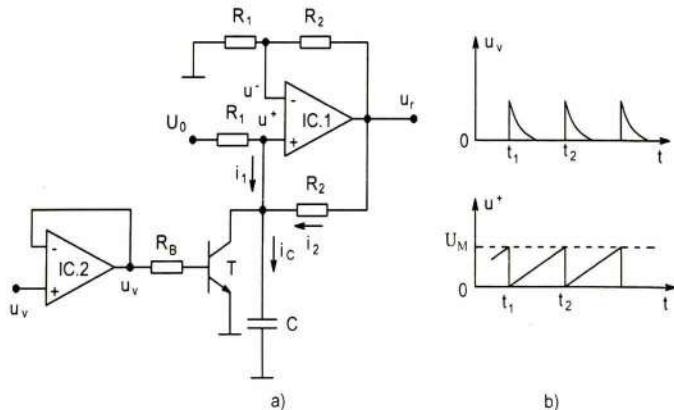
Kết quả là  $u_r(t)$  có dạng dãy xung hình tam giác với chu kì :

$$T = 4 \frac{R_1}{R_2} R_3 C \quad (2-21)$$

Ta thấy, để điều chỉnh tần số dãy xung mà không làm ảnh hưởng tới biên độ xung tam giác ta phải điều chỉnh hằng số tích phân  $R_3 C$ . Mạch hình 2-14a thường tạo ra các dãy xung tam giác và vuông góc trong vùng tần số từ vài trăm Hz đến vài chục kHz.

### 2-7-2. Mạch tạo dãy xung răng cưa

Hình 2-15a là mạch tạo dãy xung răng cưa, kích khởi (kích thích) bằng dãy xung danh  $u_v$  ở đầu vào. Sơ đồ gồm mạch biến đổi áp dòng IC.1 và khoá transistor T để điều khiển tụ C phóng hay nạp. Dãy xung danh  $u_v$  điều khiển transistor T dẫn bão hòa hoặc khoá. Mạch IC.2 là mạch lặp có hệ số khuếch đại bằng 1 và điện trở vào là  $\infty$ . Vì vậy mạch IC.2 chỉ có vai trò như một phần tử đệm, bảo đảm điện trở tải của nguồn phát xung danh bằng  $\infty$ , nghĩa là công suất yêu cầu từ nguồn phát xung danh bằng 0.



Hình 2-15. Mạch tạo dãy xung răng cưa.

Xét sự làm việc của mạch hình 2-15a. Giả sử tại thời điểm  $t_1$  xuất hiện một xung đánh  $u_v$  ở đầu vào, transistor T lập tức dẫn bão hoà và tụ C nhanh chóng phóng điện qua T. Gần đúng coi hằng số thời gian phóng của tụ bằng 0 nên điện áp trên tụ giảm đột ngột về 0. Cũng gần đúng coi xung đánh chỉ điều khiển T dẫn tức thời, sau đó nó lại bị khoá ngay. Vì vậy tại  $t_1$  tụ C bắt đầu được nạp điện và điện áp trên tụ  $u_c = u^+$  bắt đầu tăng (hình 2-15b). IC.1 là mạch biến đổi áp - dòng, biến điện áp  $U_o$  thành dòng  $i_c$  nạp cho tụ. Nếu điện áp  $U_o$  là không đổi thì tụ C được nạp với dòng không đổi :

$$i_c = I_c = U_o / R_1$$

Điện áp trên tụ sẽ tăng tuyến tính theo thời gian :

$$u_c(t) = u^+(t) = \frac{U_o}{R_1 C} t \quad (2-22)$$

Đến thời điểm  $t_2$ , một xung đánh mới xuất hiện, transistor T dẫn tức thời, tụ nhanh chóng phóng điện hết qua T và lại được nạp với dòng không đổi  $I_c$ . Điện áp trên tụ lại tăng tuyến tính. Quá trình cứ thế tiếp diễn. Ta thấy, cứ mỗi lần xuất hiện một xung đánh thì lại có một xung răng cưa hình thành trên tụ.

Nếu coi điện áp trên hai đầu vào IC.1 là bằng nhau ( $u^+ \approx u^-$ ), điện áp  $u_r$  ở đầu ra mạch hình 2-15a sẽ tỉ lệ với  $u^+$  :

$$u_r = u^- \left( \frac{R_1 + R_2}{R_1} \right) \approx u^+ \left( \frac{R_1 + R_2}{R_1} \right)$$

Với  $u^+(t)$  tính theo (2-22) thì :

$$u_r(t) = \frac{U_o(R_1 + R_2)}{R_1^2 C} t \quad (2-23)$$

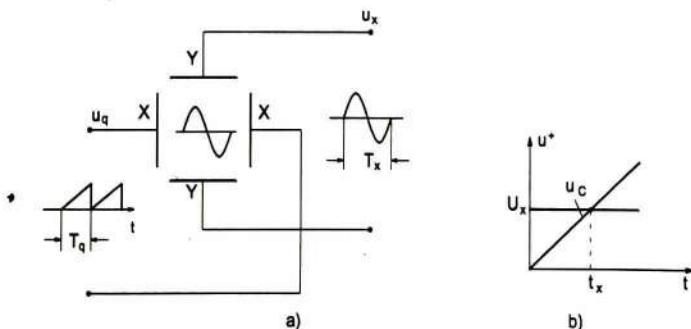
Vậy, cứ mỗi khi xuất hiện một xung đánh  $u_v$  ở đầu vào, ở đầu ra mạch lại cho một xung răng cưa tính theo (2-23). Nếu ở đầu vào là một dãy xung đánh với chu kỳ lặp  $\tau$ , thì  $u_r(t)$  sẽ là một dãy xung răng cưa có cùng chu kỳ lặp  $\tau$ , với biên độ :

$$U_M = \frac{U_o(R_1 + R_2)}{R_1^2 C} \tau \quad (2-24)$$

Biên độ  $U_M$  không thể vượt quá điện áp ra bão hoà  $+U_{bh}$  của khuếch thuât toán.

## 2-8. MỘT SỐ ỨNG DỤNG CỦA DÂY XUNG RĂNG CƯA

• Dây xung răng cưa thường dùng làm "sóng quét" trong các thiết bị hiện sóng (dao động kí điện tử). Tín hiệu cần quan sát  $u_x(t)$  đưa vào hai phiến làm lệch dọc Y của thiết bị hiện sóng. Sóng quét  $u_q(t)$  đưa vào hai phiến làm lệch ngang X (hình 2-16a). Dưới tác động của điện trường phiến làm lệch ngang, chùm tia điện tử sẽ chuyển động với vận tốc đều theo chiều trực nằm ngang. Dưới tác động của điện trường phiến làm lệch dọc, chùm tia điện tử sẽ bị lái theo chiều thẳng đứng đúng theo quy luật biến thiên của tín hiệu cần quan sát. Phối hợp cả hai chuyển động trên, chùm tia điện tử sẽ vẽ trên màn hiện sóng dạng tín hiệu cần quan sát  $u_x(t)$ . Nếu chu kì  $T_q$  của sóng quét bằng chu kì  $T_x$  của tín hiệu cần quan sát thì trên màn hiện sóng sẽ hiện một chu trình tín hiệu quan sát. Nếu  $T_q$  bằng bội số n của  $T_x$ , trên màn hiện sóng sẽ hiện n chu trình tín hiệu quan sát.



Hình 2-16. Một số ứng dụng của xung răng cưa

• Xung răng cưa còn dùng để chuyển đổi điện áp  $U_x$  cần đo thành khoảng thời gian tỉ lệ  $t_x$  (hình 2-16b). Mạch phát xung răng cưa cho điện áp tuyến tính

$$u_c(t) = K \cdot t$$

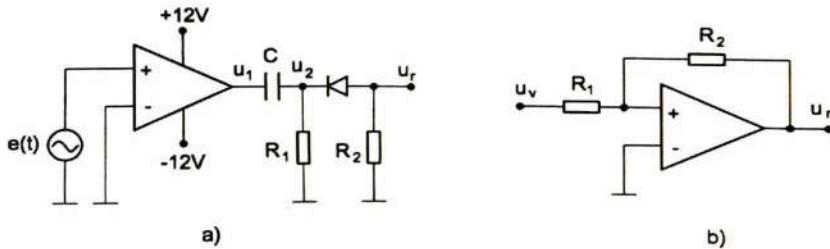
trong đó K là hệ số tỉ lệ. Khi  $u_c(t)$  đạt giá trị bằng  $U_x$  thì :

$$Kt_x = U_x \rightarrow t_x = \frac{1}{K} U_x = K_u \cdot U_x$$

Đo  $t_x$  sẽ suy ra  $U_x$ . Đây là một trong các phương pháp số đo điện áp.

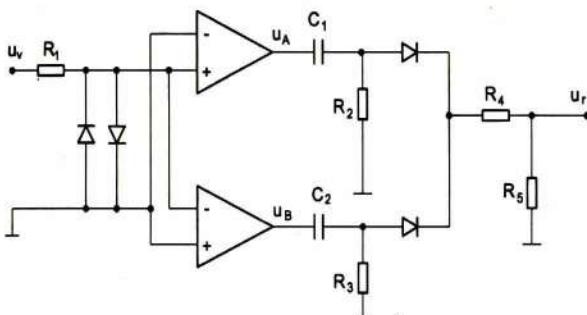
## CÂU HỎI VÀ BÀI TẬP CHƯƠNG 2

- 2-1. Mạch so sánh tương tự là gì ? Các thông số đặc trưng của mạch so sánh tương tự ? Thế nào là ngưỡng đóng  $U_d$  và ngưỡng mở  $U_m$  của mạch so sánh tương tự.
- 2-2. Trigơ Smith là gì ? Vẽ sơ đồ trigơ Smith đảo, không đảo và đặc tính truyền đạt của chúng. Ưu điểm của trigơ Smith so với mạch so sánh hở.
- 2-3. Trình bày nguyên lý làm việc của mạch tạo xung đơn kích thích bằng tay ở hình 2-8a. Cần chú ý gì khi chọn các điện trở  $R_{c1}$ ,  $R_{c2}$ ,  $R_2$ . Giới hạn trên của nguồn cung cấp  $+U_{cc}$  trong sơ đồ là bao nhiêu ? Tại sao để tạo các xung đơn có độ rộng xung rất lớn thì phải thay transistor  $T_2$  ở hình 2-8a bằng cặp transistor nối kiểu Darlington ? Hãy vẽ hai transistor nối kiểu Darlington.
- 2-4. Trình bày ngắn gọn nguyên lý làm việc của :
- Mạch đa hài phiến định hình 2-10a.
  - Mạch tạo dãy xung tam giác hình 2-14a.
  - Mạch tạo dãy xung răng cưa hình 2-15a.
- 2-5. Nêu vài ứng dụng của :
- Mạch so sánh tương tự
  - Mạch đa hài phiến định dùng khuếch thuât toán.
- 2-6. Cho mạch hình 2-17a. Biết  $e(t) = U_m \sin 314t$ . Hãy vẽ phác đồ thị thời gian của  $u_1(t)$ ,  $u_2(t)$  và  $u_r(t)$ , theo đồ thị thời gian của  $e(t)$ . Biết  $C = 15nF$ ,  $R_1 = 1k\Omega$ .



Hình 2-17. Bài tập 2-6 và 2-8

- 2-7.** Cho mạch hình 2-18. Biết  $R_1 = R_4 = R_5 = 1M\Omega$ ,  $R_2 = R_3 = 1k\Omega$ ,  $C_1 = C_2 = 15nF$ . Điện áp ra bão hòa của các khuếch thuât toán là  $\pm U_{bh} = \pm 10V$ . Điện áp vào  $u_v = U_m \sin 100t$ . Hãy vẽ đồ thị thời gian của  $u_A(t)$ ,  $u_B(t)$ ,  $u_r(t)$ , theo đồ thị thời gian của  $u_v(t)$ .

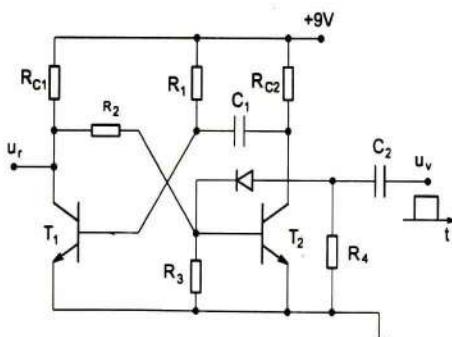


Hình 2-18. Bài tập 2-7

- 2-8.** Cho mạch H.2-17b. Biết  $R_1 = 10k\Omega$ ,  $R_2 = 47k\Omega$ . Điện áp ra bão hòa của khuếch thuât toán là  $\pm U_{bh} = \pm 10V$ . Hãy :

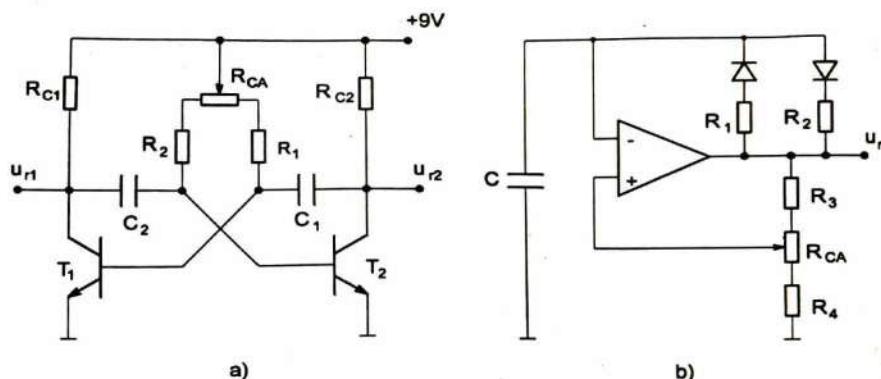
- Vẽ đặc tính truyền đạt  $u_r(u_v)$  của mạch.
- Vẽ đồ thị thời gian  $u_r(t)$  khi  $u_v(t) = 5\sin 314t$  (V).

- 2-9.** Cho mạch phát xung đơn hình 2-19. Hai transistor là loại 2N3904, diod là loại 1N4148.  $R_{C1} = R_{C2} = 1,8k\Omega$ ;  $R_1 = 68k\Omega$ ;  $R_2 = R_3 = R_4 = 10k\Omega$ ;  $C_1 = C_2 = 2,2nF$ . Mạch được kích khởi bằng xung vuông góc  $u_v$  ở đầu vào. Giải thích hoạt động của mạch và tính độ rộng của xung đơn  $u_r$  ở đầu ra.



Hình 2-19. Bài tập 2-9

2-10. Cho mạch đa hài phiếm định hình 2-20a. Biết  $R_{C1} = R_{C2} = 1,8\text{ k}\Omega$ ;  $C_1 = C_2 = 10\text{nF}$ ,  $R_1 = R_2 = 10\text{k}\Omega$ ,  $R_{CA} = 0 \div 100\text{k}\Omega$ . Hãy chỉ ra sự khác nhau cơ bản của mạch hình 2-20a với mạch hình 2-9a. Tính độ rộng lớn nhất  $Q_{max}$  (xem mục 1-2-1) có thể tạo được của dây xung vuông góc ở đầu ra hình 2-20a.



Hình 2-20. Bài tập 2-10 và 2-11.

2-11. Cho mạch hình 2-20b. Biết  $R_1 = 2,2\text{k}\Omega$ ,  $R_2 = 220\text{k}\Omega$ ,  $R_3 = 10\text{k}\Omega$ ,  $R_4 = 1\text{k}\Omega$ ,  $R_{CA} = 0 \div 10\text{k}\Omega$ ,  $C = 10\text{nF}$ .

Hãy chỉ ra sự khác nhau cơ bản của mạch hình 2-20b với mạch hình 2-11a. Tính tỉ số giữa thời gian nghỉ  $t_n$  và độ rộng xung  $t_x$  của dây xung vuông góc  $u_r$  ở đầu ra. Ước tính dải tần số có thể điều chỉnh được của dây xung ra.

## Chương 3

# CÁC MẠCH TẠO XUNG HOẶC BƯỚC NHẤY DÙNG CÁC VI MẠCH SỐ VÀ MẠCH ĐỊNH THỜI 555

### 3.1. CÁC LOẠI FLIP-FLOP

Flip-Flop là mạch logic có một hoặc hai đầu vào điều khiển, hai đầu ra. Tín hiệu trên hai đầu ra Flip-Flop phụ thuộc nhau : Nếu một đầu ra có tín hiệu là Q, thì ở đầu ra kia sẽ là phủ định của Q ( $\bar{Q}$ ). Khi tín hiệu ở cửa vào thoả mãn điều kiện điều khiển, đầu ra Q sẽ lật trạng thái từ mức logic thấp L lên mức logic cao H hoặc ngược lại. Vậy, tín hiệu ở đầu ra Flip-Flop khi có điều khiển là một bước nhảy điện áp. Đặc điểm của Flip-Flop là : *Khi không có điều khiển ở cửa vào, mức logic (L hoặc H) ở đầu ra được duy trì ổn định.*

Tùy theo số đầu vào điều khiển, Flip-Flop gồm bốn loại chính : S-R, J-K, T, D.

#### 3.1.1. S-R Flip-Flop (S-R FF)

S-R FF là loại có hai đầu vào điều khiển S, R. Đầu S gọi là đầu vào "ghi" (Set) và R là đầu vào "xoá" (Reset).

Hình 3-1a là ký hiệu của S-R FF trong các sơ đồ logic. Trạng thái ở đầu ra Q phụ thuộc các tín hiệu logic ở hai đầu vào điều khiển S, R theo bảng 3-1, gọi là bảng trạng thái của Flip-Flop.

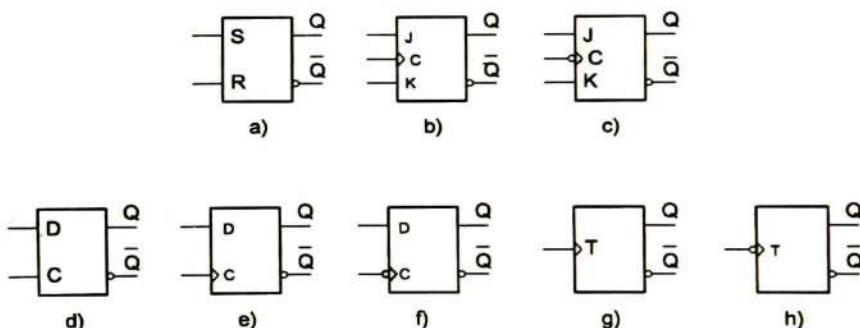
Bảng 3-1

Trong bảng 3-1, ký hiệu  $Q_t^+$  chỉ giá trị logic ở đầu ra Q sau thời điểm t, là thời điểm đặt các tín hiệu điều khiển logic ở các đầu vào S, R. Ký hiệu  $Q_t$  chỉ giá trị logic ở đầu ra Q tại thời điểm t. Ta thấy : *Khi  $S = 1, R = 0$  thì  $Q_t^+ = 1$  ; khi  $S = 0, R = 1$  thì  $Q_t^+ = 0$ .* Đây chính là hai điều

S	R	$Q_t^+$	Ý nghĩa
0	0	$Q_t$	Lưu giữ
1	0	1	Ghi
0	1	0	Xóa
1	1	?	Không xác định

kiện điều khiển ở cửa vào khiếu cho đầu ra Q Flip-Flop có thể lật trạng thái (từ 0 sang 1 hoặc ngược lại). Vì vậy S, R gọi là các đầu vào điều khiển. Cáp S = 1, R = 0 là điều kiện điều khiển *ghi* ( $Q = 1$ ) ; còn cáp S = 0, R = 1 là điều kiện điều khiển điều khiển *xóa* ( $Q = 0$ ). Tường hợp S = R = 0 thì  $Q_{t+} = Q_t$  ; nghĩa là Q không thay đổi trạng thái đã có của nó. Vậy, khi không còn tín hiệu điều khiển ghi hay xoá ở cửa vào, Flip-Flop vẫn giữ nguyên trạng thái đã có của nó. Ta nói, khi S = R = 0 thì Flip-Flop lưu giữ thông tin. Cuối cùng, nếu S = R = 1, đầu ra Q có thể là 1, có thể là 0 logic ; ta nói trạng thái Flip-Flop là không xác định. Vậy, *không bao giờ đồng thời đặt 1 logic vào S và R*.

Như đã trình bày ở mục 1-6-3, trong các mạch logic người ta dùng tín hiệu điện áp với hai mức cách biệt nhau là mức cao H và mức thấp L để đặc trưng cho hai giá trị 1, 0 của biến logic ( $H \rightarrow 1, L \rightarrow 0$ ).



Hình 3-1. Kí hiệu các loại Flip-Flop

### 3-1-2. J-K Flip-Flop (J-K FF)

J-K FF là loại Flip-Flop có hai đầu vào điều khiển J, K. Khi  $J = 1, K = 0$  thì  $Q_{t+} = 1$  ; khi  $J = 0, K = 1$  thì  $Q_{t+} = 0$ . Tuy nhiên, điểm đặc biệt là J-K FF còn có thêm *đầu vào đồng bộ C* và Flip-Flop chỉ có thể ghi (hay xoá) trong thời khoảng ứng với sườn lên hoặc xuống của xung đồng bộ C (còn gọi là xung nhịp - Clock). Ta nói Flip-Flop thuộc

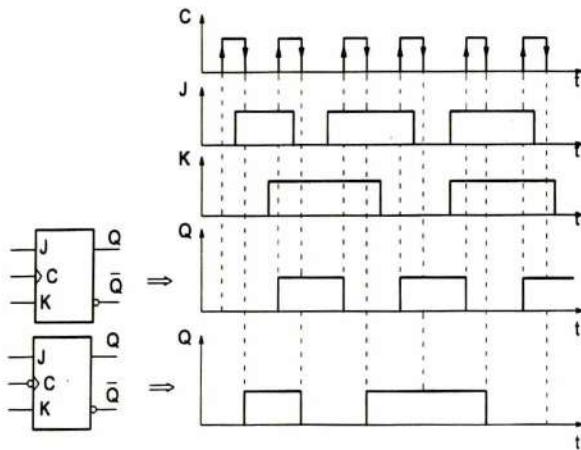
Bảng 3-2

C	J	K	$Q_{t+}$	Ý nghĩa
0	X	X	$Q_t$	Lưu giữ
1	X	X	$Q_t$	Lưu giữ
$\uparrow(\downarrow)$	0	0	$Q_t$	Lưu giữ
$\uparrow(\downarrow)$	1	0	1	Ghi
$\uparrow(\downarrow)$	0	1	0	Xóa
$\uparrow(\downarrow)$	1	1	$\bar{Q}_t$	Bập bênh

loại **dòng bộ**, hiểu theo nghĩa là việc ghi/xoá trong Flip-Flop chỉ có thể xảy ra đồng bộ với sự xuất hiện của xung nhịp C. Có hai loại J-K FF đồng bộ : Loại **dòng bộ theo sườn lên** (kí hiệu ở hình 3-1b) và **loại dòng bộ theo sườn xuống** (hình 3-1c) của xung nhịp.

Sự hoạt động của J-K FF có thể tóm tắt ở bảng 3-2. Trong bảng, ký hiệu  $\uparrow(\downarrow)$  biểu hiện cho sườn lên (hoặc xuống) của xung nhịp ; ký hiệu  $\times$  ý nói có thể mang giá trị tuỳ ý. Khi  $J = K = 1$ , Flop-Flop luôn lật trạng thái mỗi khi có xung nhịp đi tới, tựa như cầu chìa bập bênh của con trè.

**Ví dụ.** Vẽ đồ thị thời gian của tín hiệu ở đầu ra Q của J-K FF, theo đồ thị thời gian của các tín hiệu điều khiển J, K và của xung nhịp C, cho trước ở hình 3-2.



Hình 3-2. Vẽ đồ thị thời gian của J-K FF

Ta vẽ cho hai trường hợp, ứng với loại J-K FF đồng bộ theo sườn lên và loại đồng bộ theo sườn xuống của xung nhịp C. Khi vẽ ta chỉ quan tâm đến tín hiệu J, K ở các thời điểm ứng với sườn lên (hoặc xuống) của xung nhịp C, là những thời điểm Flip-Flop có thể lật trạng thái theo các tín hiệu điều khiển. Trong khoảng thời gian giữa hai sườn lên (hoặc giữa hai sườn xuống) của các xung nhịp, Flip-Flop giữ ổn định. Bỏ qua thời gian trễ  $t_{pd}$  của Flip-Flop (xem mục 1-10-2, hình 1-22) và coi ở  $t = 0$  thì  $Q = 0$ , ta có kết quả dạng  $Q(t)$  vẽ được như ở hình 3-2.

### 3-1-3. D – Flip-Flop (D-FF)

D-FF là loại Flip-Flop đồng bộ với một đầu vào điều khiển D. Tín hiệu ở đầu vào điều khiển sẽ truyền tới đầu ra Q ( $Q = D$ ) mỗi khi xuất hiện xung nhịp

C. Có ba loại D-FF đồng bộ : loại **đồng bộ theo mức** (kí hiệu ở hình 3-1d) ; loại **đồng bộ theo sườn lên** (hình 3-1e) và loại **đồng bộ theo sườn xuống** (hình 3-1f) của xung nhịp.

Các bảng 3-3 và 3-4 tóm tắt hoạt động của các loại D-FF.

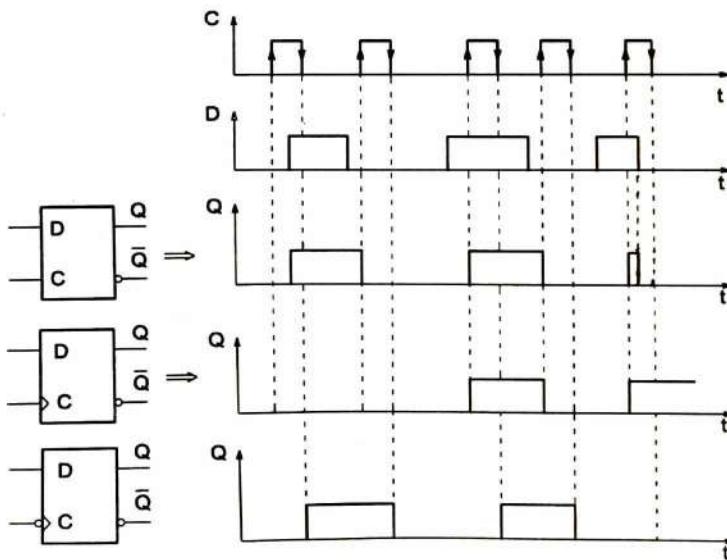
Bảng 3-3

Loại đồng bộ theo mức		
C	D	$Q_{t+}$
0	X	$Q_t$
1	0	0 } $Q = D$
1	1	1 }

Bảng 3-4

Lợi đồng bộ theo sườn xung		
C	D	$Q_{t+}$
0	X	$Q_t$
1	X	$Q_t$
$\uparrow(\downarrow)$	0	0 } $Q = D$
$\uparrow(\downarrow)$	1	1 }

*Ví dụ.* Vẽ đồ thị thời gian của tín hiệu ở đầu ra Q của D-FF, theo đồ thị thời gian của xung nhịp C và của tín hiệu điều khiển D, cho trước ở hình 3-3. Ở thời điểm ban đầu  $t = 0$ , tín hiệu ở đầu ra Q = 0.

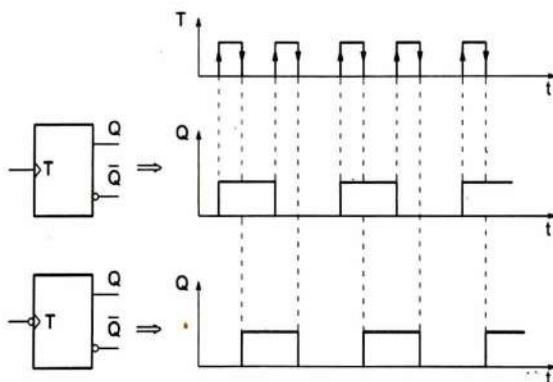


Hình 3-3. Ví dụ minh họa hoạt động của các D-FF

Ta vẽ đồ thị Q(t) ứng với ba loại D-FF và có kết quả như ở hình 3-3.

### 3-1-4. T-Flip-Flop (T-FF)

T-FF là loại Flip-Flop có một đầu vào điều khiển T. Mỗi lần có xung tới đầu vào T, đầu ra Q của Flop-Flop sẽ lật trạng thái. Có hai loại T Flip-Flop : Loại tích cực theo sườn lên (kí hiệu ở hình 3-1g) và loại tích cực theo sườn xuống (kí hiệu ở hình 3-1h). Ở loại tích cực theo sườn lên, đầu ra Q sẽ lật trạng thái tại thời điểm ứng với sườn lên của xung T. Ở loại tích cực theo sườn xuống, Q sẽ lật trạng thái tại thời điểm ứng với sườn xuống của xung T.



Hình 3-4. Ví dụ minh họa hoạt động của các T-FF

Hình 3-4 cho ta một ví dụ minh họa hoạt động của hai loại T-FF.

### 3-1-5. Một số vi mạch Flip-Flop.

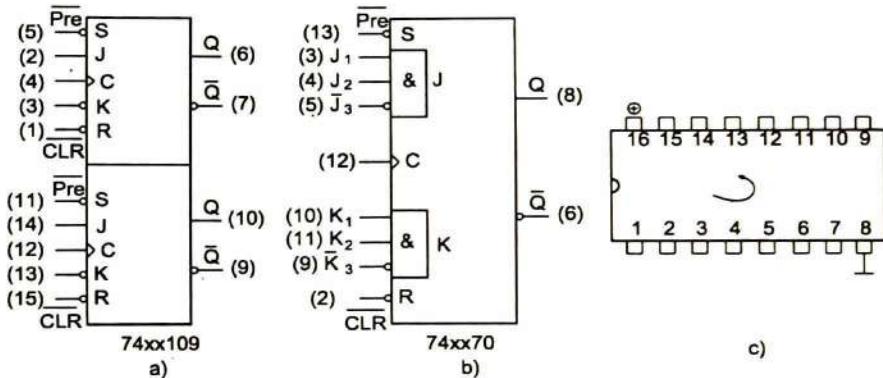
Hiện nay bán phổ biến trên thị trường là hai loại vi mạch Flip-Flop : J-K FF và D-FF.

a) Trong một "chip" J-K FF có từ 1 đến 2 Flip-Flop cùng loại, và chúng thường có các đặc điểm cần lưu ý sau :

- Trong Flip-Flop thường có đầu *đặt trước* (Pre) và đầu *xoá* (CLR) không đồng bộ. Các đầu này có thể là tích cực thấp hoặc tích cực cao. Như vậy, ngoài J-K FF đồng bộ, trong nó còn có một S-R FF không đồng bộ. Đầu S chính là đầu Pre và đầu R chính là đầu CLR. Hiện nay rất hiếm các vi mạch S-R FF không đồng bộ. Khi cần dùng, bạn nên tìm các "chip" J-K FF có các đầu đặt trước và xoá không đồng bộ.

Để cho việc sử dụng được linh hoạt, một số "chip" J-K FF có nhiều đầu vào J và K. Ví dụ IC 74xx110 có ba đầu điều khiển  $J_1$ ,  $J_2$ ,  $J_3$  và ba đầu điều khiển  $K_1$ ,  $K_2$ ,  $K_3$ . Đầu điều khiển J, K của Flip-Flop tương ứng là

$$J = J_1 \cdot J_2 \cdot J_3 ; \quad K = K_1 \cdot K_2 \cdot K_3.$$



Hình 3-5. Sơ đồ chân một số IC. J-K FF

Hình 3-5a, b tương ứng là sơ đồ chân của các "chip" J-K FF  $74\times\times 109$  và  $74\times\times 70$ . Chip 74109 có 16 chân, với quy ước số thứ tự các chân tăng dần theo chiều ngược kim đồng hồ (hình 3-5c). Ở hình 3-5a, b, các số trong dấu ngoặc đơn chỉ số thứ tự chân trên vỏ.

IC  $74\times\times 70$  gồm 14 chân, có một J-K FF với các đầu vào điều khiển  $J_1$ ,  $J_2$ ,  $\bar{J}_3$  và  $K_1$ ,  $K_2$ ,  $\bar{K}_3$ . Kí hiệu  $\bar{J}_3$ ,  $\bar{K}_3$  là các đầu vào điều khiển tích cực thấp. Ta có :

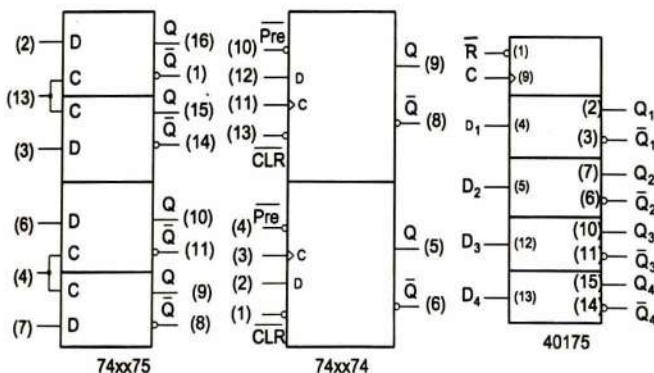
$$J = J_1 \cdot J_2 \cdot \bar{J}_3 ; K = K_1 \cdot K_2 \cdot \bar{K}_3.$$

Vậy, J sẽ bằng 1 khi  $J_1 = J_2 = 1$  và  $\bar{J}_3 = 0$ ; cũng thế, K sẽ bằng 1 khi  $K_2 = K_1 = 1$  và  $\bar{K}_3 = 0$ . Flip-Flop còn có hai đầu vào đặt trước và xoá không đồng bộ tích cực thấp ( $\overline{\text{Pre}}$  và  $\overline{\text{CLR}}$ ). Nó có vai trò như một S-R FF không đồng bộ, với  $S = \text{Pre}$  và  $R = \text{CLR}$ . Ta có thể tóm tắt hoạt động của "chip" 74xx70 trong bảng trạng thái sau (bảng 3-5).

Bảng 3-5

$\overline{Pre/S}$	$\overline{CLR/R}$	C	J	K	$Q_t$	Chú thích
0/1	1/0	x	x	x	1	S-R FF
1/0	0/1	x	x	x	0	
1/0	1/0	x	x	x	$Q_t$	
0/1	0/1	x	x	x	Không xác định	
1/0	1/0	0	x	x	$Q_t$	
1/0	1/0	1	x	x	$Q_t$	J-K FF
1/0	1/0	↑	0	0	$Q_t$	đồng bộ
1/0	1/0	↑	1	0	1	theo sườn
1/0	1/0	↑	0	1	0	lên của C.
1/0	1/0	↑	1	1	$\bar{Q}_t$	

IC  $74xx109$  (hình 3-5a) có hai J-K FF với đầu đặt trước và xoá không đồng bộ tích cực thấp. Đầu điều khiển  $\bar{K}$  cũng là tích cực thấp. Bạn đọc có thể tự thành lập bảng trạng thái mô tả hoạt động của "chip"  $74xx109$ .

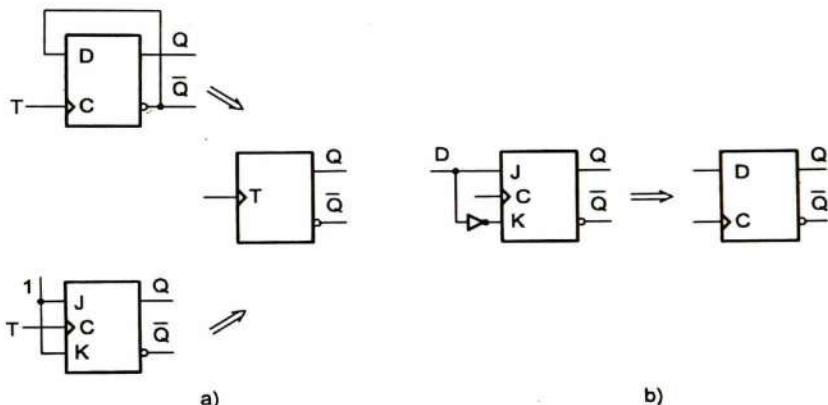


Hình 3-6. Sơ đồ chân của vài vi mạch D-FF

b) Hình 3-6 giới thiệu sơ đồ chân của vài vi mạch D-FF. Mỗi "chip" có từ  $2 \div 4$  D-FF cùng loại. Một số D-FF cũng có các đầu đặt trước và xoá không đồng bộ, ví dụ IC  $74xx74$  (hình 3-6) gồm hai D-FF với các đầu đặt trước và xoá không đồng bộ tích cực thấp. Vi mạch 40175 (hình 3-6) có bốn D-FF; chúng có chung một đầu đồng bộ C và chung một đầu xoá tích cực thấp  $\bar{R}$ .

### 3-1-6. Thành lập T-Flip-Flop - Flip-Flop vạn năng

- Hiện nay trên thị trường không có các vi mạch T-FF. Muốn có T-FF ta phải thành lập từ J-K FF hoặc D-FF như ở hình 3-7a. Từ hoạt động của J-K FF và D-FF đã trình bày ở trên, ta dễ dàng nhận thấy, nối J-K FF hoặc D-FF như ở hình 3-7a sẽ được T-FF.



Hình 3-7. Thành lập T-FF từ J-K hoặc D-FF và thành lập D-FF từ J-K FF

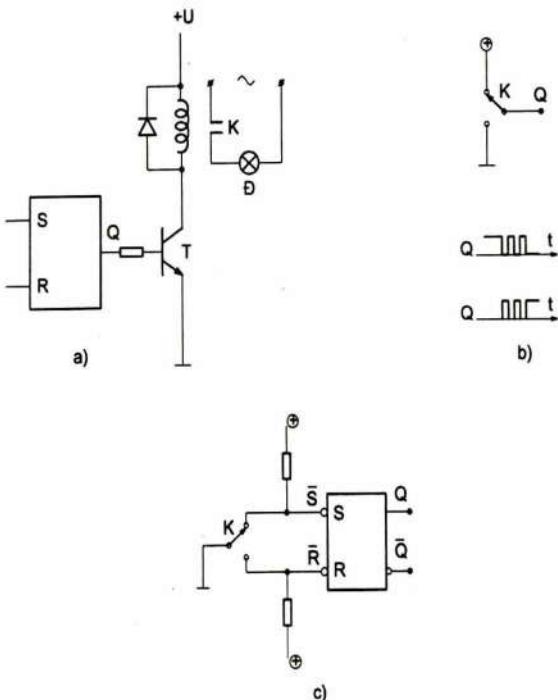
- Nếu dem nối J-K FF như ở hình 3-7b sẽ được D-FF. Ta thấy **J-K FF là loại Flip-Flop vạn năng**, vì với những cách nối khác nhau ta sẽ được các loại Flip-Flop khác.

## 3-2. ỨNG DỤNG CỦA FLIP-FLOP

Các Flip-Flop là những phần tử lưu giữ 1 bit thông tin. Chúng là những phần tử cơ bản cấu thành các mạch logic dây như bộ đếm, thanh ghi dịch... Ở đây ta không đề cập tới vấn đề này và chỉ xét vài ứng dụng phổ cập khác của Flip-Flop.

- Ta thường dùng Flip-Flop làm phần tử **lưu giữ tín hiệu điều khiển** trong các mạch điều khiển số. Ví dụ ở hình 3-8a, khi S = 1 logic = H và R = 0 logic = L thì Q = 1 logic = H, khóa transistor dẫn bão hòa. Qua cuộn dây role cơ - điện có dòng, làm đóng mạch thấp sáng đèn Đ. Khi S = R = 0, nghĩa là không còn tín

hiệu điều khiển đóng, đầu ra Q của S-R FF vẫn duy trì mức cao H và mạch chiếu sáng đèn vẫn đóng. Muốn ngắt mạch, ta đưa tín hiệu vào Flip-Flop K để S = 0, R = 1, đầu ra Q sẽ lật xuống mức thấp L làm transistor khoá.



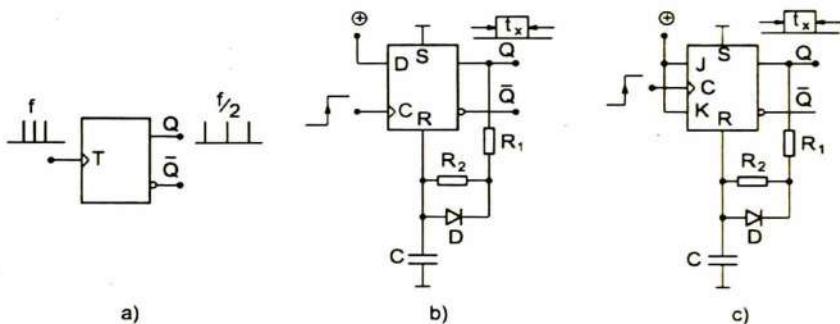
Hình 3-8. Một số ứng dụng của S-R Flip-Flop.

2. Có thể dùng S-R FF để *loại trừ ảnh hưởng của hiện tượng "nẩy" của khoá cơ khí* khi đóng/cắt. Khi dùng khoá chuyển mạch cơ khí để thay đổi mức logic của một biến thường làm xuất hiện một chuỗi xung không mong muốn, do các dao động cơ của tiếp điểm gây ra. Trên hình 3-8b, khi ta thay đổi vị trí khoá K để biến logic Q chuyển từ mức cao H xuống mức thấp L hay ngược lại ; trong thời gian quá độ, ở đầu Q sẽ xuất hiện các xung không mong muốn do sự rung động của tiếp điểm khi chuyển mạch.

Sử dụng S-R FF loại dấu vào tích cực thấp nối như hình 3-8c, sẽ loại bỏ được ảnh hưởng của các dao động cơ của khoá K khi chuyển mạch đối với tín

hiệu logic ở đầu ra Q. Có thể thành lập S-R FF loại đầu vào tích cực thấp từ mạch gồm hai phần tử NAND hai đầu vào. Đầu ra của phần tử này được nối với một đầu vào của phần tử kia. Hai đầu vào còn lại nhận tín hiệu điều khiển S, R.

3. Người ta còn hay dùng T Flip-Flop để thực hiện việc chia đôi tần số của một dãy xung vuông góc. Từ hoạt động của T Flip-Flop (mục 3-1-4, hình 3-4), nhận thấy: Nếu đưa tới đầu vào T của Flip-Flop một dãy xung vuông lặp lại, tần số f, ta sẽ nhận được ở hai đầu ra Q và  $\bar{Q}$  hai dãy xung vuông góc ngược pha nhau, tần số  $f/2$  (hình 3-9a).



Hình 3-9. Dùng Flip-Flop để chia đôi tần số và tạo mạch phát xung đơn

4. Người ta có thể dùng D-FF hoặc J-K FF, loại có đầu vào đặt trước S và đầu vào xóa R không đồng bộ (ví dụ IC họ CMOS HEF 4013B có hai D-FF, IC HEF 4027B gồm hai J-K FF) để tạo thành mạch phát xung đơn (mạch da hài đơn ổn). Hình 3-9b, c tương ứng là sơ đồ mạch phát xung đơn dùng D-FF và dùng J-K FF, với  $R_2 \gg R_1$ .

Xét mạch hình 3-9b. Ở trạng thái tĩnh, khi không có xung kích thích đưa tới đầu vào đồng bộ C của D-FF, đầu ra Q nằm ổn định ở mức thấp L  $\approx 0V$ . Đặt kích thích là một bước nhảy dương vào đầu C, ta có Q = D = mức cao H = điện áp nguồn cung cấp đặt cố định ở đầu D. Tụ C được nạp điện từ mức điện áp cao H ở Q qua các điện trở R<sub>1</sub>, R<sub>2</sub>. Điện áp trên tụ tăng dần, phụ thuộc hằng số thời gian nạp  $\tau_n \approx R_2 C$  (bỏ qua R<sub>1</sub> vì R<sub>1</sub> << R<sub>2</sub>). Khi điện áp trên tụ đạt giá trị mà đầu xoá không đồng bộ R yêu cầu, đầu ra Q quay trở lại mức thấp ổn định L. Tụ C phóng điện qua diod và điện trở R<sub>1</sub>, với hằng số thời gian phóng  $\tau_p \approx R_1 C$ .

Vậy, với một kích thích ở đầu vào C, mạch cho ở hai đầu ra Q và  $\bar{Q}$  hai xung đơn ngược nhau và có độ rộng :

$$t_x \approx 0,7 R_1 C \quad (3-1)$$

Điện trở  $R_1$  nhằm hạn chế sự phóng quá nhanh của tụ C với dòng phóng lớn. Thường  $R_1$  chọn khoảng vài  $k\Omega$  trở xuống.

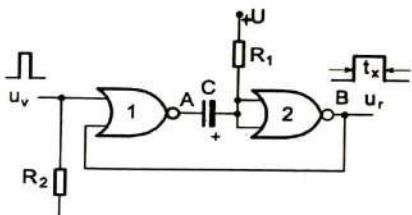
Hoạt động của mạch hình 3-9c tương tự như đã trình bày ở trên.

### 3-3. MẠCH PHÁT XUNG ĐƠN (MẠCH ĐA HÀI ĐƠN ỒN) DÙNG NANR/NOR

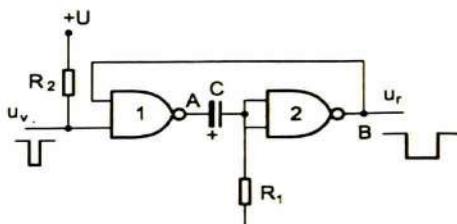
Một cách đơn giản và rẻ để tạo thành mạch đa hài đơn ồn là dùng các phần tử NAND hoặc NOR trong các IC họ CMOS, ví dụ IC 4001 (gồm 4 phần tử NOR hai đầu vào) hay IC 4011 (gồm 4 phần tử NAND hai đầu vào).

Hình 3-10a, b tương ứng là các mạch đa hài đơn ồn dùng NOR và NAND. Xét mạch hình 3-10a, trong đó phần tử NOR số 2 được nối thành phần tử ĐÀO ;  $u_v$  là điện áp kích thích ở đầu vào.  $u_r$  là điện áp ra. Khi không có xung kích thích ở đầu vào,  $u_r$  ở mức thấp  $L \approx 0V$  vì đặt vào phần tử ĐÀO số 2 là mức cao  $H \approx +U$ . Đầu ra A của phần tử NOR số 1 cũng ở mức cao H vì cả hai đầu vào của nó đều ở mức thấp  $L = 0V$ . Tụ C không tích điện vì cả hai cực bán đều ở mức cao H. Vậy trạng thái ổn định của mạch là mức thấp  $L \approx 0V$  ở đầu ra ( $u_r = L = 0V$ ). Khi đặt một xung kích thích dương ở đầu vào  $u_v$ , đầu ra A của phần tử số 1 sẽ chuyển ngay xuống mức thấp L và truyền qua cực bán phía phải của tụ C. Vì vậy, điện áp  $u_r$  ở đầu ra phần tử ĐÀO số 2 nhảy lên mức cao ; Nó được dẫn trả về một đầu vào của phần tử NOR số 1, do đó đầu ra A của phần tử vẫn được duy trì ở mức thấp L mặc dù không còn tồn tại xung kích thích  $u_v$ . Mạch chỉ nằm ở trạng thái không ổn định với  $u_r = H$  trong một thời gian xác định. Thật vậy, khi  $u_r$  chuyển lên mức cao H, ứng với thời điểm đặt xung kích thích, cũng là lúc tụ C được nạp từ nguồn cung cấp  $+U$  qua  $R_1$  ; Điện áp phía cực + (cực bán phía phải) của tụ tăng dần theo luật hàm mũ tới khi đạt giá trị ngưỡng lật  $U_T \approx +\frac{U}{2}$  thì phần tử ĐÀO số 2 lật xuống mức thấp với  $u_r = L \approx 0V$ . Ta thấy, cứ mỗi lần có xung kích thích  $u_v$  thì mạch lại cho một xung vuông góoc  $u_r$  ở đầu ra, độ rộng xung  $t_x$  tính gần đúng bằng :

$$t_x \approx R_1 C \ln 2 \approx 0,7 R_1 C \quad (3-2)$$



a)



b)

**Hình 3-10. Mạch đa hài đơn ổn dùng NOR/NAND**

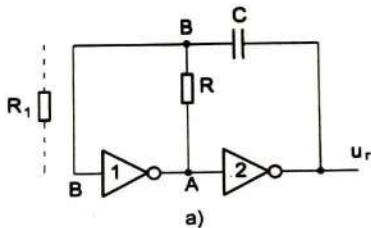
Mạch đa hài đơn ổn ở H-3-10b có nguyên lý làm việc giống mạch hình 3-10a.

Các mạch đa hài dùng NAND/NOR ở trên không thích hợp với những ứng dụng yêu cầu độ chính xác cao, vì độ rộng xung  $t_x$  phụ thuộc điện áp nguồn cung cấp  $+U$  và phụ thuộc khá nhiều vào bản thân các IC được sử dụng. Tụ C có thể có giá trị khoảng từ 100pF đến vài nghìn  $\mu F$ , điện trở  $R_1$  nằm trong khoảng vài k $\Omega$  đến vài M $\Omega$ .

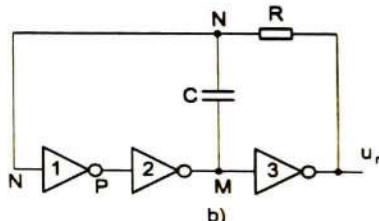
### 3-4. MẠCH ĐA HÀI PHIẾM ĐỊNH DÙNG CÁC IC SỐ

Người ta còn hay dùng các phân tử NAND/NOR họ CMOS (ví dụ các IC 4011, 4001) để tạo thành những mạch đa hài phiếm định, phát ra dãy xung lặp vuông góc với độ chính xác không cao. Ta chia các mạch này thành hai nhóm : Các mạch không điều khiển và các mạch có điều khiển.

**3-4-1. Mạch đa hài phiếm định không điều khiển** là mạch *liên tục* phát ra dãy xung vuông góc với chu kỳ lặp xác định, không có sự điều khiển giới hạn khoảng thời gian phát xung. Hình 3-11a là sơ đồ cơ bản của mạch, gồm hai phân tử ĐẢO nối tầng và mạch định thời R-C. Các phân tử ĐẢO trong sơ đồ thường do phân tử NAND/NOR họ CMOS tạo thành (xem mục 1-7-2).



a)

**Hình 3-11. Mạch đa hài phiếm định không điều khiển**

Xét sự làm việc của mạch hình 3-11a. Giả sử ở thời điểm bắt đầu khảo sát, u<sub>r</sub> ở mức cao H ≈ +U = điện áp nguồn cung cấp, điểm A ở mức thấp L ≈ 0V và điểm B ở mức cao H ; Tụ C không tích điện và được nạp theo chiều từ u<sub>r</sub> = H → C → R → A. Điện áp ở điểm B sẽ giảm dần từ mức cao H theo sự giảm của dòng nạp cho tụ. Khi điểm B đạt giá trị ngưỡng lật U<sub>T</sub> ≈ H/2 ≈ +U/2, thì phần tử ĐÀO số 1 lật trạng thái và điểm A nhảy lên mức cao H, điện áp ra U<sub>r</sub> tụt xuống mức thấp L ≈ 0V. Tụ C lúc đó cũng nhanh chóng phóng điện qua mạch ở cửa vào của phần tử 1. Điện áp ở điểm B vì vậy cũng tụt ngay xuống mức thấp L. Tụ C trở nên không tích điện và bắt đầu được nạp theo chiều ngược lại, từ A = H → R → C → u<sub>r</sub> = L. Điện áp ở điểm B vì vậy tăng dần từ mức thấp L theo sự tăng của điện áp trên tụ. Khi B đạt ngưỡng lật U<sub>T</sub> thì phần tử ĐÀO số 1 lại lật trạng thái và điểm A lại chuyển từ H sang L, u<sub>r</sub> nhảy từ L lên H. Tụ C một lần nữa nhanh chóng phóng hết điện qua mạch vào của phần tử 1 và B = H. Tụ lại bắt đầu được nạp theo chiều từ u<sub>r</sub> = H → C → R → A = L. Quá trình tiếp tục lặp lại như trên. Kết quả mạch cho ta điện áp ra u<sub>r</sub> là *một dãy xung vuông góc đối xứng* với chu kì lặp :

$$T \approx 1,4RC \quad (3-3)$$

và biên độ xấp xỉ điện áp nguồn cung cấp +U. Nếu chọn tụ C từ vài nF đến vài  $\mu$ F (không dùng tụ hoá) và điện trở R trong dài từ vài kΩ đến hàng chục MΩ, tần số của dãy xung ra có thể nằm trong dài từ vài Hz đến khoảng 1MHz. Điện áp nguồn cung cấp cho IC họ CMOS có thể lấy từ 3 ÷ 18V.

Nhược điểm của mạch hình 3-11a là dãy xung vuông góc nhận được không hoàn toàn đối xứng ; Tần số của dãy xung thay đổi theo điện áp nguồn cung cấp và theo các "chip" IC khác nhau được sử dụng. Khi điện áp nguồn cung cấp tăng 10% thì tần số dãy xung phát ra giảm khoảng 0,8%. Để giảm đến tối đa các nhược điểm của mạch hình 3-11a, ở đường về cửa vào của phần tử số 1, người ta đặt thêm điện trở R<sub>1</sub> (trên sơ đồ hình 3-11a có vẽ điện trở R<sub>1</sub> ở bên cạnh với nét đứt khúc, ý nói có thể chèn thêm vào). Trị số của R<sub>1</sub> chọn rất lớn hơn R, (ví dụ chọn R<sub>1</sub> = 10R).

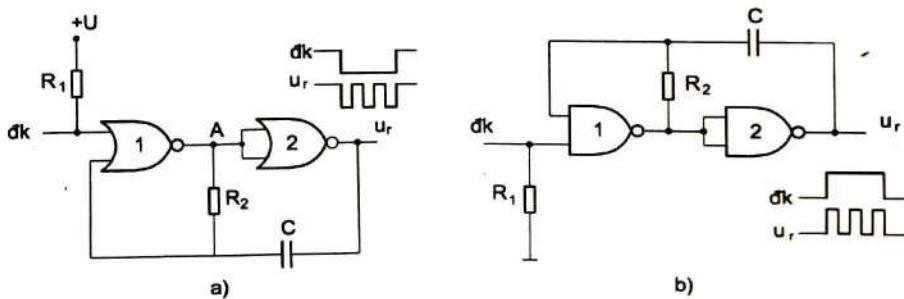
Mạch da hài phiếm định hai tầng ở hình 3-11a còn có một nhược điểm quan trọng là sườn lên và xuống của các xung không trơn, tồn tại các gai xung nhiều ở hai sườn xung. Để loại bỏ nhược điểm này, ta dùng mạch da hài phiếm định ba tầng ở hình 3-11b. Điện áp ra u<sub>r</sub> của mạch là một dãy xung vuông góc đối xứng, không có gai xung nhiều ở hai sườn xung. Hoạt động của mạch như sau : Giả sử ở thời điểm ban đầu khảo sát, điện áp ra u<sub>r</sub> ở mức thấp L ≈ 0V và tụ C không tích điện, điểm M và N có điện áp nằm ở mức cao H ≈ +U, (+U là điện

áp nguồn cung cấp), điện áp điểm P là ở mức thấp L. Tụ C bắt đầu được nạp theo chiều từ M = mức cao H  $\rightarrow$  C  $\rightarrow$  N  $\rightarrow$  R  $\rightarrow$   $u_r = L$ . Điện áp ở điểm N giảm dần từ mức cao H theo sự giảm của dòng nạp. Khi điện áp điểm N giảm tới giá trị ngưỡng lật  $U_T$ , thì phần tử ĐÀO số 1 lật trạng thái và đầu ra P của nó chuyển ngay lên mức cao H, còn đầu M lật sang mức thấp L và  $u_r$  nhảy lên mức cao H. Tụ C nhanh chóng phóng điện hết qua cửa vào của phần tử số 1 và điểm N cũng chuyển ngay xuống mức thấp L. Bây giờ, tụ C lại bắt đầu nạp theo chiều ngược lại, từ  $u_r = H \rightarrow R \rightarrow C \rightarrow M = L$ . Điện áp ở điểm N tăng dần từ mức thấp L  $\approx 0V$ , cho tới khi đạt ngưỡng lật  $U_T$  thì phần tử 1 lại lật trạng thái, điểm P chuyển xuống mức thấp L và điểm M nhảy lên mức cao hình. Điện áp ra  $u_r$  chuyển nhanh xuống mức thấp L. Tụ C mau chóng phóng hết điện qua cửa vào của phần tử số 1 và N cũng ở mức cao H. Quá trình tiếp diễn lặp lại như đã trình bày ở trên. Kết quả  $u_r$  là một dãy xung vuông góc đối xứng không có gai xung nhiễu ở hai sườn xung.

### 3-4-2. Mạch đa hài phiếm định có điều khiển

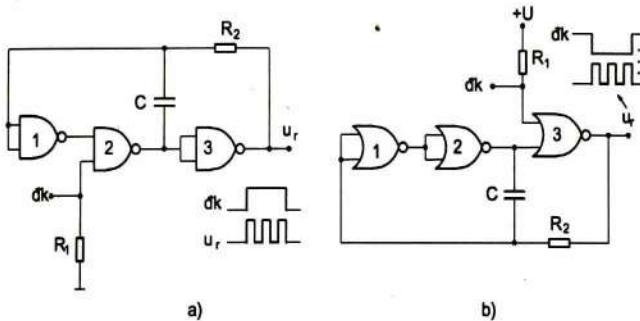
Nó là mạch chỉ có thể phát ra dãy xung vuông góc trong một thời khoảng xác định mà ta có thể điều khiển được. Để có loại mạch này, ta dùng mạch đa hài phiếm định không điều khiển ở hình 3-11, với dãy xung ra  $u_r$  được dẫn tới một cổng VÀ hay HOẶC (xem mục 1-8-1). Dùng một xung có độ rộng  $t_x$  để điều khiển mở cổng cho dãy xung  $u_r$  đi qua. Sau thời gian  $t_x$  thì cổng đóng và dãy xung bị chặn.

Tuy nhiên, từ tính chất là các phần tử NAND/NOR cũng có thể sử dụng như một cổng logic, ta có thể thành lập các mạch đa hài phiếm định hai tầng có điều khiển như ở hình 3-12, trong đó dk là tín hiệu điều khiển để mạch làm việc,  $u_r$  là dãy xung ra.



Hình 3-12. Mạch đa hài phiếm định 2 tầng, có điều khiển

Xét mạch hình 3-12a. Khi tín hiệu điều khiển  $dk$  ở mức cao H (hoặc khi không có tín hiệu điều khiển), phần tử NOR số 1 trở thành cổng logic ở trạng thái đóng. Điểm A nằm cố định ở mức điện áp thấp  $L \approx 0V$  và  $u_r$  nằm ổn định ở mức cao  $H \approx +U$ . Tụ C được nạp tới mức cao H. Mạch không làm việc. Khi tín hiệu điều khiển  $dk$  ở mức thấp L, cổng 1 mở và trở thành phần tử ĐÀO. Mạch lúc đó có cấu trúc hoàn toàn giống mạch hình 3-11a và nó phát ra dãy xung vuông góc đối xứng. Vậy mạch chỉ làm việc cho ra dãy xung vuông góc trong thời gian khi  $dk = L$ . Một cách tương tự, ta dễ dàng nhận thấy mạch hình 3-12b chỉ làm việc và phát xung khi tín hiệu điều khiển  $dk = H$ . Khi  $dk = L$ , mạch dừng và  $u_r$  nằm cố định ở mức L.



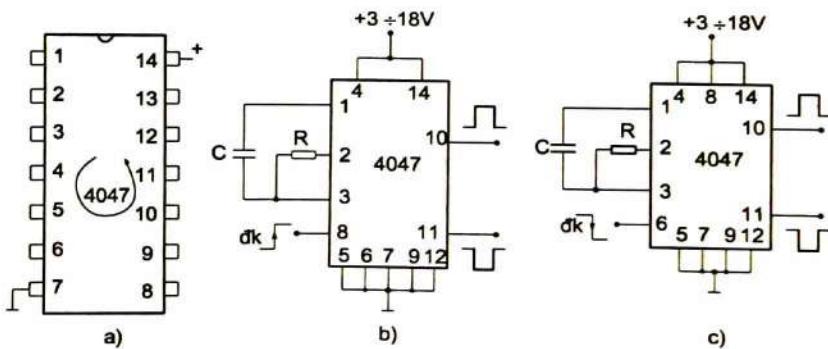
Hình 3-13. Mạch đa hài phiếm định 3 tầng, có điều khiển

Mạch đa hài phiếm định hai tầng có điều khiển ở trên phát ra dãy xung vuông góc đối xứng không đẹp, ở hai sườn xung có các gai xung nhiễu. Để khắc phục nhược điểm này, người ta xây dựng các mạch đa hài phiếm định 3 tầng có điều khiển (hình 3-13). Về mặt cấu trúc, những mạch này hoàn toàn dựa trên cấu trúc mạch 3 tầng không điều khiển ở hình 3-11b, nhưng có một tầng trong mạch (phản tử số 2 ở hình 3-13a và phản tử số 3 ở hình 3-13b) được sử dụng như một cổng logic với tín hiệu điều khiển  $dk$  để đóng/mở cổng. Khi  $dk =$  mức cao H (đối với hình 3-13a) hoặc  $dk =$  mức thấp L (đối với hình 3-13b) thì mạch hoàn toàn trở thành mạch hình 3-11b và nó phát ra dãy xung vuông góc mong muốn. Ngược lại, khi  $dk = L$  (đối với hình 3-13a) hay  $dk = H$  (với hình 3-13b) thì mạch không hoạt động, điện áp ra  $u_r$  nằm cố định ở mức thấp  $L \approx 0V$ .

### 3-5. BỘ ĐA HÀI 4047 VÀ 74121

#### 3-5-1. IC 4047

"Chip" 4047 là một vi mạch đa hài họ CMOS, dùng để phát ra một xung đơn (mạch đa hài đơn ổn), hoặc để tạo ra một dãy xung vuông góc (mạch đa hài phiếm định). Hình 3-14a là vỏ IC 4047 nhìn từ trên xuống. Nó gồm 14 chân, đánh số tăng dần theo chiều ngược kim đồng hồ, từ 1 đến 14. Các chân 1, 2, 3 để nối với các điện trở và điện dung định thời. Chân số 4 và chân số 5 dùng để điều khiển mạch làm việc ở trạng thái đa hài phiếm định. Chân số 8 và chân số 6 tương ứng là các đầu vào kích thích theo sườn lên và theo sườn xuống của xung điều khiển, khi mạch làm việc ở chế độ đa hài đơn ổn. Chân 9 là chân xoá (tích cực cao) hay còn gọi là chân thiết lập lại (reset). Chân 10 và 11 tương ứng là các đầu ra không đảo và đảo; chúng phát ra hai xung đơn ngược nhau khi IC làm việc ở chế độ đa hài đơn ổn. Chân 12 dùng để kích khởi lại (retrigger). Cuối cùng là chân 13 phát ra dãy xung vuông góc khi IC làm việc ở chế độ đa hài phiếm định. Nguồn cung cấp  $+3 \div +18V$  đặt vào chân 14.



Hình 3-14. IC 4047 và các cách nối thành mạch đa hài đơn ổn

Hình 3-14b, c là hai cách nối IC 4047 để nó làm việc ở chế độ mạch đa hài đơn ổn, tương ứng với kích thích theo sườn lên và theo sườn xuống của xung điều khiển dk. Độ rộng xung đơn ở hai đầu ra 10 và 11 gần đúng là :

$$t_x = 2,48R.C \approx 2,5 RC \quad (3-4)$$

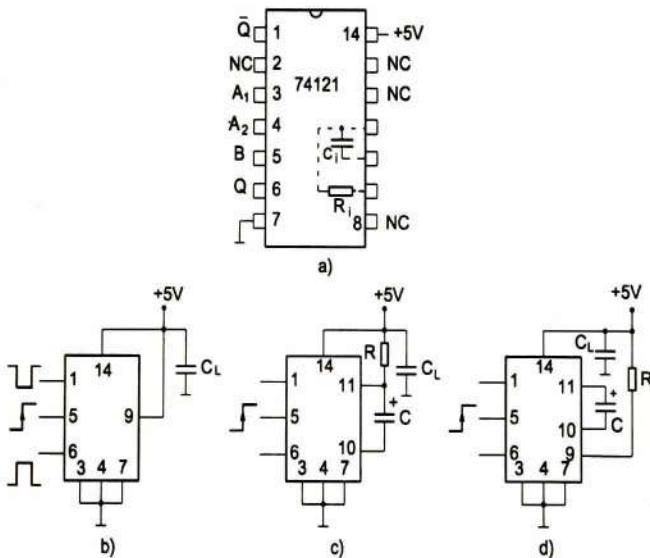
Cách nối của IC 4047 để nó làm việc ở chế độ mạch đa hài phiếm định, phát ra dãy xung vuông góc đối xứng với chu kỳ lặp lại T là : Những điện trở, điện dung định thời đặt vào các chân số 1, 2, 3, tựa như ở hình 3-14b, c ; Bốn chân 4, 5, 6, 14 đều nối chung với điện áp nguồn cung cấp ( $+3 \div +18V$ ) ; Bốn chân 7, 8, 9, 12 đem nối "mát". Khi đó, đầu ra số 13 cho ta dãy xung vuông góc đối xứng với tần số :

$$f \approx \frac{1}{2R.C} \quad (3-5)$$

Đầu ra số 10 và 11 cho hai dãy xung vuông góc đối xứng ngược pha nhau, với tần số :

$$f \approx \frac{1}{4,4R.C}, \quad (3-6)$$

trong đó  $R = 10k\Omega \div 1M\Omega$  và  $C \geq 100 \text{ pF}$  là các điện trở, điện dung định thời.



Hình 3-15. IC 74121 và các cách nối mạch định thời R-C

### 3-5-2. IC 74121

Chip 74121 là một vi mạch đa hài đơn ổn họ TTL. Hình 3-15a là vỏ của IC 74121 nhìn từ trên xuống, gồm 14 chân. Ba chân số 3, 4, 5 dùng để đặt các

xung kích thích  $A_1$ ,  $A_2$ , B. Hai chân số 1, 6 là hai đầu ra  $\bar{Q}$ , Q. Các chân số 9, 10, 11 dùng để thành lập mạch định thời, nối các điện trở và điện dung định thời ở bên ngoài với các điện trở, điện dung định thời có sẵn bên trong vi mạch ( $R_i$ ,  $C_i$ ). Những chân kí hiệu NC là chân không dùng tới.

Với ba tín hiệu kích thích  $A_1$ ,  $A_2$ , B, ta có các phương pháp kích thích khác nhau để mạch đa hài đơn ổn làm việc. Bảng 3-6 chỉ ra các phương pháp kích thích của IC 74121. Trong bảng, kí hiệu  $\uparrow$  chỉ sùn lên của xung; kí hiệu  $\downarrow$  chỉ sùn xuống của xung; kí hiệu  $\times$  là tùy chọn, có thể là mức thấp L hay mức cao H. Từ bảng 3-6 ta thấy có hai cách chính để kích khởi hoạt động của IC 74121 :

Bảng 3-6

$A_1$	$A_2$	B
H	$\downarrow$	H
$\downarrow$	H	H
$\downarrow$	$\downarrow$	H
L	$\times$	$\uparrow$
$\times$	L	$\uparrow$

- **Kích thích ở sùn xuống** của xung kích khởi : Chân số 5 đặt cố định ở mức cao H ( $B = H$ ) hoặc để hở ; mạch sẽ được kích thích ở sùn xuống của một trong hai xung kích khởi  $A_1$ ,  $A_2$  (hoặc cả hai).

- **Kích thích ở sùn lên** của xung kích khởi : Một trong hai chân số 3 và 4, hoặc cả hai đặt cố định ở mức thấp L ( $A_1$  hoặc/và  $A_2$  bằng L) ; mạch sẽ được kích thích ở sùn lên của xung kích khởi B ở chân 5. Lưu ý là chân số 5 này được dẫn tới đầu vào của một trigor smith ở bên trong IC 74121. Do đó sùn lên của B có thể tăng chậm. Ví dụ B có thể là dao động hình sin thì mạch vẫn được kích thích ở  $1/4$  chu kỳ dương, khi B tăng từ 0.

Ở thời điểm được kích thích, hai đầu ra Q và  $\bar{Q}$  (chân 6 và 1) sẽ từ trạng thái ổn định chuyển sang trạng thái không ổn định ( $Q$  từ L  $\rightarrow$  H,  $\bar{Q}$  từ H  $\rightarrow$  L) và nằm ở đây trong một khoảng thời gian xác định. Kết quả ta nhận được ở hai đầu ra hai xung đơn ngược nhau với độ rộng xung :

$$t_x \approx 0,7 R_T C_T , \quad (3-7)$$

trong đó  $R_T$ ,  $C_T$  là điện trở và điện dung tương đương trong mạch định thời. Các điện trở này nằm trong khoảng :  $2k\Omega \leq R_T \leq 40k\Omega$ ,  $10pF \leq C_T \leq 10\mu F$ ; vì vậy độ rộng xung  $t_x$  nằm trong dài  $14ns \div 0,4s$ .

Xét các cách tạo mạch định thời cho IC 74121 : Hình 3-15b, c, d cho ta ba cách nối IC tương ứng với ba mạch định thời khác nhau. Ở hình 3-15b, ta chỉ sử dụng các thành phần định thời  $R_i$ ,  $C_i$  ở bên trong vi mạch ( $R_i = 2k\Omega$ ,  $C_i$  khoảng vài nF); độ rộng xung ở các đầu ra, tính theo (3-7) chỉ khoảng  $30 \div 40$  ns. Hình 3-15c là cách nối bò qua điện trở bên trong  $R_i$  và ta có  $R_T = R$ ,  $C_T = C_i + C$ . Hình 3-15d là cách tạo mạch định thời sử dụng phối hợp cả các điện trở và tụ bên ngoài lẫn bên trong, ta có  $R_T = R + R_i$ ,  $C_T = C + C_i$ . Nếu tụ bên ngoài C là

tụ hoá, có trị số lớn, thì cực + của tụ phải ở phía chân số 11. Trên hình vẽ còn có tụ lọc nguồn  $C_L = 0,1 \div 1 \mu F$ .

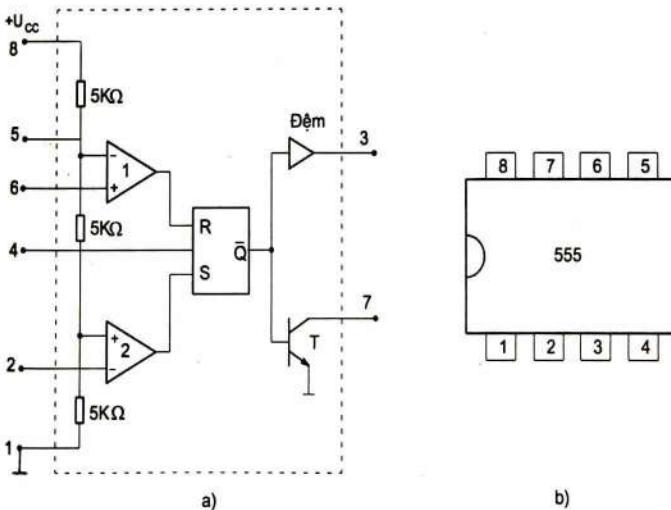
Khi điện áp nguồn cung cấp thay đổi  $\pm 5\%$  thì độ rộng xung ở đầu ra thay đổi tối đa  $\pm 2\%$ . Độ rộng xung thay đổi hầu như không đáng kể khi nhiệt độ thay đổi trong phạm vi khá rộng ( $-55^{\circ}C \div 125^{\circ}C$ ).

### 3-6. VI MẠCH ĐỊNH THỜI 555 (TIMER 555)

Timer 555 là một vi mạch định thời rất thông dụng. Nó có thể sử dụng theo nhiều chức năng : làm mạch đa hài đơn ổn hoặc phiếm định, để tạo một xung vuông đơn hay một dãy xung vuông góc lặp lại, hoặc một dãy xung tam giác. Thời gian định thời có thể thay đổi từ vài  $\mu s$  đến vài trăm giây (s) nhờ một mạch R-C đơn giản, với độ chính xác điển hình là  $\pm 1\%$ .

#### 3-6-1. Khái niệm về mạch định thời 555

Có hai loại mạch định thời thông dụng nhất là Timer 555 chế tạo theo công nghệ transistor lưỡng cực (BJT) và Timer 7555 chế tạo theo công nghệ CMOS. Điện áp cung cấp cho IC 555 là  $5 \div 15V$ , cho IC 7555 là  $2 \div 18V$ . Công suất tiêu thụ và dòng cung cấp ở IC 7555 cũng nhỏ hơn nhiều so với ở IC 555. Với nguồn  $+15V$ , IC 555 yêu cầu dòng cung cấp cỡ  $10mA$ . Dòng đầu ra cực đại của IC 555 có thể đạt tới  $200mA$  (ở IC 7555 chỉ bằng khoảng 1/2).



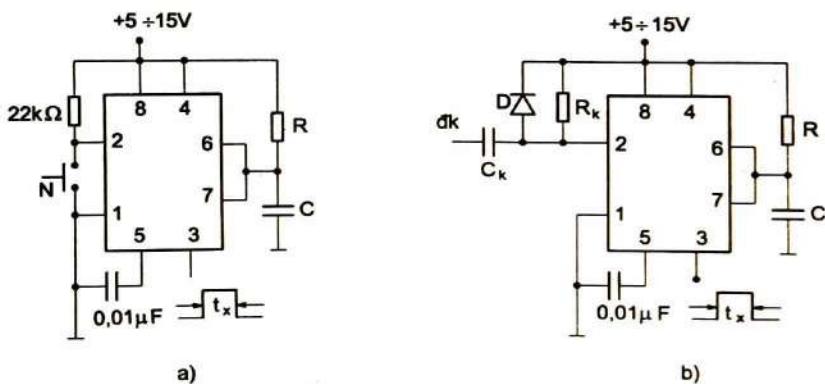
Hình 3-16. Sơ đồ khối chức năng và vỏ của IC 555

Hình 3-16a, b tương ứng là sơ đồ khối chức năng và vỏ kiểu hai hàng chân song song của IC 555. Ở đây ta chỉ xét vai trò của tám chân ( $1 \div 8$ ) trên vỏ IC ở hình 3-16b : Chân số 8 để đặt nguồn cung cấp  $U_{CC} = 5 \div 15V$ . Chân số 1 là chân nối "mát". Chân số 2 là đầu vào kích khởi (trigger), dùng để đặt xung kích thích bên ngoài khi mạch làm việc ở chế độ đa hài đơn ổn. Chân số 3 là đầu ra của IC. Chân số 4 là chân xoá (Reset) ; nó có thể điều khiển xoá điện áp đầu ra khi điện áp đặt vào chân này từ 0,7V trở xuống. Vì vậy, để có thể phát ra xung ở đầu ra, chân số 4 phải đặt ở mức cao H. Chân số 5 là chân điện áp điều khiển (Control Voltage). Ta có thể đưa một điện áp ngoài vào chân này để làm thay đổi việc định thời của mạch, nghĩa là làm thay đổi tần số dãy xung phát ra. Khi không được sử dụng thì chân 5 nối xuống "mát" thông qua một tụ khoảng  $0,01\mu F$ . Chân 6 là chân điện áp ngưỡng (Threshold). Chân 7 là chân phóng điện (Discharge).

### 3-6-2. Chế độ làm việc như mạch đa hài đơn ổn của IC 555

Hình 3-17a, b tương ứng là sơ đồ nối IC 555 theo chế độ làm việc của mạch đa hài đơn ổn, với kích thích bằng tay và kích thích tự động nhờ một xung điều khiển dk. Ở cả hai sơ đồ của hình 3-17, nếu tạo được một điện áp có biên độ dưới  $1/3$  điện áp nguồn cung cấp để đặt vào chân kích khởi số 2, thì ở đầu ra 3 của IC 555 sẽ phát ra một xung đơn vuông góc với độ rộng :

$$t_x = R C \ln 3 \approx 1,1 R \cdot C \quad (3-8)$$



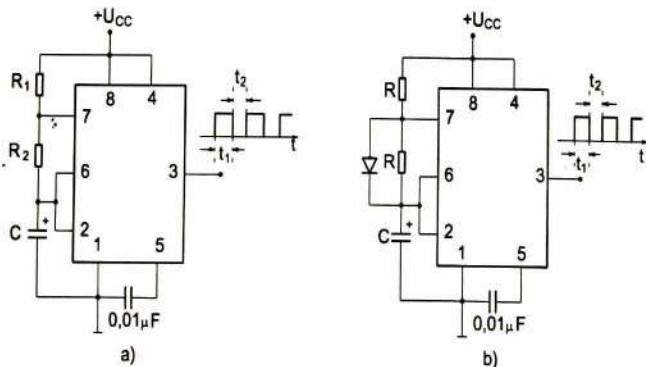
Hình 3-17. Thành lập mạch đa hài đơn ổn từ IC 555

Xét sơ đồ hình 3-17a với mạch kích khởi gồm điện trở  $22k\Omega$  nối tiếp với nút ấn bằng tay N. Khi không nhấn nút ấn, điện áp ở chân 2 bằng điện áp nguồn cung cấp  $U_{cc}$  ( $+5 \pm +15V$ ) và mạch ở trạng thái ổn định, với điện áp ở đầu ra 3 nằm ở mức thấp L ( $L \approx 0V$ ). Tại thời điểm nhấn nút ấn N, chân 2 được nối "mát", thoả mãn điều kiện kích khởi (điện áp ở chân 2 nhỏ hơn  $U_{cc}/3$ ) nên điện áp ở đầu ra 3 nhảy lên mức cao H  $\approx +U_{cc}$ . Mạch nằm ở trạng thái không ổn định với mức cao H ở đầu ra trong một thời khoảng xác định, tuỳ thuộc vào các điện trở và điện dung định thời R, C. Sau đó lại tự động quay trở lại trạng thái ổn định với mức thấp L ở đầu ra. Vậy ta nhận được ở đầu ra 3 một xung đơn vuông góc với độ rộng xung  $t_x$  tính theo (3-8).

Mạch hình 3-17a không thể tạo ra một xung đơn với độ rộng xung hẹp vì sự nhà chậm của nút ấn N. Nó chỉ thích hợp để tạo ra xung đơn có độ rộng vài chục giây trở lên. Để có được xung đơn vuông góc rất hẹp, ta phải sử dụng sơ đồ hình 3-17b với mạch kích khởi gồm  $C_k - R_k$  và diod D. Khi không có xung kích khởi dk, điện áp ở chân 2 bằng điện áp nguồn cung cấp và mạch nằm ở trạng thái ổn định. Lúc đầu xung vuông kích khởi dk với sườn lên nhảy từ 0V đến khoảng  $+U_{cc}$ , ở chân 2 sẽ xuất hiện xung danh thoả mãn điều kiện kích khởi ; mạch sẽ cho ở đầu ra 3 một xung vuông góc có độ rộng  $t_x$  tính theo (3-8). Các trị số  $C_k$ ,  $R_k$  phải chọn sao cho hằng số thời gian  $C_k R_k$  phải nhỏ hơn độ rộng xung  $t_x$  của xung ra.

### 3-6-3. Chế độ làm việc như mạch đa hài phiếm định của IC.555

Hình 3-18a là sơ đồ nối của IC 555 để nó làm việc như một mạch đa hài phiếm định. Chân ra số 3 sẽ phát ra một dãy xung vuông góc lặp lại. Từ hình 3-18a ta thấy : Thời



Hình 3-18. Dùng IC 555 làm mạch đa hài phiếm định  
và làm mạch phát dãy xung rạng cửa.

gian tồn tại xung  $t_1$  (độ rộng xung) phụ thuộc tốc độ nạp của tụ C từ nguồn cung cấp, nghĩa là tỉ lệ với hằng số thời gian nạp  $\tau_n = (R_1 + R_2)C$ , ta có :

$$t_1 = (R_1 + R_2)C \ln 2 \approx 0,7(R_1 + R_2)C \quad (3-9)$$

Thời gian không có xung  $t_2$  (thời gian nghỉ) phụ thuộc sự phỏng điện của tụ C qua chân phỏng điện số 7, nghĩa là tỉ lệ với hằng số thời gian phỏng  $\tau_p = R_2C$  và :

$$t_2 = R_2C \ln 2 \approx 0,7R_2C \quad (3-10)$$

Vậy, tần số của dãy xung ở đầu ra :

$$f = \frac{1}{T} = \frac{1}{t_1 + t_2} \approx \frac{1,44}{(R_1 + 2R_2)C} \quad (3-11)$$

Muốn nhận được dãy xung vuông góc đối xứng, nghĩa là  $t_1 = t_2 = \frac{T}{2}$  ta có thể làm theo hai cách sau :

- Chọn  $R_1 \ll R_2$ . Lúc đó, theo (3-9) và (3-10) có thể coi  $t_1 \approx t_2 = 0,7R_2C$ . Tuy nhiên không thể chọn  $R_1$  quá nhỏ được, ví dụ  $R_1 = 100\Omega$ , vì khi đó dòng đi từ nguồn  $+U_{cc}$  vào chân 7 khi transistor T dẫn (hình 3-16a) là  $\frac{+U_{cc}}{R_1}$  sẽ quá lớn, phá hỏng transistor.

- Sử dụng thêm một diod mắc song song với  $R_2$  và chọn  $R_1 = R_2 = R$ , (hình 3-18b). Ở hình 3-18b, đường nạp cho tụ C từ nguồn  $+U_{cc}$  có đi qua diod ; điện trở  $R$  nối song song với diod khi đó coi như bị ngắn mạch và hằng số thời gian của mạch nạp  $\tau_n = RC$ . Khi tụ C phỏng điện vào chân 7 thì nó không thể phỏng qua diod (vì mắc ngược) và hằng số thời gian của mạch phỏng  $\tau_p = RC$ . Ta thấy  $\tau_n = \tau_p$  nên :

$$t_1 = t_2 \approx 0,7RC$$

Dãy xung ở đầu ra là đối xứng, với tần số

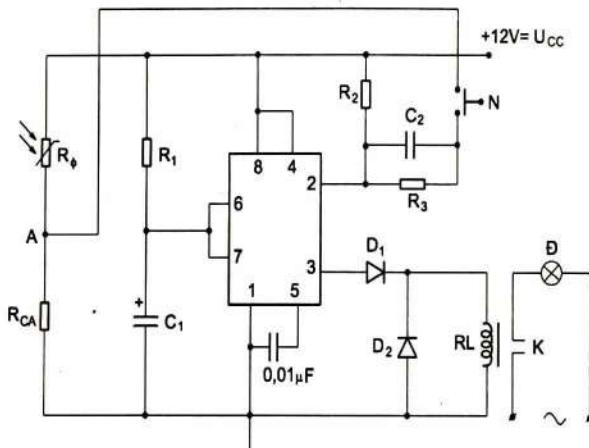
$$f = \frac{1}{T} = \frac{1}{t_1 + t_2} = \frac{1}{1,4RC} \quad (3-12)$$

### 3-7. MỘT SỐ ỨNG DỤNG THỰC TẾ CỦA IC.555

Ở trên ta vừa khảo sát việc sử dụng IC.555 làm các mạch đa hài đơn ổn và phiếm định. Chúng được phổ cập trong rất nhiều ứng dụng thực tế. Dưới đây là một số ví dụ.

**1. Mạch đa hài đơn ổn dùng IC.555** được sử dụng chủ yếu như một role thời gian, để điều khiển hoạt động của một đối tượng nào đó trong một thời gian xác

dịnh. Lấy sơ đồ hình 3-19 làm ví dụ. Đây là sơ đồ tự động bật đèn chiếu sáng ở cổng khi có khách đến vào buổi tối. Trên sơ đồ, nút ấn N dùng để phát hiện khi có khách đến (ví dụ đặt ở cổng, khi mở cổng thì nút N bị nhấn và đóng mạch).  $R_\phi$  là phân tử quang điện trở bán dẫn ; cường độ sáng chiếu vào phân tử càng mạnh thì  $R_\phi$  càng giảm. Nó dùng để phân biệt trời tối và sáng. Xét hoạt động của sơ đồ : IC.555 được đấu thành mạch da hàn đơn ổn ; tải ở chân ra 3 là cuộn dây RL của rơ le điện từ với tiếp điểm thường mở K ;  $R_\phi - R_{CA}$  hợp thành phân áp

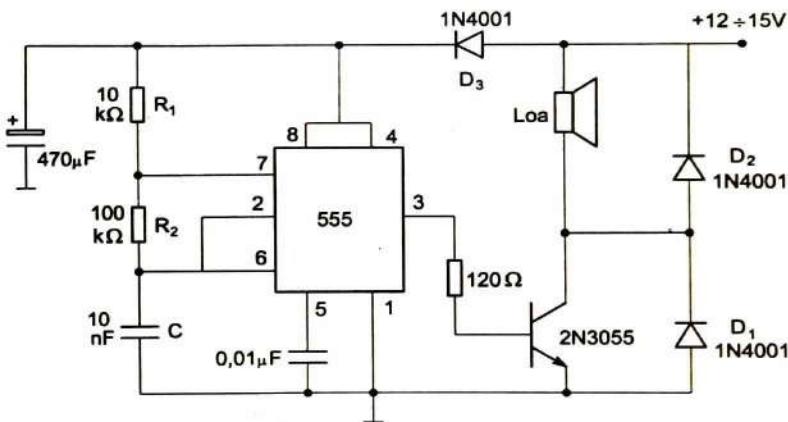


Hình 3-19. Mạch tự động bật đèn khi có khách đến vào buổi tối

và ta điều chỉnh  $R_{CA}$  ở trị số sao cho vào ban ngày  $R_\phi$  nhỏ, điện áp  $u_A$  tại điểm A lớn hơn ngưỡng kích khởi yêu cầu đặt lên chân kích khởi 2 ( $u_A > \frac{U_{cc}}{3}$ ), vào buổi tối  $R_\phi$  lớn và  $u_A$  trở nên ở dưới ngưỡng kích khởi ( $u_A < \frac{U_{cc}}{3}$ ). Khi nút N mở, toàn bộ nguồn cung cấp  $+U_{cc}$  đặt trên chân 2 nên mạch không hoạt động. Ban ngày, nếu nhấn nút N thì mạch vẫn không làm việc, vì điện áp  $u_A$  ở chân A truyền qua tụ  $C_2$  vào thẳng chân 2 vẫn cao hơn ngưỡng kích khởi. Chỉ buổi tối,  $R_\phi$  đủ lớn để  $u_A < \frac{U_{cc}}{3}$ . Nếu có khách đến, nút N bị nhấn và  $u_A$  truyền ngay qua tụ  $C_2$  tới chân 2 sẽ kích khởi sự hoạt động của IC 555. Ở đầu ra 3 xuất hiện

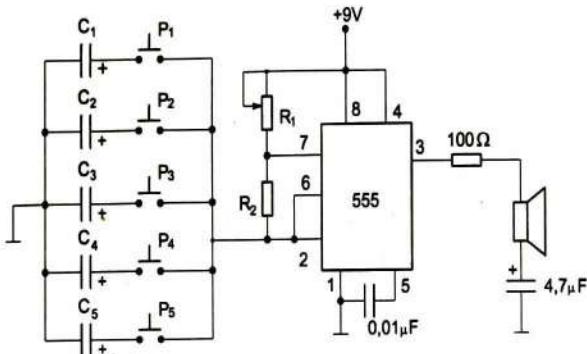
1 xung vuông, biên độ khoảng bằng  $+U_{cc}$ . Qua cuộn RL có dòng làm đóng tiếp điểm K của mạch xoay chiều, cung cấp cho đèn chiếu sáng Đ đặt ở cổng. Đèn chỉ sáng trong khoảng thời gian  $t_x \approx 1,1R_1C_1$  là thời gian tồn tại xung ở chân 3. Các linh kiện trên sơ đồ có thông số như sau :  $R_1 = 470\text{ k}\Omega$ ,  $C_1 = 100\mu\text{F}$ ,  $R_2 = 100\text{k}\Omega$ ,  $R_3 = 330\text{k}\Omega$ ,  $C_2 = 10\text{nF}$ ,  $R_{CA} = 0 \div 47\text{K}\Omega$ , phân tử quang điện trở sulfit - Cadmium có  $R_\phi = 1 \div 47\text{k}\Omega$ , cuộn dây role RL 12V, 100 $\Omega$  ;  $D_1$ ,  $D_2$  là loại 1N4001. Với các trị số  $R_1$ ,  $C_1$  như trên thì đèn Đ sẽ sáng trong vòng khoảng 50 giây.

2. Mạch đa hài phiếm định dùng IC.555 được sử dụng vào nhiều mục đích khác nhau.



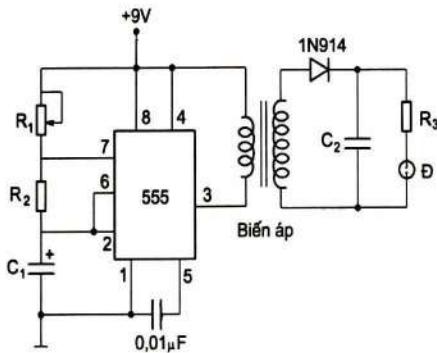
Hình 3-20. Mạch còi báo động dùng IC.555

- Hình 3-20 là sơ đồ thông dụng của mạch còi báo động dùng IC.555. Dãy xung vuông góc gần như đối xứng ở chân ra 3 điều khiển sự đóng/mở liên tục của khoá transistor 2N3055, tạo thành dãy xung dòng điện qua cuộn dây loa, làm màng loa rung với tần số bằng tần số dãy xung ở đầu ra 3. Mạch ra transistor giữ vai trò khuếch đại công suất, bảo đảm có thể chọn loa công suất khoảng vài W. Hai diod  $D_1$ ,  $D_2$  tương ứng để bảo vệ transistor và cuộn dây loa. Sự dao động liên tục và lớn của dòng qua loa gây sự biến động liên tục của điện áp nguồn cung cấp. Diод  $D_3$  và tụ  $470\mu\text{F}$  bảo đảm sự ổn định của điện áp cung cấp cho IC.555.



Hình 3-21. Đàn điện tử dùng IC.555

- Hình 3-21 là sơ đồ một đàn điện tử đơn giản dùng IC.555. Đàn có 5 phím nhấn  $P_1 \div P_5$  nối tiếp với các tụ  $C_1 \div C_5$ . Nhấn các phím khác nhau, màng loa sẽ rung với các tần số khác nhau, tạo thành một dải âm thanh xác định. Tăng số phím ấn, ta sẽ mở rộng được dải âm thanh của đàn. Trị số điển hình của các linh kiện trên sơ đồ :  $R_1 = 0 \div 100k\Omega$  ;  $R_2 = 1K\Omega$  ; loa  $8\Omega$ ,  $C_1 = 0,1\mu F$  ;  $C_2 = 0,05\mu F$  ;  $C_3 = 0,01\mu F$  ;  $C_4 = 0,005\mu F$  ;  $C_5 = 0,001\mu F$ .

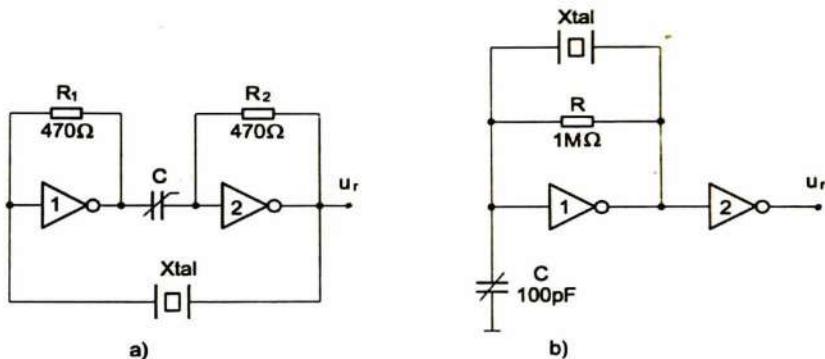


Hình 3-22. Mạch thấp sáng đèn nê-ôn dùng IC.555

- Hình 3-22 là sơ đồ nguồn cấp điện cho đèn nê-ôn dùng IC.555. Các linh kiện :  $R_1 = 0 \div 47k\Omega$  ;  $R_2 = 1k\Omega$  ;  $C_1 = 1\mu F$  ;  $C_2 = 0,1\mu F$ , 250V ;  $D$  là đèn nê-ôn 220V ;  $R_3 = 10k\Omega$ .

### 3-8. MẠCH TẠO DÃY XUNG VUÔNG GÓC DÙNG TINH THỂ THẠCH ANH

Khi cần dãy xung vuông góc với độ chính xác tần số rất cao, tần số dãy xung cũng cao (thường là  $1\text{MHz} \div 10\text{MHz}$ ), người ta hay dùng mạch phát xung thạch anh. Ở đây, tinh thể thạch anh áp điện được sử dụng như mạch cộng hưởng cơ điện với độ chính xác rất cao.



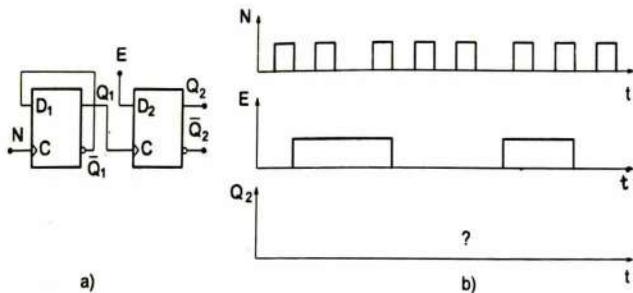
Hình 3-23. Các mạch phát xung vuông góc dùng tinh thể thạch anh

Hình 3-23a dùng 2 phần tử ĐÀO họ TTL của IC 74LS04 để tạo thành mạch phát xung thạch anh có tần số ở trong dải từ vài trăm kHz đến 10MHz. Tinh thể thạch anh loại hoạt động kiểu nối tiếp. Tụ C khoảng vài nF và phải chỉnh định theo tần số của dãy xung ra.

Hình 3-23b dùng hai phần tử ĐÀO của vi mạch họ CMOS (IC 4049B) để hợp thành với tinh thể thạch anh hoạt động kiểu song song, tạo thành mạch phát dãy xung vuông góc với tần số cõi MHz.

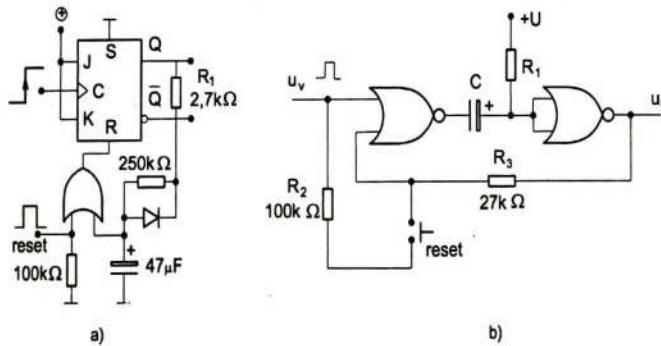
## CÂU HỎI VÀ BÀI TẬP CHƯƠNG 3

- 3-1. Flip-Flop là gì ? Phân biệt các loại S-R FF, J-K FF, D-FF và T-FF.
- 3-2. Tại sao nói J-K FF là loại Flip-Flop vạn năng ? Hãy thành lập T-FF từ J-K FF và từ D-FF.
- 3-3. Cho mạch hình 3-24a. Hãy vẽ đồ thị thời gian của tín hiệu ở đầu ra Q<sub>2</sub>, theo đồ thị thời gian của các tín hiệu vào N, E cho ở hình 3-24b.



Hình 3-24. Bài tập số 3-3

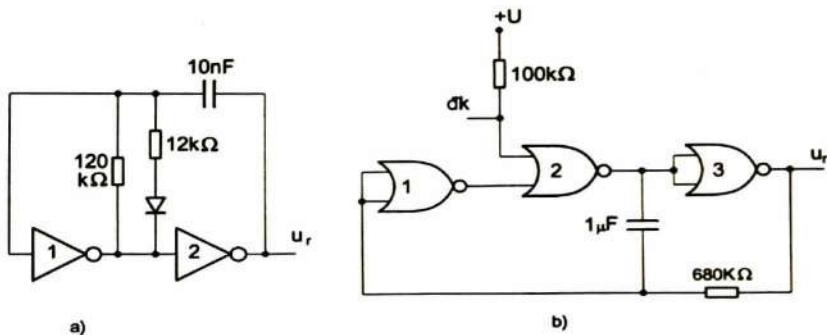
- 3-4. Cho mạch đa hài đơn ổn ở hình 3-25a. Mạch có điểm khác với mạch ở hình 3-9c là có thêm đầu vào xoá reset. Thuyết minh hoạt động của mạch và phỏng chừng độ rộng của xung vuông góc ở đầu ra Q, khi mạch được kích thích.



Hình 3-25. Bài tập số 3-4 và số 3-5

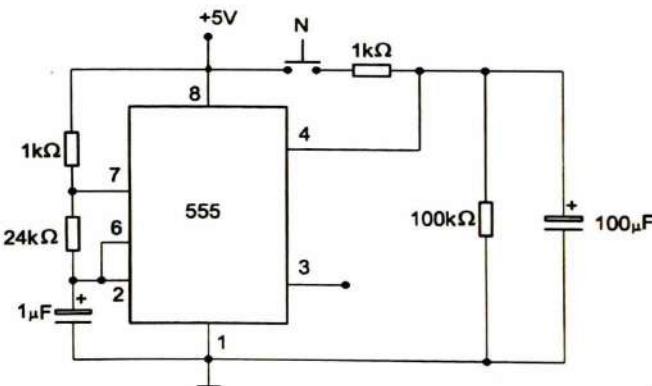
- 3-5. Mạch đa hài đơn ổn ở hình 3-25b có một điểm khác so với mạch ở hình 3-10a là : Mạch có thêm nút ấn reset để có thể xoá xung đơn ở đầu ra tại thời điểm bắt kí trong khoảng thời gian mạch đang ở trạng thái không ổn định. Thuyết minh hoạt động của mạch.
- 3-6. Mạch đa hài phiếm định ở hình 3-26a có điểm khác so với mạch ở hình 3-11a là : Sự nạp điện cho tụ 10nF theo hai chiều ngược nhau, chạy theo hai

đường khác nhau. Phân tích hoạt động của mạch và chỉ ra sự khác nhau giữa dãy xung vuông góc ở đầu ra của nó với dãy xung ở đầu ra hình 3-11a.



Hình 3-26. Bài tập số 3-6 và số 3-7.

- 3-7. Thuyết minh hoạt động của mạch đa hài phiếm định ở hình 3-26b. Các phần tử NOR trong mạch lấy từ IC họ CMOS 4001 B.



Hình 3-27. Bài tập số 3-8

- 3-8. Hãy đọc lại vai trò của các chân trong IC.555 và chứng tỏ rằng : Khi ấn nút nhấn N thì mạch đa hài phiếm định ở hình 3-27 hoạt động và phát ra dãy xung vuông góc ở đầu ra 3. Sau khi nhả nút nhấn N thì mạch vẫn tiếp tục phát ra dãy xung trong một khoảng thời gian nữa.

## Chương 4

# MẠCH SO SÁNH SỐ - BỘ SỐ HỌC VÀ LÔGIC

Có nhiều mạch chuyên dụng thực hiện các phép tính số học và logic trên hai toán hạng nhị phân n bit  $A_n\{a_{n-1}a_{n-2}\dots a_1a_0\}$  và  $B_n\{b_{n-1}b_{n-2}\dots b_1b_0\}$ . Ví dụ mạch thực hiện phép cộng số học hai số nhị phân n bit, mạch làm phép nhân hai số nhị phân n bit, mạch so sánh hai số nhị phân n bit . Đặc biệt là bộ số học và logic, có thể thực hiện được nhiều phép tính số học và logic trên hai toán hạng.

Ở đây ta hiểu chung toán hạng là một đối tượng để ta làm các phép tính trên nó. Toán hạng nhị phân n bit là một dãy n số hạng, trong đó mỗi số hạng chỉ có thể mang giá trị 0 hay 1 và gọi là bit. Hai toán hạng nhị phân n bit có thể là hai số nhị phân (xem phụ lục 3) để ta làm các phép tính số học (cộng, trừ, nhân, chia) trên chúng. Hai toán hạng nhị phân cũng có thể chỉ là hai dãy n bit để ta thực hiện các phép tính logic (tuyễn, hội, phủ định...) trên chúng.

Ngày nay, với sự phát triển mạnh mẽ và ứng dụng rộng khắp của kỹ thuật vi xử lí, việc sử dụng các mạch logic thuật toán chuyên dụng kể trên trở nên rất hân hưu. Vì vậy chương này chỉ giới thiệu về hai mạch : Mạch so sánh hai số nhị phân và bộ tính toán số học, logic.

### 4.1. MẠCH SO SÁNH SỐ (digital comparator)

- Mạch so sánh số dùng để so sánh định tính hai số nhị phân n bit  $A_n$ ,  $B_n$ . Kết quả so sánh được thể hiện bằng các biến logic ở 3 đầu ra, chỉ sự bằng nhau, lớn hơn hay bé hơn của hai số nhị phân.

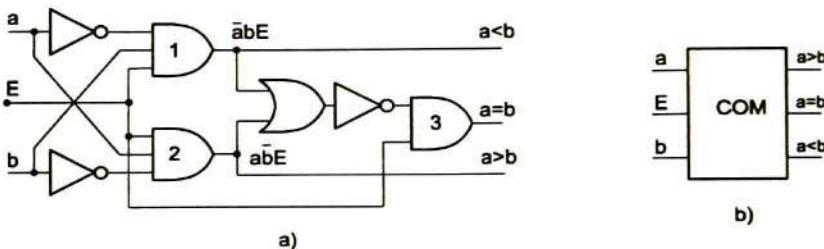
- Xét *mạch so sánh hai bit* nhị phân a và b. Ta thấy :

Khi  $a > b$ , ( $a = 1$ ,  $b = 0$ )  $\rightarrow a \cdot \bar{b} = 1$  ;

Khi  $a < b$ , ( $a = 0$ ,  $b = 1$ )  $\rightarrow \bar{a} \cdot b = 1$  ;

$$\text{Khi } a = b \rightarrow \overline{a \oplus b} = \overline{\overline{a} \cdot b + \overline{b} \cdot a} = 1. \quad (4-1)$$

Vậy, mạch so sánh hai bit nhị phân thực chất là mạch của phần tử tương đương (xem mục 1-7-3) nhưng có 3 đầu ra để chỉ kết quả so sánh. Hình 4-1a là mạch so sánh hai bit nhị phân, thành lập dựa trên quan hệ logic (4-1). Mạch có 3 đầu ra ( $a > b$ ,  $a < b$ ,  $a = b$ ) để chỉ kết quả so sánh. Quan hệ giữa  $a$  và  $b$  như thế nào thì đầu ra tương ứng với quan hệ đó sẽ có giá trị 1 logic (tương ứng với mức điện áp cao H), hai đầu ra còn lại ở giá trị 0 logic (mức thấp L). Trên hình 4-1a



Hình 4-1. Mạch và kí hiệu của phần tử so sánh hai bit nhị phân

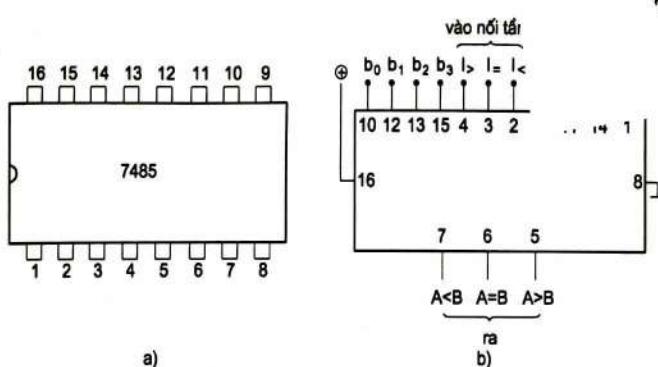
còn bổ sung thêm đầu điều khiển "cho phép làm việc" E (Enable). Khi  $E = 0$  logic, cả ba phần tử VÀ số 1, 2, 3 đều đóng, ba đầu ra của mạch đều có giá trị 0 logic, độc lập với quan hệ  $a$  và  $b$ . Vậy, khi  $E = 0$  mạch bị khoá, không được phép làm việc. Khi  $E = 1$ , các phần tử VÀ mở và chuyển kết quả so sánh tới ba đầu ra. Hình 4-1b là kí hiệu của phần tử so sánh một cặp bit  $a$ ,  $b$ .

- Khi so sánh hai số nhị phân  $n$  bit, ta so sánh tuần tự từng cặp bit có trọng số tương đương, bắt đầu từ cặp có trọng số lớn nhất, dần tới cặp có trọng số nhỏ nhất. Cách so sánh này gọi là so sánh kiểu tuần tự. Bài tập 4-4 giới thiệu mạch so sánh hai số nhị phân kiểu tuần tự gồm các phần tử so sánh một cặp bit nối tầng với nhau. Mạch so sánh kiểu này có tốc độ so sánh chậm.

Để tăng tốc độ so sánh, các vi mạch so sánh số hiện nay đều thành lập dựa trên việc so sánh đồng thời các cặp bit cùng trọng số. Mạch so sánh 4 bit kiểu này chỉ có thời gian so sánh khoảng vài chục ns.

## 4-2. VI MẠCH SO SÁNH 74xx85

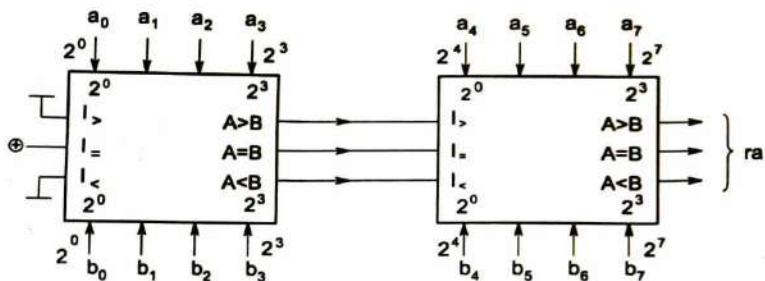
Có các chip vi mạch so sánh 4, 8, 12, 16 bit. Thông dụng và dễ kiếm nhất là các vi mạch so sánh 4 bit; Ví dụ các "chip" 74xx85 họ TTL hoặc 4585 họ CMOS.



Hình 4-2. Vỏ và sơ đồ chân của IC 7485

- Hình 4-2a là vỏ kiểu hai hàng chân song song của vi mạch so sánh 4 bit họ TTL, IC.74xx85. Nó có 16 chân, đánh số từ 1 ÷ 16 theo chiều ngược kim đồng hồ. Hình 4-2b là sơ đồ bố trí các chân của IC. Hai số nhị phân 4 bit cần so sánh là  $A\{a_3a_2a_1a_0\}$  và  $B\{b_3b_2b_1b_0\}$ , trong đó  $a_0, b_0$  là các bit có trọng số thấp nhất ( $2^0$ ) và  $a_3, b_3$  là bit có trọng số lớn nhất ( $2^3$ ). Những chữ số trong hình vẽ chỉ số thứ tự các chân. Chân số 5, 6, 7 là ba đầu ra tương ứng chỉ quan hệ lớn hơn, bằng và bé hơn của hai số A và B. Quan hệ A và B như thế nào thì đầu ra có quan hệ tương ứng sẽ nhảy lên mức logic cao H, hai đầu còn lại ở mức logic thấp L. Ví dụ nếu A > B thì đầu ra số 5 sẽ ở mức H. Vì mạch có ba đầu vào nối tầng  $I_{>}, I_=_, I_{<}$ , (các chân số 4, 3, 2). Các chân này dùng khi cần nối tầng các IC 7485. Nguồn cung cấp +5V và "mát" đặt ở chân 16 và 8. Khi dùng riêng lẻ IC 7485 để so sánh hai số nhị phân 4 bit, đầu vào nối tầng  $I_=_$  (chân số 3) phải treo lên mức logic cao H (diện áp nguồn cung cấp), hai đầu  $I_{>}, I_{<}$  (chân 2, 4) cần nối với "mát".

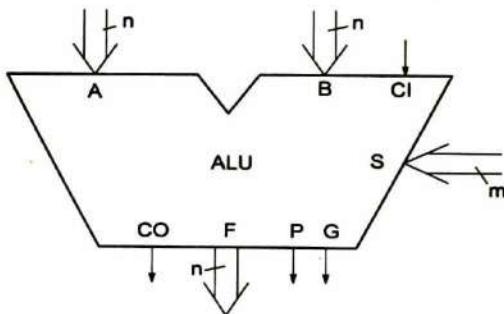
- Để có được mạch so sánh hai số nhị phân dài hơn 4 bit, ta phải nối tầng các IC 7485. Hình 4-3 là mạch so sánh gồm hai IC 7485 nối tầng. Chúng tạo thành mạch so sánh hai số nhị phân 8 bit:  $A\{a_7a_6\dots a_1a_0\}$  và  $B\{b_7b_6\dots b_1b_0\}$ . Ba đầu ra của "chip" trọng số thấp ( $2^0 \div 2^3$ ) phải nối với ba đầu vào nối tầng của "chip" có trọng số cao hơn liền kề ( $2^4 \div 2^7$ ).



Hình 4-3. Nối tầng hai IC 7485

#### 4-3. BỘ SỐ HỌC VÀ LOGIC (Arithmetic and Logic Unit → ALU)

1. Bộ số học và logic (ALU) là một "chip" vi mạch có khả năng làm nhiều các phép tính số học và logic khác nhau trên hai toán hạng nhị phân  $n$  bit.



Hình 4-4. Sơ đồ khối của ALU

Hình 4-4 là sơ đồ khối của một ALU. Nó gồm những loại kênh vào/ra sau :

- **Hai kênh vào số liệu** (Data bus) A, B có độ dài  $n$  bit để đặt các toán hạng (Mỗi kênh có  $n$  dây dẫn để dẫn  $n$  bit của một toán hạng). Ngoài ra còn có một dây vào CI, gọi là *dây vào mang sang* (Carry In). Nó dùng để nhận giá trị nhớ/vay gửi sang từ "chip" ALU có trọng số thấp hơn (khi nối tầng các ALU) trong phép tính cộng/trừ số học.

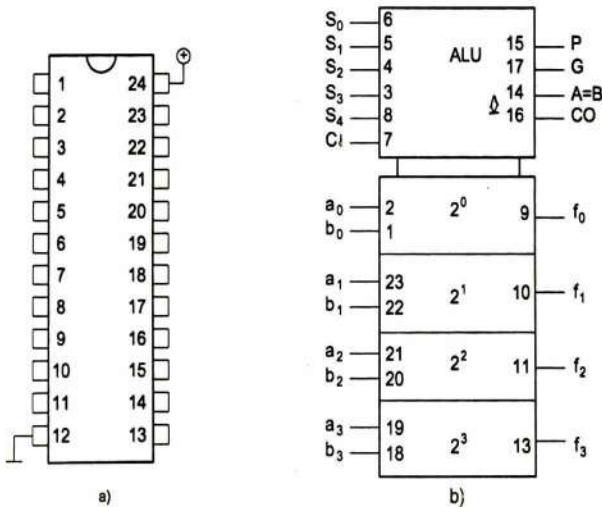
- Kênh **chọn thuật toán** S có độ dài  $m$  bit. Ứng với mỗi tổ hợp của S, ALU sẽ được lệnh thực hiện một phép tính xác định trên hai toán hạng A, B.

- Kết quả tính toán được chuyển tới **kênh ra số liệu F** có độ dài n bit và **đầu ra mang sang CO** (Carry Out). Như đã biết ở phụ lục 3, khi cộng số học hai số nhị phân n bit, kết quả nhận được có thể là  $n + 1$  bit. Giá trị 1/0 của bit có trọng số cao nhất ( $2^n$ ) sẽ được đưa tới đầu ra CO, kết quả của n bit còn lại (trọng số  $2^0 + 2^{n-1}$ ) được gửi tới kênh ra số liệu F. Ví dụ : Một ALU 4 bit thực hiện phép cộng số học hai số nhị phân A = 0110 và B = 1110 sẽ cho kết quả ở cửa ra như sau :

Mang sang C	=	1	1	1	0	
A	=		0	1	1	0
+	B	=		1	1	1
		<hr/>	1	0	<u>1</u>	0
			↓		↓	
		A + B	=	CO	F	

Ở cửa ra ALU cho kết quả : CO = 1, F = 0100. Khi cần nối tầng các ALU n bit để được một ALU có độ dài lớn hơn n bit, đầu ra CO chính là số nhớ/vay mang sang đầu CI của ALU có trọng số cao hơn trong phép tính cộng/trừ số học.

Ngoài ra, ở cửa ra ALU còn có hai đầu ra P, G. Các đầu này được sử dụng khi ta cần nối tầng các ALU theo kiểu "nhớ song song".



Hình 4-5. Vỏ và sơ đồ khối của IC.74181

**2. Vi mạch 74181.** Các "chip" ALU thường gặp như IC.74181, 74381, 74382 (họ TTL) và 40181, 4581 (họ CMOS) đều là các ALU 4 bit.

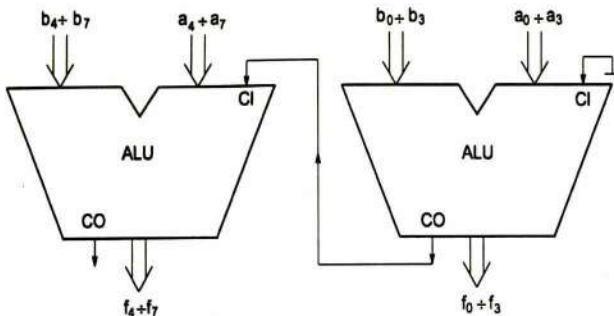
Hình 4-5a, b tương ứng giới thiệu vỏ và sơ đồ khối chỉ rõ sự bố trí các chân của IC.74181. Các số ghi ở các đầu vào/ra trên hình 4-5b chỉ số thứ tự chân trên vỏ. Hai kênh số liệu vào 4 bit là A { $a_3a_2a_1a_0$ } và B { $b_3b_2b_1b_0$ }. Kênh ra số liệu 4 bit là F{ $f_3f_2f_1f_0$ }. Đặc biệt IC 74181 còn có đầu ra A = B (chân số 14) chỉ sự bằng nhau của hai toán hạng. Đầu ra này là loại cực cúp để hở (xem mục 1-10-3b). Với phép tính trừ số học đặt vào ALU ( $S_4S_3S_2S_1S_0 = 00110$ ), nếu A = B thì đầu ra A = B sẽ nhảy lên mức logic cao H.

IC 74181 có 5 đầu vào chọn thuật toán  $S_4 \div S_0$  để lệnh cho ALU các phép tính mà nó cần thực hiện. Với 5 đầu chọn thuật toán, ALU có thể thực hiện được  $2^5 = 32$  phép tính số học và logic khác nhau. Bảng 4-1 dưới đây giới thiệu các phép tính ALU thực hiện ứng với những tổ hợp  $S_4S_3S_2S_1S_0$  khác nhau.

Bảng 4-1

$S_3S_2S_1S_0$	$S_4 = 1$	$S_4 = 0$	
	Phép tính F =	$Cl = 1$	$Cl = 0$
		Phép tính F =	Phép tính F =
0 0 0 0	$\bar{A}$	A	$A + 1$
0 0 0 1	$\overline{A \vee B}$	$A \vee B$	
0 0 1 0	$\overline{AB}$	$A \vee \overline{B}$	
0 0 1 1	0	-1	0
0 1 0 0	$\overline{AB}$	$A + A\bar{B}$	
0 1 0 1	$\overline{B}$	$(A \vee B) + A\bar{B}$	
0 1 1 0	$A \oplus B$	$A - B - 1$	$A - B$
0 1 1 1	$A\bar{B}$	$A\bar{B} - 1$	
1 0 0 0	$\overline{A \vee B}$	$A + AB$	
1 0 0 1	$\overline{A \oplus B}$	$A + B'$	
1 0 1 0	B	$(A \vee \overline{B}) + AB$	
1 0 1 1	AB	$AB - 1$	
1 1 0 0	1	$A + A = 2A$	
1 1 0 1	$A \vee \overline{B}$	$(A \vee B) + A$	
1 1 1 0	$A \vee B$	$(A \vee \overline{B}) + A$	
1 1 1 1	A	$A - 1$	

Trong bảng 4-1, các kí hiệu  $AB$ ,  $A \vee B$  tương ứng là phép nhân và phép cộng logic giữa hai toán hạng  $A$ ,  $B$ . Các kí hiệu  $A + B$ ,  $A - B$  tương ứng là phép cộng và phép trừ số học của hai toán hạng.



Hình 4-6. Nối tầng hai ALU kiểu "nhớ nối tiếp".

**3. Nối tầng các ALU.** Khi cần có ALU với các toán hạng dài hơn 4 bit, ta có thể nối tầng các "chip" ALU 4 bit kể trên. Có hai cách nối tầng :

- Nối tầng "nhớ nối tiếp" (hình 4-6). Ưu điểm của cách nối tầng này là đơn giản nhưng tốc độ tính toán chậm.

• Nối tầng "nhớ song song". Ta sử dụng các đầu ra P, G của các ALU để xây dựng một mạch logic tổ hợp đặc biệt, cho phép tính đồng thời các giá trị nhớ mang sang của các ALU, để đưa vào các đầu CI của ALU có trọng số cao hơn liên kế. Do vậy mà tốc độ tính toán sẽ nhanh hơn. Mạch logic tổ hợp đặc biệt này gọi là "mạch nhớ nhanh" và cũng được chế tạo dưới dạng các vi mạch. Ví dụ IC 74182 là "mạch nhớ nhanh" dùng kèm với các IC 74181 để có được mạch nối tầng nhớ song song ; IC 4582 là "mạch nhớ nhanh" dùng cho việc nối tầng nhớ song song của các IC 4581. Ở đây ta không xét chi tiết kiểu nối tầng này.

#### 4.4. ỨNG DỤNG CỦA CÁC PHÉP TÍNH LOGIC TRÊN HAI TOÁN HẠNG NHỊ PHÂN $n$ BIT

Khi xét về bộ số học và logic ở trên, ta có nói tới các phép tính logic trên hai toán hạng nhị phân  $n$  bit. Vậy quy tắc thực hiện các phép tính này như thế nào ? Chúng được ứng dụng làm gì ? Mục này sẽ trả lời cho hai câu hỏi trên.

##### 4.4.1. Các phép tính logic trên hai toán hạng nhị phân

Một phép tính logic trên hai toán hạng nhị phân  $n$  bit  $A$ ,  $B$  đặt ở ALU được hiểu là : Ta thực hiện phép tính logic đó riêng rẽ cho từng cặp bit tương ứng của

hai toán hạng trên ALU và kết quả cũng đưa ra bit tương ứng của kênh ra số liệu F. Ví dụ  $A = a_3a_2a_1a_0$ ,  $B = b_3b_2b_1b_0$  và  $F = f_3f_2f_1f_0$  thì :

$$F = A \vee B \text{ hiểu là } \begin{cases} f_3 = a_3 \vee b_3 \\ f_2 = a_2 \vee b_2 \\ f_1 = a_1 \vee b_1 \\ f_0 = a_0 \vee b_0 \end{cases}$$

Lấy các ví dụ cụ thể ; cho  $A = 1101$ ,  $B = 0101$  thì :

$$\begin{array}{rcl} \vee & A = 1101 & A = 1101 & \oplus & A = 1101 \\ & B = 0101 & B = 0101 & & B = 0101 \\ \hline & F = 1101 & F = 0101 & & F = 1000 \end{array}$$

Cần lưu ý là đâu vào CI của ALU không có ảnh hưởng gì tới kết quả của các phép tính logic trên hai toán hạng. Đâu ra CO cũng không chịu ảnh hưởng của phép tính logic.

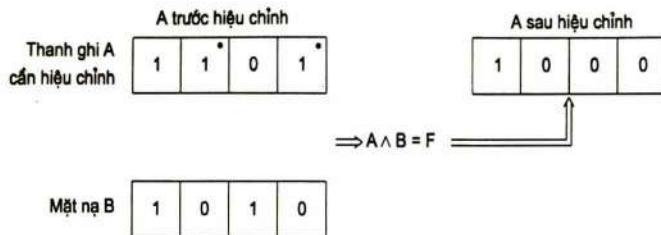
#### 4-4-2. Ứng dụng

Có rất nhiều ứng dụng của các phép tính logic trên hai toán hạng nhị phân n bit. Một ứng dụng phổ biến và cũng dễ thấy nhất là dùng các phép tính logic để **xoá, dựng, hay đảo** một số bit nào đó của dữ liệu đã chứa ở một thanh ghi.

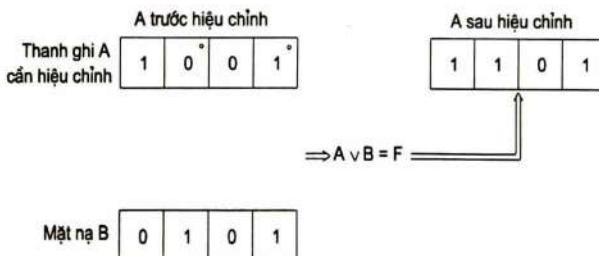
Khái niệm về thanh ghi sẽ trình bày ở mục 6-1. Ở đây ta hiểu thanh ghi là một phần tử dùng để ghi và lưu giữ các bit thông tin.

- Ta dùng phép tính nhân logic trên hai toán hạng n bit để **xoá** một số bit nào đó trong một thanh ghi n bit. Cách làm như sau : Xây dựng một thanh ghi n bit gọi là "mặt nạ" (Mask). Trong "mặt nạ" ta ghi giá trị 0 vào vị trí các bit tương ứng với vị trí của các bit ta định xoá trong thanh ghi cần hiệu chỉnh ; các bit còn lại của "mặt nạ" ghi giá trị 1 logic. Sau đó ta làm phép nhân logic giữa nội dung trong hai thanh ghi "mặt nạ" và thanh ghi cần hiệu chỉnh. Cuối cùng kết quả đem ghi trở lại vào thanh ghi cần hiệu chỉnh. Hình 4-7 cho một ví dụ về cách xoá hai bit ở các ô có dấu ".." trong thanh ghi cần hiệu chỉnh A.

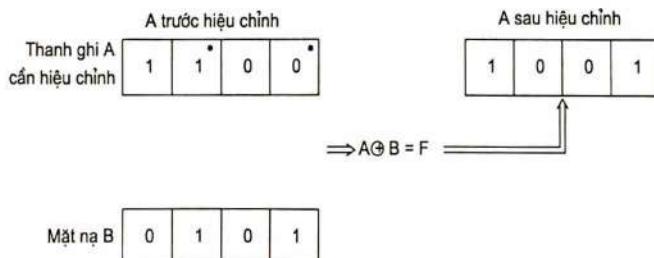
- Có thể dùng phép cộng logic trên hai toán hạng n bit để **dựng** (ghi giá trị 1) một số bit nào đó trong một thanh ghi n bit. Cách làm như sau : Tạo một "mặt nạ", trong đó ta ghi giá trị 1 vào vị trí các bit tương ứng với vị trí các bit ta định dựng trong thanh ghi cần hiệu chỉnh ; các bit còn lại của "mặt nạ" đặt giá trị 0 logic. Sau đó làm phép cộng logic giữa "mặt nạ" và thanh ghi cần hiệu chỉnh. Kết quả đem ghi trở lại vào thanh ghi cần hiệu chỉnh. Hình 4-8 là một ví dụ về cách dựng hai bit ở các ô có dấu ".." trong thanh ghi cần hiệu chỉnh.



Hình 4-7. Xoá một số bit trong thanh ghi



Hình 4-8. Cách dựng một số bit trong thanh ghi



Hình 4-9. Cách đảo một số bit trong thanh ghi

- Để *đảo* một số bit trong thanh ghi ta có thể dùng phép tính XOR (HOẶC LOẠI TRỪ) trên hai toán hạng nhị phân n bit. Cách làm tương tự đã trình bày ở