

Ghi chú:

- Các đáp án điền vào khung trả lời câu hỏi phải viết bằng chữ in HOA. Bất kỳ hình thức trả lời nào vi phạm quy định trên đều không được chấp nhận.
- Sinh viên không được phép mang tài liệu.
- Sinh viên phải nộp lại toàn bộ đề thi sau khi làm bài. Nếu đề thi thiếu trang sẽ xem như bài làm không hợp lệ.

Họ và tên:..... Mã số học viên:

Bảng trả lời câu hỏi (đáp án điền vào bằng chữ in HOA)

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
A	B	C	D	D	A	A	A	C	D	C	D	D	D	D
16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
B	A	A	B	D	A	B	C	B	B	D	C	A	C	B
31	32	33	34	35	36	37	38	39	40	41	42	43	44	45
A	D	A	C	A	C	B	C	B	C	D	B	D	C	A

Câu hỏi

- Chọn định nghĩa chính xác khi nói về tính cục bộ thời gian (Temporal locality) khi nói về Cache.
 - Các mục được truy cập gần đây có thể sẽ sớm được truy cập lại.
 - Các mục gần những mục được truy cập gần đây có thể sẽ sớm được truy cập.
 - Các mục được truy cập gần đây có thể sẽ không được truy cập lại.
 - Các mục gần những mục được truy cập gần đây có thể sẽ không được truy cập.
- Chọn định nghĩa chính xác khi nói về tính cục bộ không gian (Spatial locality) khi nói về Cache.
 - Các mục được truy cập gần đây có thể sẽ sớm được truy cập lại.
 - Các mục gần những mục được truy cập gần đây có thể sẽ sớm được truy cập.
 - Các mục được truy cập gần đây có thể sẽ không được truy cập lại.
 - Các mục gần những mục được truy cập gần đây có thể sẽ không được truy cập.
- Đâu là thứ tự chính xác khi nói về phân cấp bộ nhớ trong máy tính theo thứ tự từ dung lượng thấp đến cao
 - Cache -> Secondary drive -> Main memory
 - Secondary drive -> Cache -> Main memory
 - Cache -> Main memory -> Secondary drive
 - Secondary drive -> Main memory -> Cache

4. Đây là thứ tự chính xác khi nói về phân cấp bộ nhớ trong máy tính theo thứ tự từ tốc độ thấp đến cao
 - A) Cache -> Secondary drive -> Main memory
 - B) Secondary drive -> Cache -> Main memory
 - C) Cache -> Main memory -> Secondary drive
 - D) Secondary drive -> Main memory -> Cache
5. Khái niệm nào sau đây chỉ đơn vị nhỏ nhất cache thực hiện khi trao đổi dữ liệu
 - A) Bit
 - B) Byte
 - C) Word
 - D) Block
6. Trong cấu trúc địa chỉ truy xuất cache, những trường nào sau đây được lưu trữ
 - A) Valid, Tag, Data
 - B) Index, Valid, Tag, Data
 - C) Index, Tag, Data
 - D) Index, Valid, Tag
7. Đặc điểm nào sau đây đặc trưng cho một cache fully-associative.
 - A) Chỉ có tag được so sánh để truy xuất dữ liệu cần thiết.
 - B) Sử dụng index để trỏ đến ô nhớ chứa block cần truy xuất, sau đó so sánh tag.
 - C) Các dữ liệu có Valid bit là 0 sẽ nằm ở Secondary drive.
 - D) Tính set, index từ địa chỉ truy xuất, so sánh tag kiểm tra dữ liệu khả dụng.
8. Trong bộ nhớ ảo, hiện tượng Page fault xảy ra khi:
 - A) Page Table Entry (PTE) trong Page Table có Valid bit là 0
 - B) Page Table Entry không tồn tại trong Page Table.
 - C) Page Table Entry không nằm trong TLB.
 - D) Page Table Entry không tồn tại.
9. Phát biểu nào sau đây đúng khi nói về TLB
 - A) TLB được cấp phát bởi hệ điều hành khi một ứng dụng được khởi chạy.
 - B) Khi một Page Table Entry không nằm trong TLB, đó là hiện tượng Page Fault.
 - C) TLB là một cache phần cứng tăng tốc quá trình dịch địa ảo sang địa chỉ vật lý.
 - D) TLB có thể được lưu trữ ở Secondary drive.
10. Tốc độ dịch địa chỉ ảo sang địa chỉ vật lý có thể cải thiện bằng phương pháp nào sau đây.
 - A) Cải tiến công nghệ sản xuất RAM.
 - B) Sử dụng cache tăng tốc.
 - C) Cải tiến giải thuật.
 - D) Tất cả đều đúng.
11. Phát biểu nào sau đây đúng về cơ chế pipeline.
 - A) Pipeline cải thiện hiệu suất của CPU bằng cách tăng số lượng nhân CPU.
 - B) Cơ chế pipeline cho phép một lệnh có thể bắt đầu ngay sau khi lệnh trước đó hoàn thành.
 - C) Cơ chế pipeline chia tác vụ thực thi của một lệnh thành nhiều phần khác nhau để khai thác tối đa mức độ sử dụng của phần cứng.
 - D) Khi thực thi một lệnh, số chu kỳ thực thi của CPU sẽ giảm đi nếu áp dụng cơ chế pipeline.

12. Với một CPU MIPS áp dụng cơ chế pipeline 5 chu kỳ, lệnh nào sau đây có số chu kỳ thực thi dài nhất.
- A) load B) store C) add D) Như nhau
13. Phát biểu nào sau đây đúng khi so sánh lệnh beq và j
- A) Lệnh beq có thể nhảy đến địa chỉ xa hơn từ lệnh đang thực thi so với lệnh j.
- B) Lệnh j chỉ thực hiện rẽ nhánh chương trình nếu điều kiện so sánh được thỏa mãn.
- C) Khi thực hiện lệnh beq, cần hủy lệnh đã nạp vào bộ xử lý, còn lệnh j thì không cần.
- D) Tính toán địa chỉ của lệnh beq và j thực hiện ở giai đoạn Decoder.
14. Phát biểu nào sau đây đúng khi nói về hiện tượng Data hazard
- A) Xảy ra khi có nhiều hơn 1 tác vụ cùng yêu cầu truy xuất một tài nguyên phần cứng.
- B) Data hazard xảy ra khi thực thi các lệnh rẽ nhánh.
- C) Áp dụng cơ chế forwarding có thể giải quyết tất hiện tượng data hazard mà không cần chờ.
- D) Có thể giải quyết tất cả các hiện tượng Data hazard gây ra bởi các lệnh nhóm R bằng cơ chế forwarding mà không cần stall.
15. Cơ chế nào sau đây có thể giải quyết hiện tượng stall khi thực hiện lệnh j.
- A) Dự đoán rẽ nhánh. C) Bỏ qua rẽ nhánh.
- B) Forwarding. D) Tất cả đều sai.
16. Điều kiện nào sau đây xảy ra khi một lệnh load gây ra Data hazard
- A) EX/MEM.RegWrite && EX/MEM.RegisterRd = ID/EX.RegisterRs
- B) MEM/WB.RegWrite && MEM/WB.RegisterRd = ID/EX.RegisterRs
- C) EX/MEM.RegisterRd = ID/EX.RegisterRs
- D) MEM/WB.RegisterRd = ID/EX.RegisterRs
17. Trong mô hình pipeline 5 chu kỳ của bộ xử lý MIPS, thứ tự thực hiện nào sau đây là đúng
- A) Instruction Fetch -> Decode -> Execute -> Mem -> Writeback
- B) Instruction Fetch -> Decode -> Execute -> Writeback -> Mem
- C) Instruction Fetch -> Execute -> Decode -> Writeback -> Mem
- D) Decode -> Writeback -> Mem -> Instruction Fetch -> Execute

Dữ liệu sau dùng cho câu hỏi 18 đến 24

Đoạn chương trình sau được thực thi trên bộ xử lý MIPS với 5 chu kỳ pipeline:

(1) or \$t1, \$t2, \$t3

(2) or \$t2, \$t1, \$t4

(3) or \$t1, \$t1, \$t2

Cho biết thời gian của 1 chu kỳ thực hiện của bộ xử lý trên khi được hiện thực các cơ chế chuyển tiếp dữ liệu (forwarding) như sau:

Hiện thực 1: Không sử dụng forwarding -> 5ns

Hiện thực 2: Sử dụng forwarding EX/MEM -> 8ns

Hiện thực 3: Sử dụng forwarding EX/MEM, MEM/WB -> 10ns

Cho bảng giá trị forward sau

Mux control	Source	Explanation
ForwardA = 00	ID/EX	The first ALU operand comes from the register file.
ForwardA = 10	EX/MEM	The first ALU operand is forwarded from the prior ALU result.
ForwardA = 01	MEM/WB	The first ALU operand is forwarded from data memory or an earlier ALU result.
ForwardB = 00	ID/EX	The second ALU operand comes from the register file.
ForwardB = 10	EX/MEM	The second ALU operand is forwarded from the prior ALU result.
ForwardB = 01	MEM/WB	The second ALU operand is forwarded from data memory or an earlier ALU result.

ForwardA thực hiện forward cho Rs, ForwardB thực hiện forward cho Rt

18. Tần số hoạt động của các hiện thực 1, 2, và 3 lần lượt là.

- A) 200-MHz, 125-MHz, 100-MHz C) 100-MHz, 125-MHz, 200-MHz
 B) 250-MHz, 150-MHz, 125-MHz D) 125-MHz, 150-MHz, 250-MHz

19. Đoạn chương trình trên xảy ra loại xung đột nào

- A) Control Hazard C) Structural Hazard
 B) Data Hazard D) Không xảy ra xung đột

20. Trong trường hợp đoạn chương trình thực thi trên Hiện thực 1, cần chèn bao nhiêu lệnh nop (bubble) để đoạn chương trình thực thi đúng.

- A) 1 B) 2 C) 3 D) 4

21. Trong trường hợp đoạn chương trình thực thi trên Hiện thực 2, cần chèn bao nhiêu lệnh nop (bubble) để đoạn chương trình thực thi đúng.

- A) 1 B) 2 C) 3 D) 4

22. Trong trường hợp đoạn chương trình thực thi trên Hiện thực 3, xác định giá trị ForwardA, ForwardB tại thời điểm thực hiện lệnh or \$t1, \$t1, \$t2.

- A) ForwardA = 10, ForwardB = 01 C) ForwardA = 00, ForwardB = 00
 B) ForwardA = 01, ForwardB = 10 D) ForwardA = 00, ForwardB = 01

23. Thời gian thực thi đoạn chương trình trên với hiện thực 3 là

- A) 5 chu kỳ B) 6 chu kỳ C) 7 chu kỳ D) 8 chu kỳ

24. Thời gian tăng tốc hiện thực 3 so với hiện thực 1 là

- A) 1.48 lần C) 1.62 lần
 B) 1.57 lần D) 1.68 lần

Cho đoạn chương trình sau

- (1) addi \$t1, \$zero, 100 (5) lw \$t5, 4(\$a0)
 (2) addi \$t2, \$zero, 100 (6) and \$t6, \$t4, \$t5
 (3) add \$t3, \$t1, \$t2 (7) sw \$t6, 8(\$a0)
 (4) lw \$t4, 0(\$a0)

25. Xác định loại xung đột xảy ra ở đoạn chương trình trên

- A) Control Hazard
B) Data Hazard
C) Structural Hazard
D) Không xảy ra xung đột

26. Xác định các lệnh gây ra xung đột
A) 1, 2, 4, 5
B) 2, 3, 4, 5
C) 3, 4, 6, 7
D) Tất cả đều sai

27. Nếu chỉ giải quyết bằng phương pháp chen stall, cần chen bao nhiêu stall để giải quyết xung đột
A) 4
B) 5
C) 6
D) 7

28. Nếu áp dụng phương pháp forward, cần chen bao nhiêu stall để giải quyết xung đột
A) 1
B) 2
C) 3
D) 4

29. Nếu áp dụng phương pháp forward, cần bao nhiêu chu kỳ để thực hiện đoạn chương trình
A) 10
B) 11
C) 12
D) 13

30. Tính độ tăng tốc khi sử dụng forward so với không sử dụng forward, giả sử khi áp dụng forward không làm thay đổi tần số hoạt động của bộ xử lý
A) 1.21
B) 1.33
C) 1.48
D) 1.51

31. Sau khi áp dụng phương pháp forward kết hợp tổ chức lại chương trình (thay đổi thứ tự thực hiện), số stall tối thiểu cần chen là
A) 0
B) 1
C) 2
D) 3

Một cache có 8 blocks, 1-word/block, 2-way associative, sử dụng chiến thuật thay thế LRU
Cho biết địa chỉ có độ rộng 16-bit
Thực hiện truy xuất chuỗi địa chỉ 5, 6, 9, 10, 11, 15, 16, 20, 13, 14, 18, 9, 13, 10, 6, 5
Hit time = 1ns, miss penalty = 5ns

32. Độ rộng các trường byte offset, index, tag lần lượt là
A) 2, 3, 11
B) 2, 4, 10
C) 4, 6, 5
D) 2, 2, 14

33. Số lượng hit là
A) 2
B) 3
C) 4
D) 5

34. Có bao nhiêu trường hợp thay thế cache xảy ra
A) 2
B) 4
C) 6
D) 8

35. Nếu cache được tổ chức theo fully-associative, áp dụng chiến lược thay thế LRU, số lượng hit sẽ là
A) 1
B) 3
C) 5
D) 7

36. Nếu cache được tổ chức theo fully-associative, áp dụng chiến lược thay thế MRU, số lượng hit sẽ là
A) 1
B) 3
C) 5
D) 7

37. Một CPU có thời gian chu kỳ là 2ns, hit time = 1 cycle, miss penalty = 7 cycle, tỷ lệ miss ở cache là 7%, AMAT là:
A) 1.49-ns
B) 2.98-ns
C) 4.47-ns
D) 5.96-ns

38. Ưu điểm của việc sử dụng bộ nhớ ảo bao gồm
- A) Tiết kiệm bộ nhớ thật. C) Bảo vệ dữ liệu của ứng dụng.
B) Tăng tốc nạp dữ liệu từ cache. D) Tất cả đều đúng.
39. Cho biết số bit của Virtual Address là 32, số bit của Physical Address là 26, số bit của Physical page number là 13, xác định số bit của Virtual page number
- A) 18 B) 19 C) 21 D) 25
40. Cho biết số bit Physical Address là 32, số bit của Physical page number là 17, xác định kích thước Page
- A) 8-KB B) 16-KB C) 32-KB D) 64-KB
41. Lệnh nào sau đây yêu cầu mở rộng dấu
- A) add B) lui C) jr D) Tất cả đều sai
42. Vì sao các lệnh MIPS số thực theo chuẩn IEEE 754 không hỗ trợ immediate?
- A) Vì số thực không thể biểu diễn trên bộ xử lý MIPS.
B) Vì kích thước của biểu diễn số thực lớn hơn kích thước từ lệnh MIPS.
C) Vì bộ xử lý MIPS không hỗ trợ phần cứng xử lý số thực.
D) Vì các lệnh số thực yêu cầu 3 thanh ghi nguồn
43. Tình huống nào sau đây gây ra overflow
- A) Cộng một số dương và một số âm C) Trừ hai số âm
B) Trừ hai số dương D) Cộng hai số âm
44. Lệnh rẽ nhánh có điều kiện có thể nhảy đến:
- A) Bất kỳ lệnh nào trong chương trình
B) Bất kỳ vị trí nào trong bộ nhớ
C) Đến các lệnh cách $\pm 2^{15}$ so với vị trí thực hiện lệnh rẽ nhánh
D) Đến các lệnh cách $\pm 2^{16}$ so với vị trí thực hiện lệnh rẽ nhánh
45. Chọn phát biểu đúng
- A) Chỉ có các lệnh load/store mới có thể truy xuất vào bộ nhớ dữ liệu.
B) Lệnh lw \$zero, 0(\$a0) sẽ nạp một từ lệnh vào thanh ghi \$zero
C) Khi thực hiện lệnh cộng addu \$s1, \$s2, \$s3 có khả năng sinh ra cờ tràn khi hai giá trị chứa trong \$s2, \$s3 dương.
D) Tất cả đều đúng

Bài thi bao gồm 45 câu hỏi trên 6 trang

Giảng viên

Trưởng bộ môn Kỹ thuật Máy tính



Kiều Đỗ Nguyên Bình

Phạm Quốc Cường