

ADVANCED CPU ARCHITECTURE AND HARDWARE ACCELERATORS LABRATORY

Final Project Report

Dvir Zaguri 315602284

Elad Hubashi 313612038

רקע

מטרות פרויקט זה היא לממש תצורה של מעבד מסוג MIPS SINGLE CYCLE, רכיבי I/O ויכולת קבלת אינטרפטים ולשלבן יחד, בנוסף להבין את השוני בין CPU כיחידה לבין MCU אשר מתקשר עם יחידות חיצוניות ומבנה הזיכרון של רכיב FPGA. בפרויקט זה מימשנו ארכיטקטורת MIPS (MIPS ISA) עם יכולת עבודה עם שני זיכרונות CACHE אחד לפקודות המערכת והשני לזיכרון. בנוסף מימשנו רכיבי פריפריה כגון, מחלק שלמים, רכיב שירות לרכיבי GPIO ורכיב שעון BTIMER. את המערכת מימשנו בעזרת שפת VHDL וקמפלנו בעזרת QUARTUS I MODELSIM לסינתזה וקימפול. חילקנו את המערכת למספר קומפוננטות ונפרט עליהן בהמשך, כן ניתן תיאור היררכי של היחידות המרכזיות.

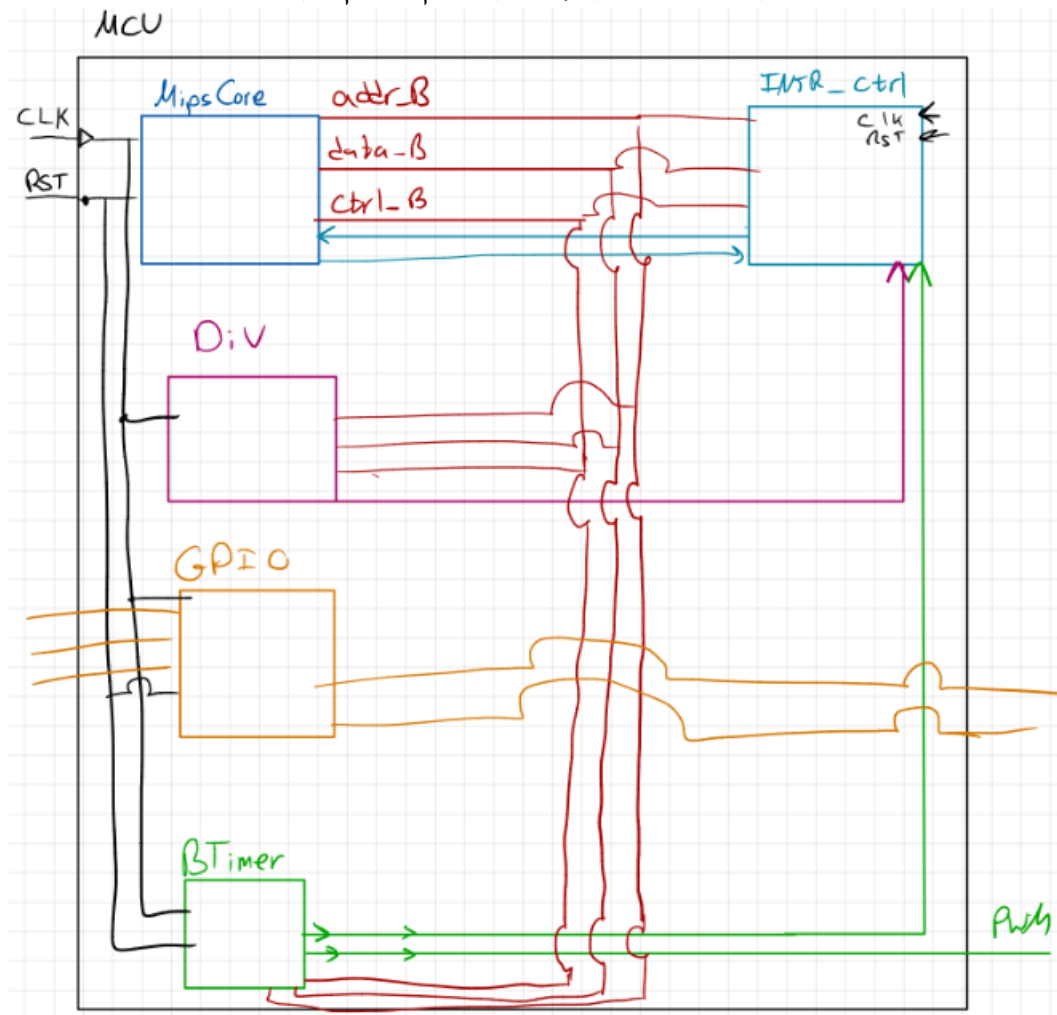
פירוט ה-ENTITIES הקיימים במערכת

- **TOP (MCU.vhd)** – קובץ העוטף את כל המערכת, מקבל את הכניסות ומוציא את היציאות הדרושות, מחבר בין כל הרכיבים הרשומים מטה.
- **MIPSEnv (MIPSEnv.vhd)** – קובץ הליבה של הCPU בארכיטקטורה הרצויה, יודע לתקשר עם הזיכרונות השונים ולבצע את ההוראות המתקבלות ולהפעיל את שאר המערכת כולל שליחת קווי בקרה.
- **DIV_env (DIVEnv.vhd)** – מאיץ חומרה שמבצע חלוקת שלמים לא מסומנים.
- **INTERRUPT_env (INTREnv.vhd)** – רכיב היודע לתכלל את סוגי הפסיקות ולהעבירן לCPU ולקבל ממנו קווי בקרה המאפשרים פסיקות אליו.
- **GPIO (GPIO.vhd)** – רכיב התומך ביציאות וכניסות חיצוניות למיקרו מעבד.
- **BTimer_env (BTIMEREnv.vhd)** – רכיב הממש טיימר פנימי של המיקרו מעבד, הרכיב יודע להוציא אות ריבוע מסוג PWM.
- **רכיבי מימוש פנימיים**

על כל הקומפוננטות קיים הסבר מפורט בקובץ **readme.txt**



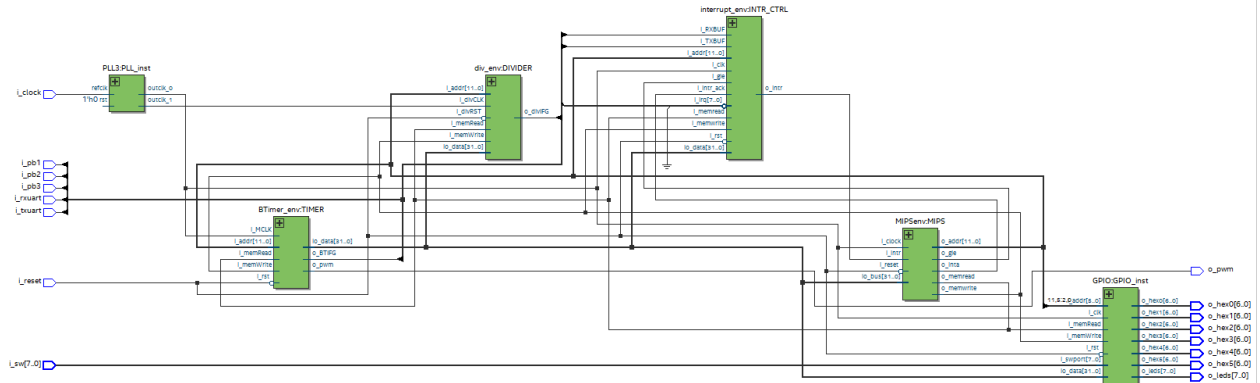
תיאור סכמטי שצויר על ידי רב אמן בדיוק מירבי :



איור 1 איור סכמטי של המערכת בתצוגת TOP

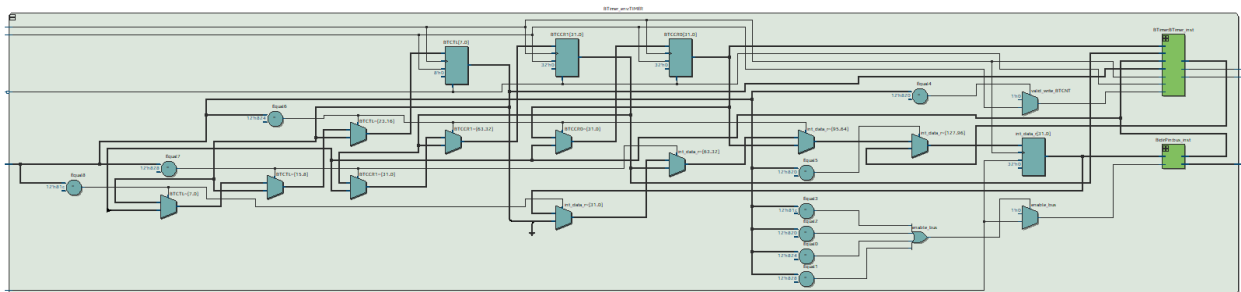


כעת נעבור לתיאור ב QUARTUS של כל רכיב:

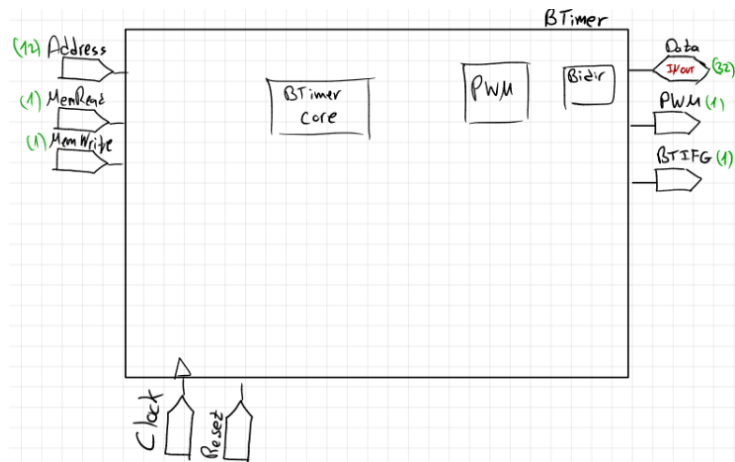


איור 2 : RTL עבור TOP, נקרא MCU

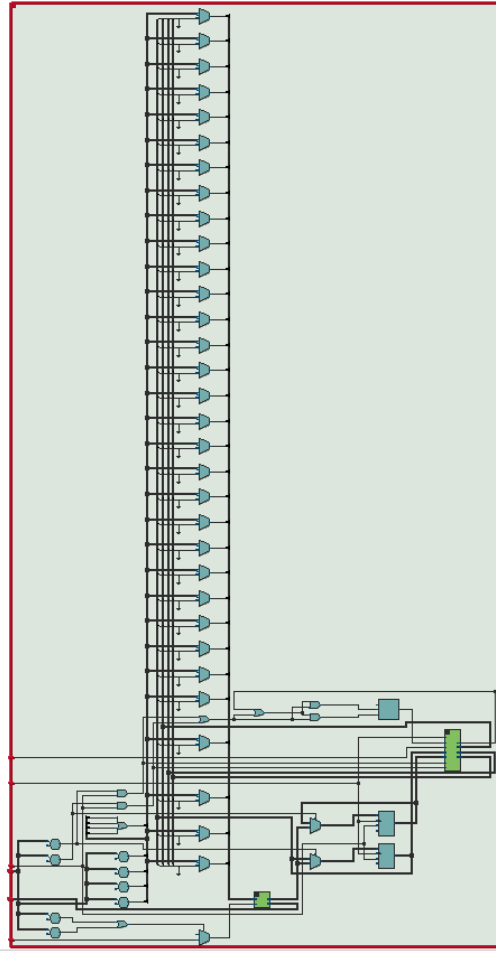
רכיבים נוספים:



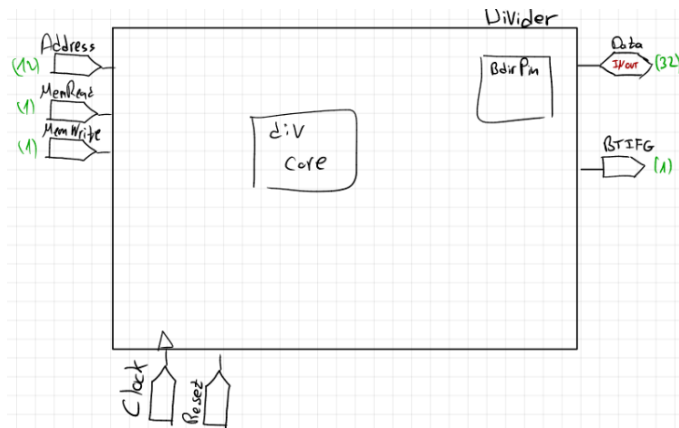
איור 3 רכיב הטיימר BTimer



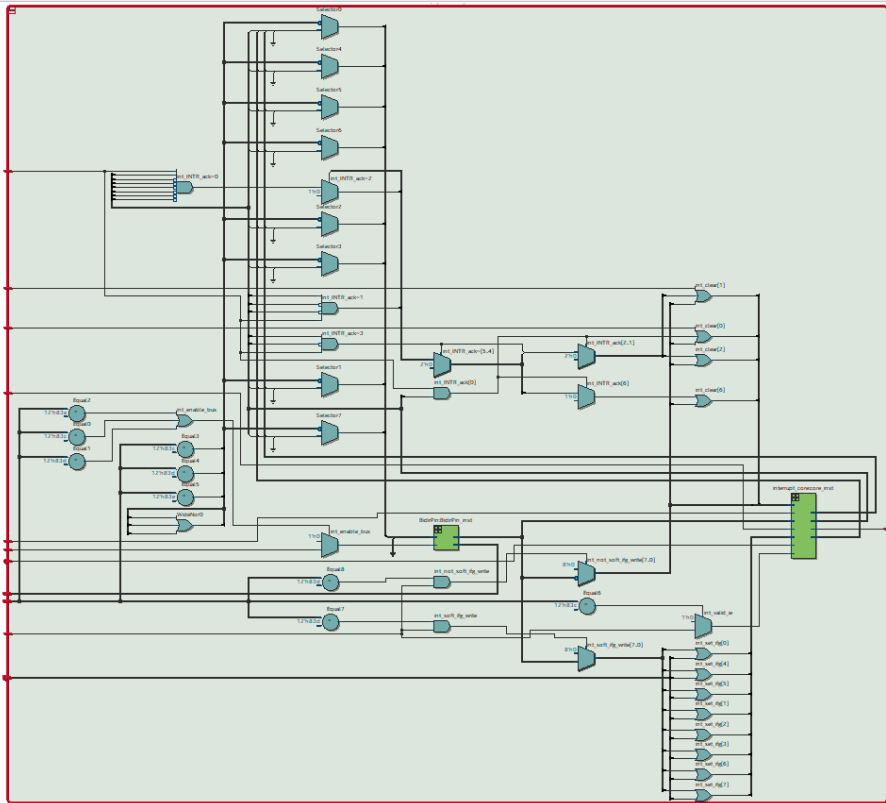
הרכיב זה אנו משתמשים בקומפוטציה סטטי של PWM
מאפשר לנו ונוספה של הפונקציות של הטיימר
ב- קוד אנו מנסים כתיבה והקצאה לזיכרון של כתיבה
ובליבה מכלול את כל התפוצה לזיכרון והקצאה לזיכרון.



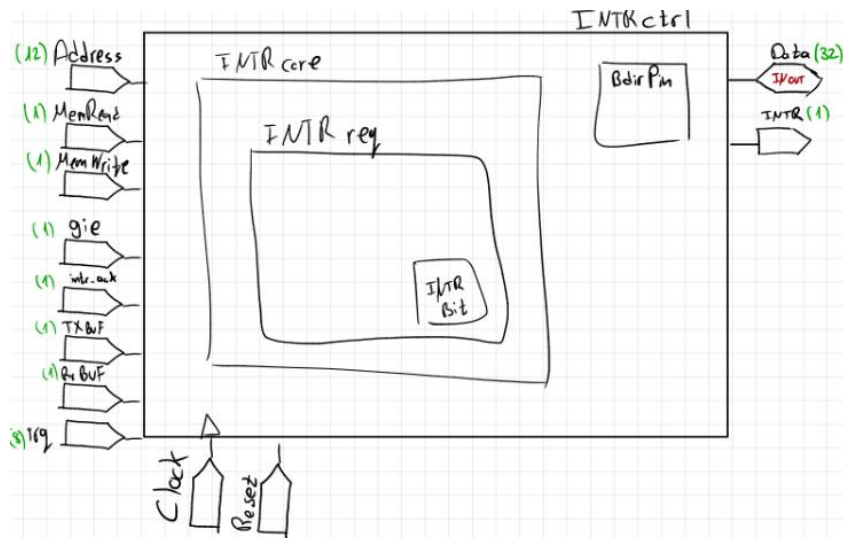
איור 4 : רכיב מחלק DIVIDER



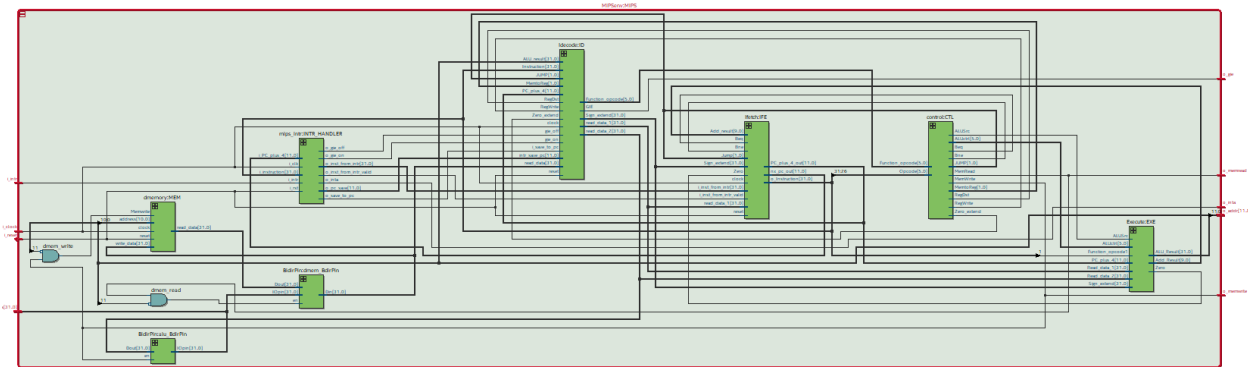
הרכיב זה אנו משתמשים בקומפוננטות סטנדרטיות של div
 ושל ליבר המערכת.
 ב- top אנו מנסים להרכיב את הרכיב הזה. הרכיב הזה
 יבנה מרכיבים אחרים. הרכיב הזה יבנה מרכיבים אחרים.
 הרכיב הזה יבנה מרכיבים אחרים. הרכיב הזה יבנה מרכיבים אחרים.



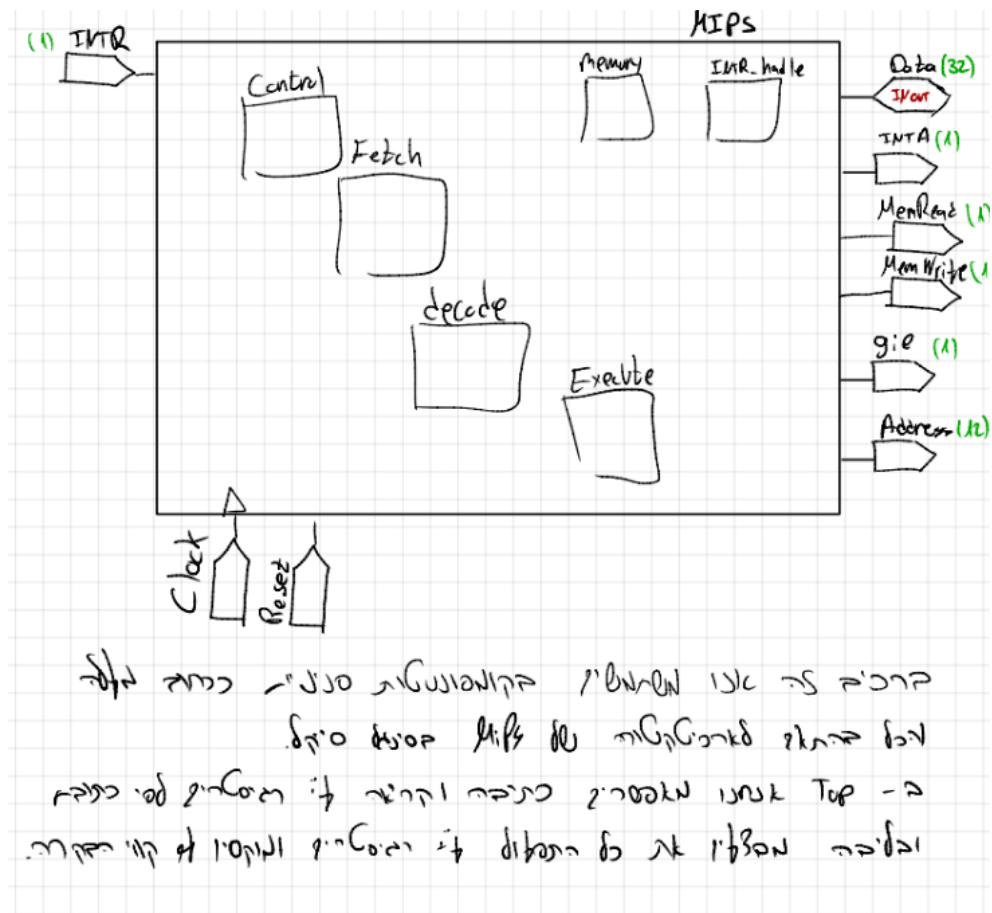
איור 5 רכיב מטפל פסיקות INTR CTRL

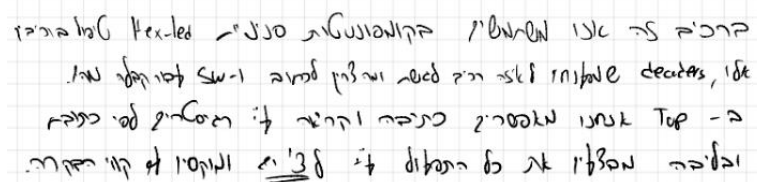


הרכיב זה מלווה את הרכיב INTR core של הרכיב INTR ctrl. הוא מנהל את הרכיב INTR core ומוודא שהרכיב INTR core יוכל להגיב על הפקודות הנכונות. הרכיב INTR ctrl מנהל את הרכיב INTR core ומוודא שהרכיב INTR core יוכל להגיב על הפקודות הנכונות.



איור 6 ליבת המעבד MIPS





כעת נעבור לתיאור זמני המערכת, תיאור עבור תדר מקסימלי

Set Operating Conditions

☒ Slow 1100mV 85C Model
☐ Slow 1100mV 0C Model
☐ Fast 1100mV 85C Model
☐ Fast 1100mV 0C Model

Slow 1100mV 85C Model				
	Fmax	Restricted Fmax	Clock Name	Note
1	26.66 MHz	26.66 MHz	PLL_inst pll3_inst altera_pll_i ge...[0].gpll~PLL_OUTPUT_COUNTER divclk	
2	64.4 MHz	64.4 MHz	altera_reserved_tck	
3	101.65 MHz	101.65 MHz	i_clock	
4	138.66 MHz	138.66 MHz	PLL_inst pll3_inst altera_pll_i ge...[1].gpll~PLL_OUTPUT_COUNTER divclk	

Report

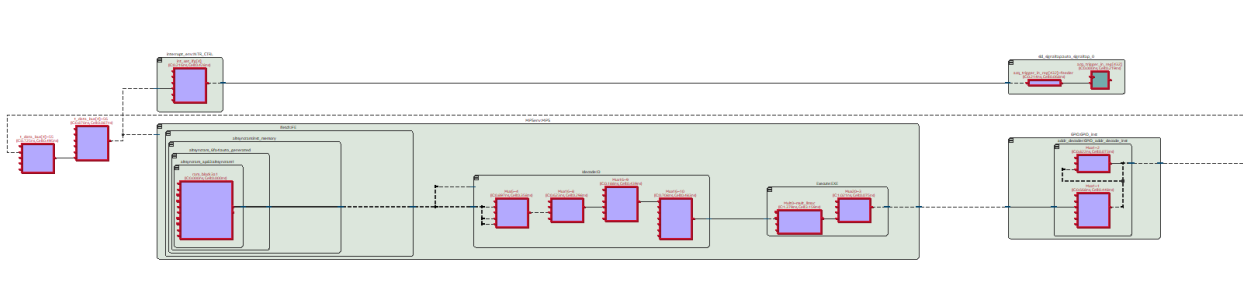
- Fmax Summary
 - Slow 1100mV 85C Model
 - Slow 1100mV 0C Model

Tasks

- Report Setup Summary
- Report Hold Summary
- Report Recovery Summary
- Report Removal Summary
- Report Minimum Pulse Width Summary
- Report Max Skew Summary
- Report Net Delay Summary
- Datasheet
 - Report Fmax Summary
 - Report Datasheet
- Device Specific
 - Report TSCC

איור 8 תדר מקסימלי עבור שעוני המערכת

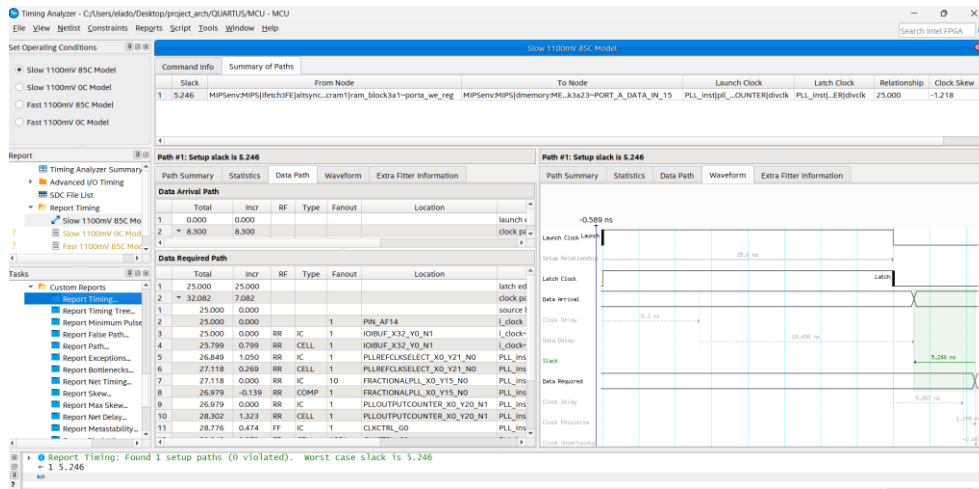
נתיב קריטי במערכת,



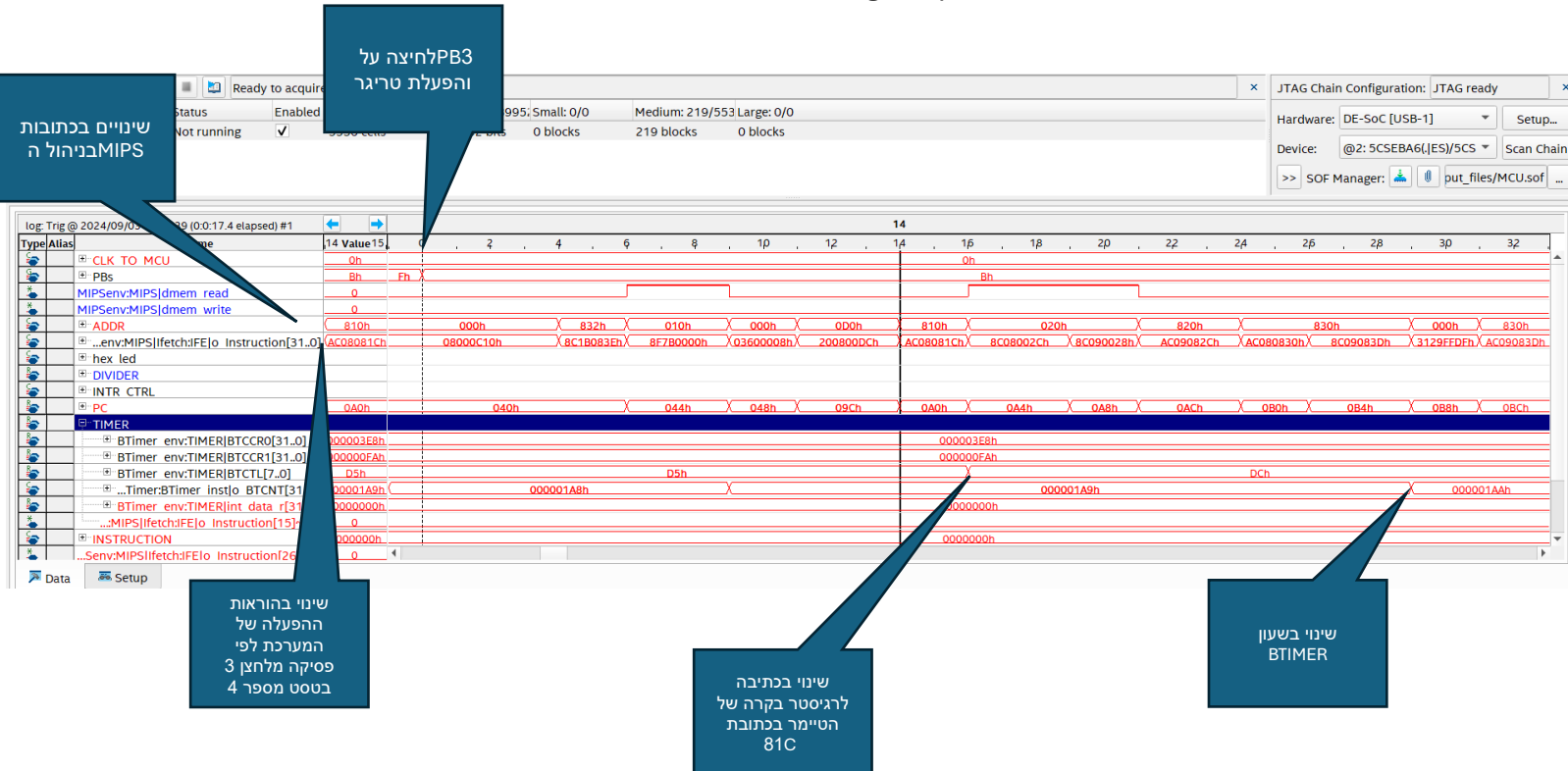
איור 9 נתיב קריטי

דיון לגבי נתיב קריטי:

ניתן לראות כי הנתיב הקריטי נמצא בחלקו של ליבת המעבד, ובפרט במעבר דרך הזיכרון. זהו משהו שיכלנו לצפות מכיוון שאנחנו יודעים כי כתיבה לזיכרון היא דבר "יקר" שלוקח זמן בגלל המרחק שלו מהמעבד עצמו, באופן עקרוני אין כל כך דרך לשפר את קצבי הכתיבה / קריאה מהזיכרון אך כן ניתן לשפר באופן מסויים את הנתיב אחריו במידה ונעשה אופטימיזציה לביצועי המעבד. אם היה לנו זמן היינו משקיעים את רובו בעבודה על של ה EXE של המעבד ולנסות לבצע בו קיצורים וגם את שלב ה DECODE. תדר השעון עבור הזיכרון הוא בערך 60 מגה הרץ ועבור כל המערכת בערך 20 מגה הרץ כך שכל הנראה ניתן לשפר את זמן המערכת הכולל.



הוכחת פעילות עבור המערכת על ידי single tap ,





מסקנות,

תחילה נאמר כי היה מאוד מעניין ומלמד לעבוד על הפרוייקט ההנדסי, למדנו איך לקרוא SPEC ולהמיר אותו לרכיבים, למדנו איתך לקשר בין רכיבים ולסנכרן בניהם, למדנו איך לעבוד עם תוכנות חשובות בשוק ואיך להפיק מהן מידע מהימן לטובת ורפיקציה, למדנו כיצד ניתן למקסם את היכולות והוכחנו את זה באופן פרקטי. למדנו על ISA ועל ארכיטקטורות שונות, בנוסף למדנו על איך ניתן להאיץ חומרה ולתקשר עם מעבד כולל פרוטוקול פסיקות עם עדיפות.