ADVANCED CPU ARCHITECTURE AND HARDWARE ACCELERATORS LABRATORY

Preparation Report LAB 4

Dvir Zaguri 315602284

Elad Hubashi 313612038

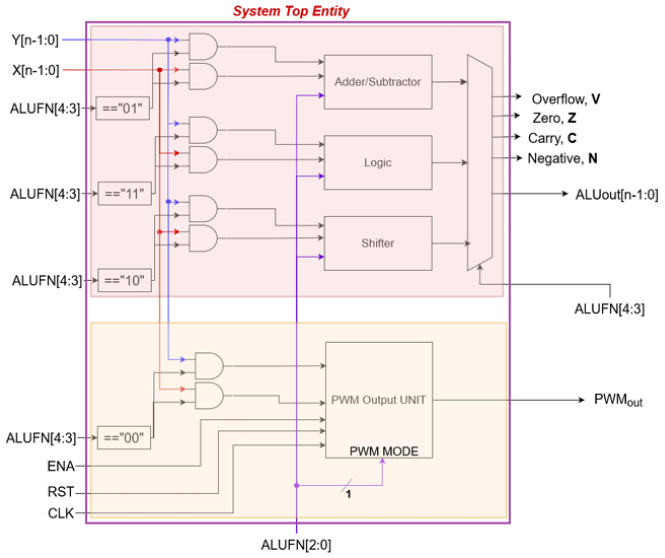
רקע

מטרות המעבדה הן הבנה של סינטזה דיגיטלית והתנסות עם FPGA. במעבדה זו, לקחנו את הקבצים של מעבדה 1 ומה שמימשנו בהם והוספנו להם מימוש נוסף של הוצאת תדר PWM, עטפנו את המימוש החדש כיחידה אחת וצרבנו ל FPGA , ניתחנו נתונים ובדקנו ביצועים.

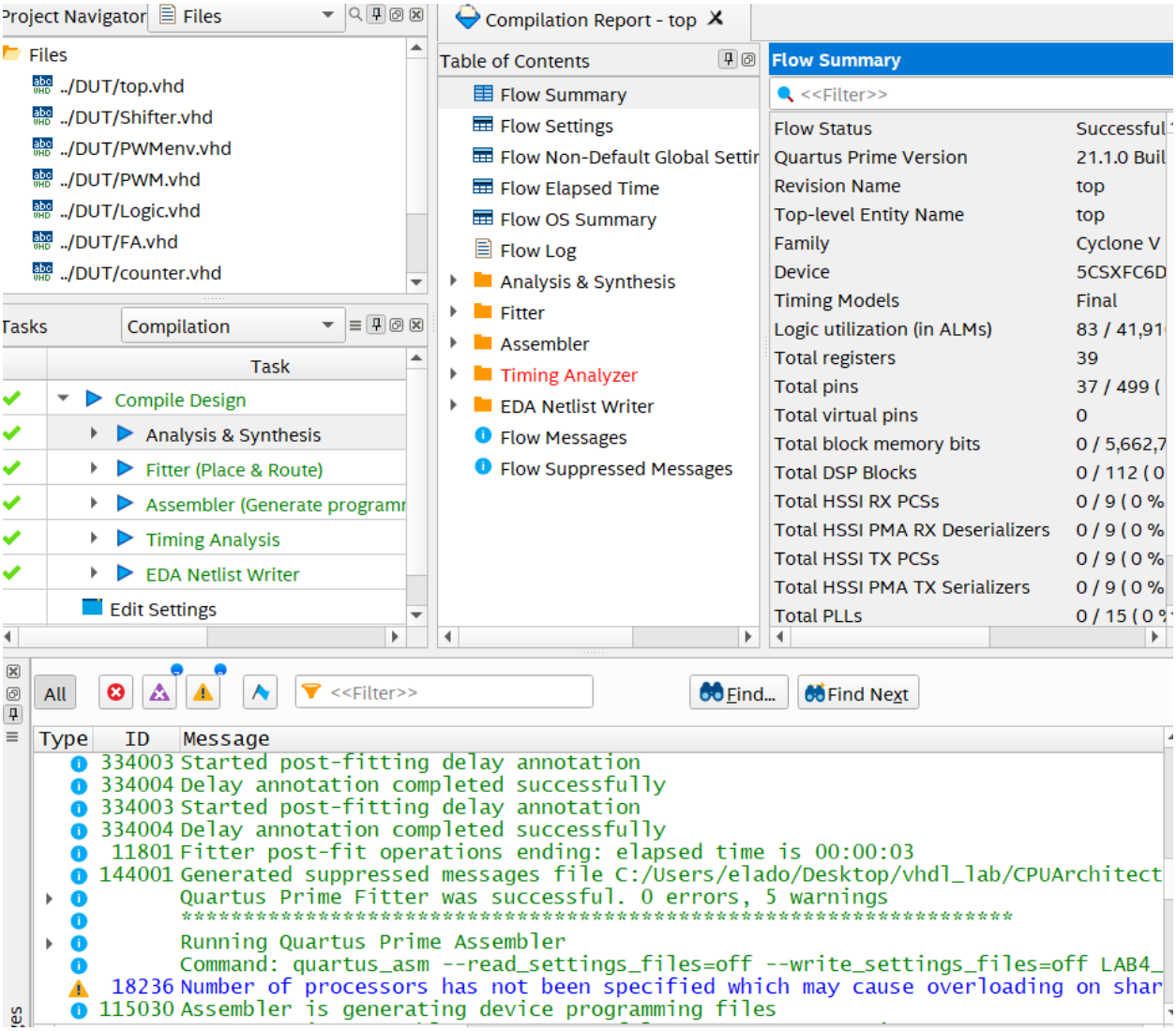
פירוט ה-Modules הקיימים במערכת

- **Top envelope**
- **Top**
- **Pwm envelope**
- **רכיבי מימוש פנימיים**

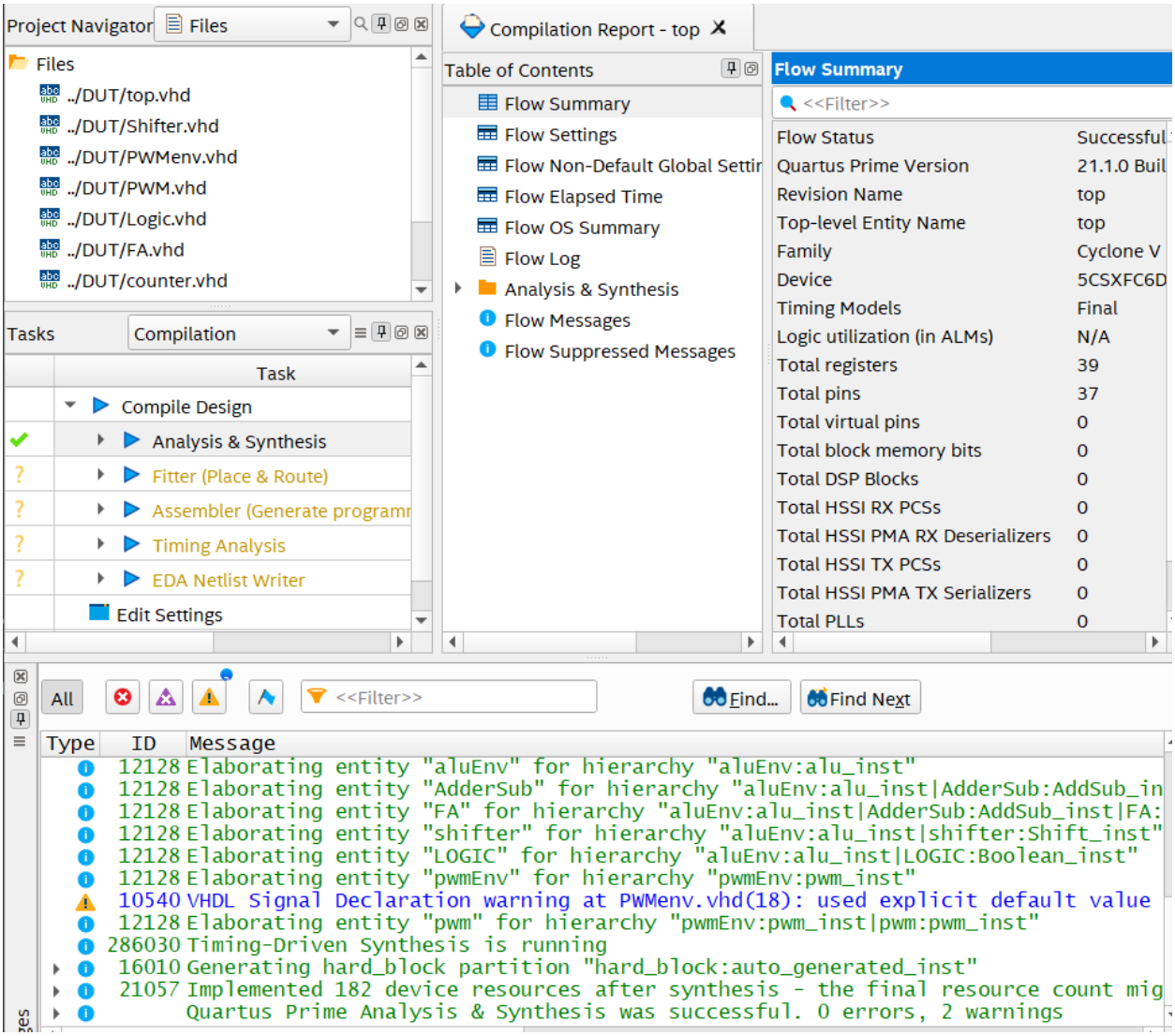
על כל הקומפוננטות קיים הסבר מפורט בקובץ readme.txt



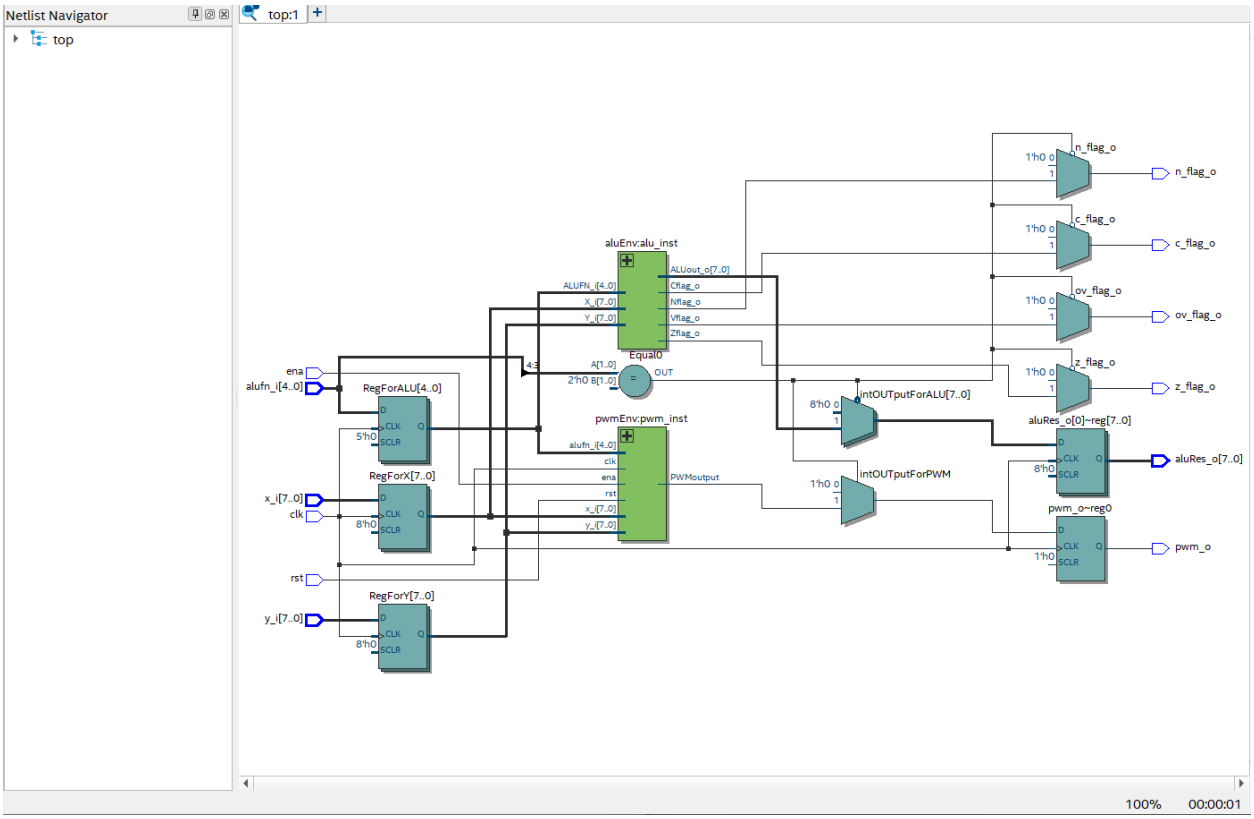
צילומי מסך עבור מימוש המערכת לפני חיבורה ל FPGA:



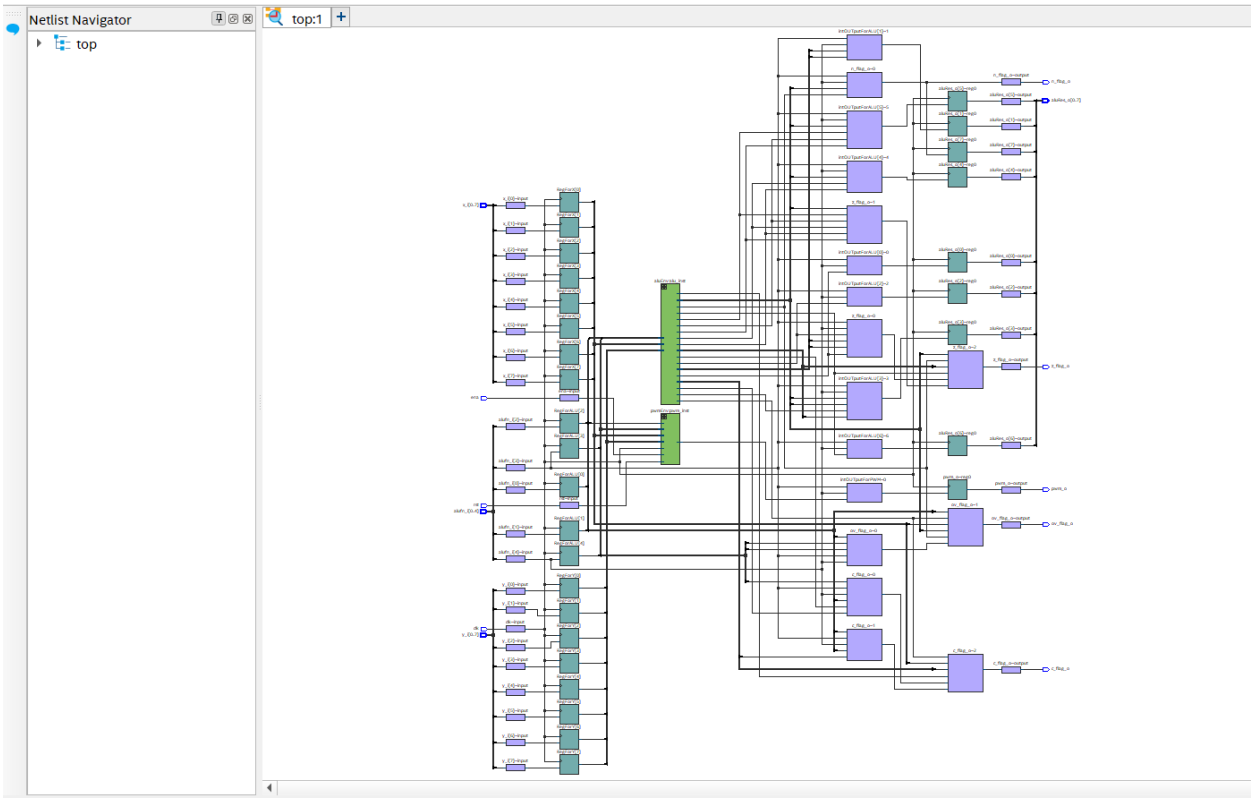
איור 1: תיאור מעבר קומפילציה תקינה של המערכת



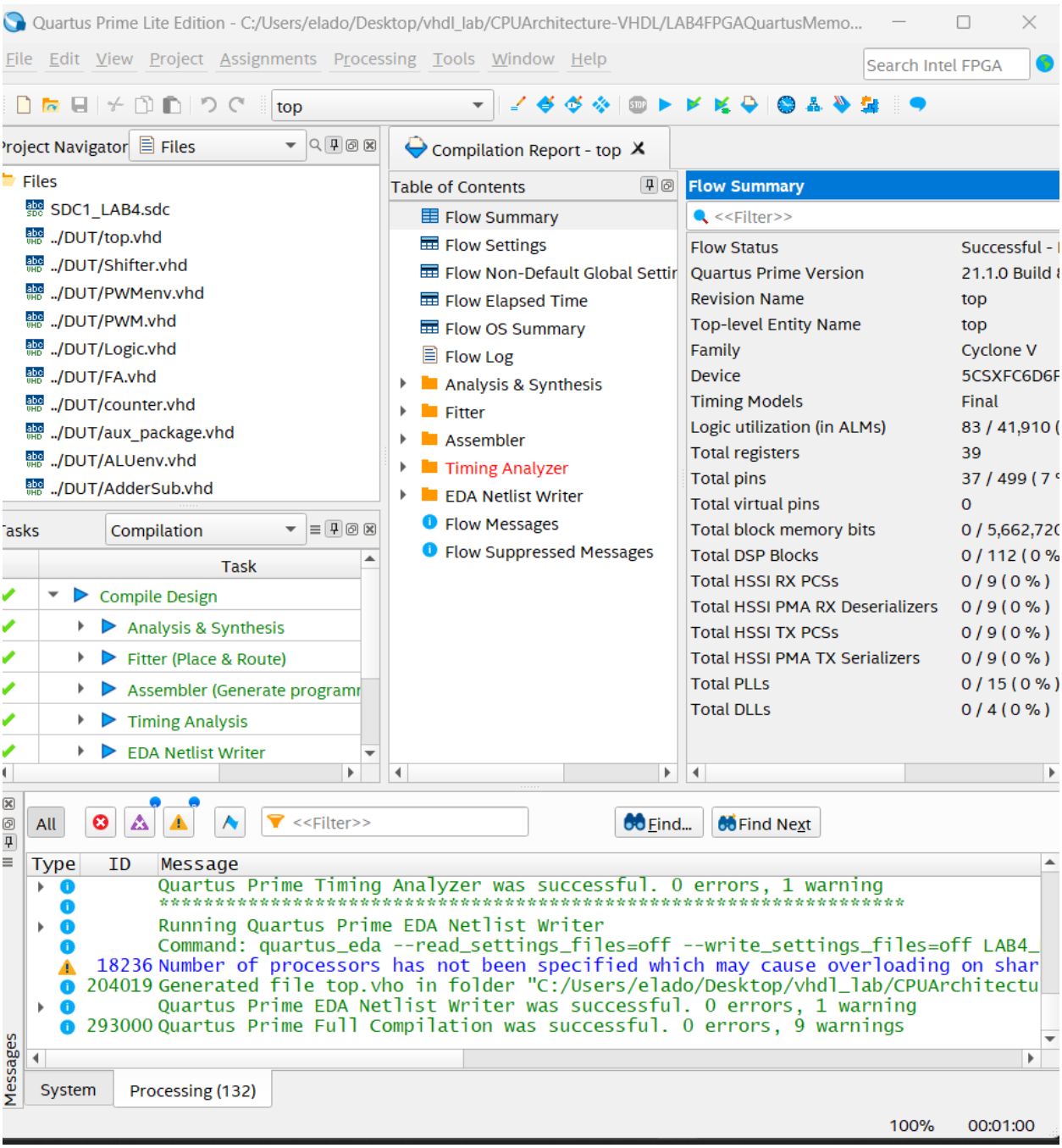
איור 2 : תיאור מעבר סינטזה תקין של המערכת.



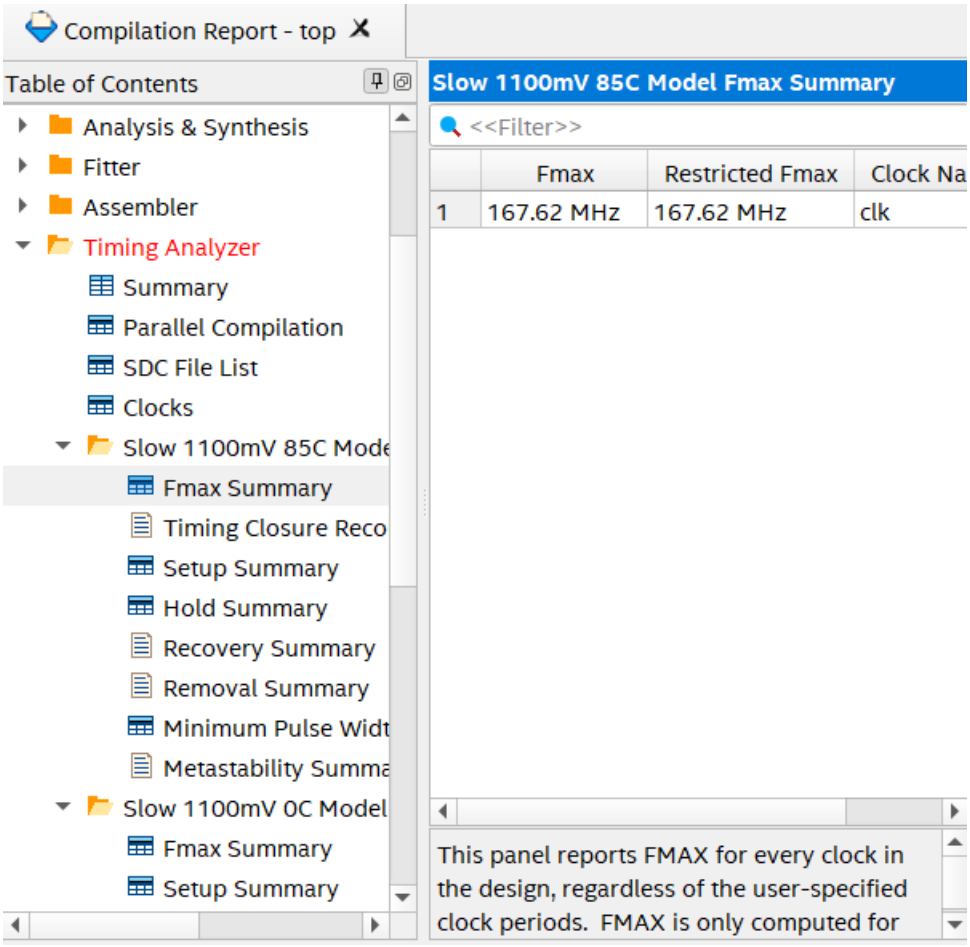
איור 3 : תיאור RTL VIEW



איור 4 : תיאור נוסף של RTL



איור 5 : תיאור נוסף עם SDC



איור 6 : תיאור של ניתוח זמנים ופירוט FMAX

Combinational ALUT usage for logic	124	
-- 7 input functions	0	
-- 6 input functions	55	
-- 5 input functions	11	
-- 4 input functions	34	
-- <=3 input functions	24	
Combinational ALUT usage for route-throughs	0	
Dedicated logic registers	39	
-- By type:		
-- Primary logic registers	39 / 83,820	< 1 %
-- Secondary logic registers	0 / 83,820	0 %
-- By function:		
-- Design implementation registers	39	
-- Routing optimization registers	0	

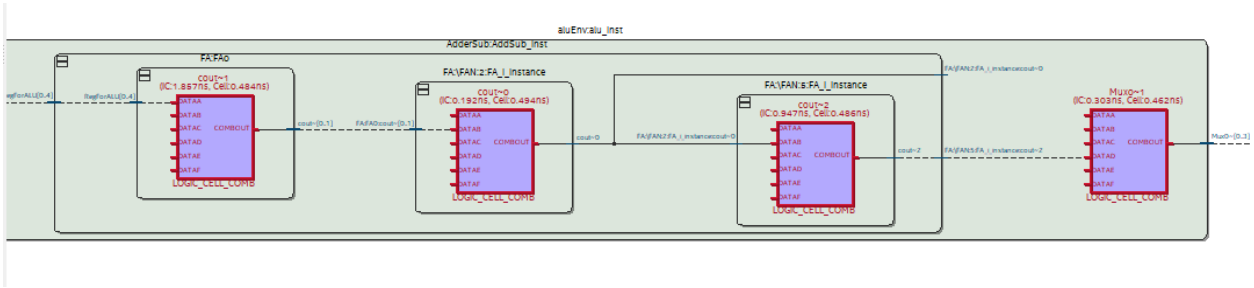
איור 7 : תיאור א של USAGE למערכת

Fitter Resource Usage Summary

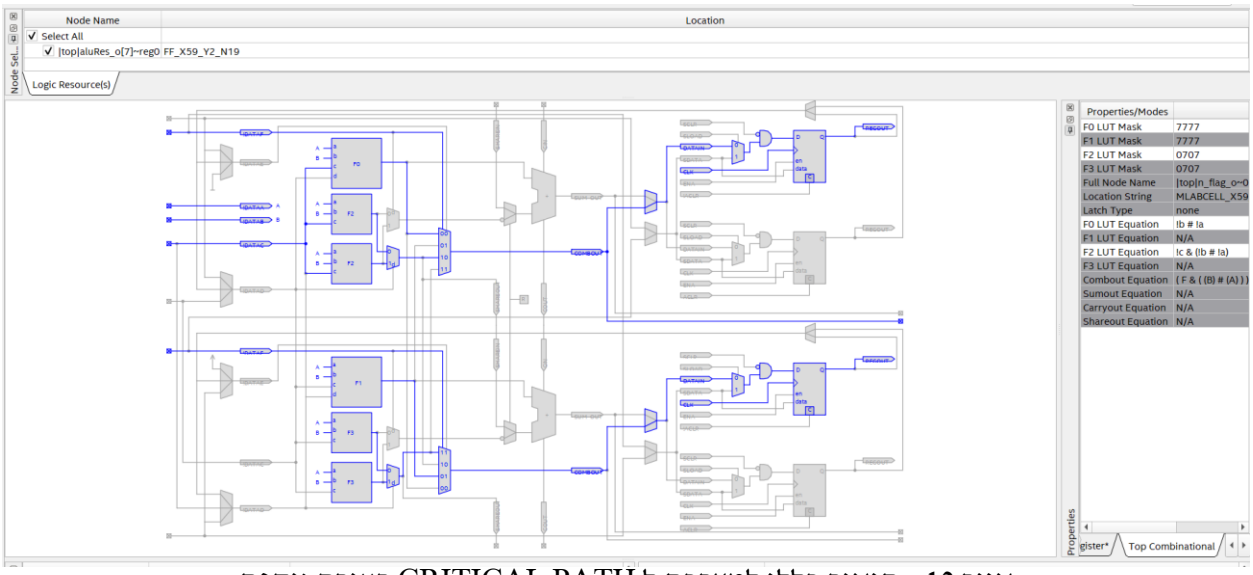
<<Filter>>

	Resource	Usage	%
1	Logic utilization (ALMs needed / total ALMs on device)	83 / 41,910	< 1 %
2	ALMs needed [=A-B+C]	83	
1	[A] ALMs used in final placement [=a+b+c+d]	85 / 41,910	< 1 %
1	[a] ALMs used for LUT logic and registers	13	
2	[b] ALMs used for LUT logic	65	
3	[c] ALMs used for registers	7	
4	[d] ALMs used for memory (up to half of total ALMs)	0	
2	[B] Estimate of ALMs recoverable by dense packing	2 / 41,910	< 1 %
3	[C] Estimate of ALMs unavailable [=a+b+c+d]	0 / 41,910	0 %
1	[a] Due to location constrained logic	0	
2	[b] Due to LAB-wide signal conflicts	0	
3	[c] Due to LAB input limits	0	
4	[d] Due to virtual I/Os	0	
3			
4	Difficulty packing design	Low	
5			
6	Total LABs: partially or completely used	13 / 4,191	< 1 %
1	-- Logic LABs	13	
2	-- Memory LABs (up to half of total LABs)	0	
7			
8	Combinational ALUT usage for logic	124	

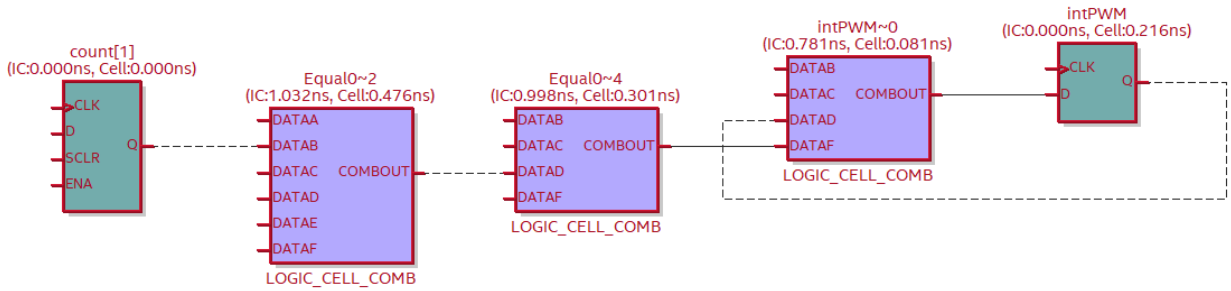
איור 8 : תיאור ב ל USAGE למערכת



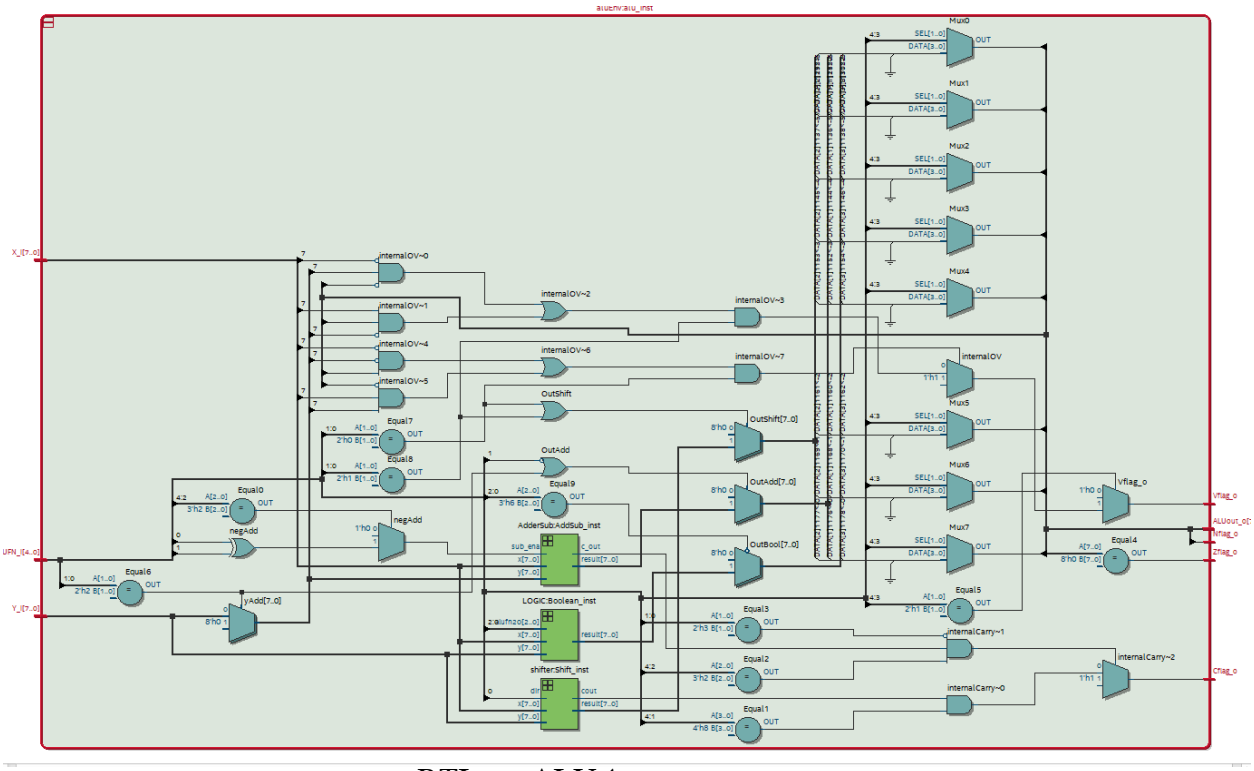
איור 9 : תיאור כללי למערכת ל CRITICAL PATH ע"י VIEWER



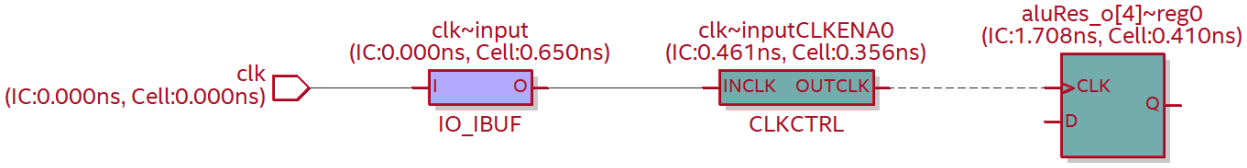
איור 10 : תיאור כללי למערכת ל CRITICAL PATH בצורה נוספת



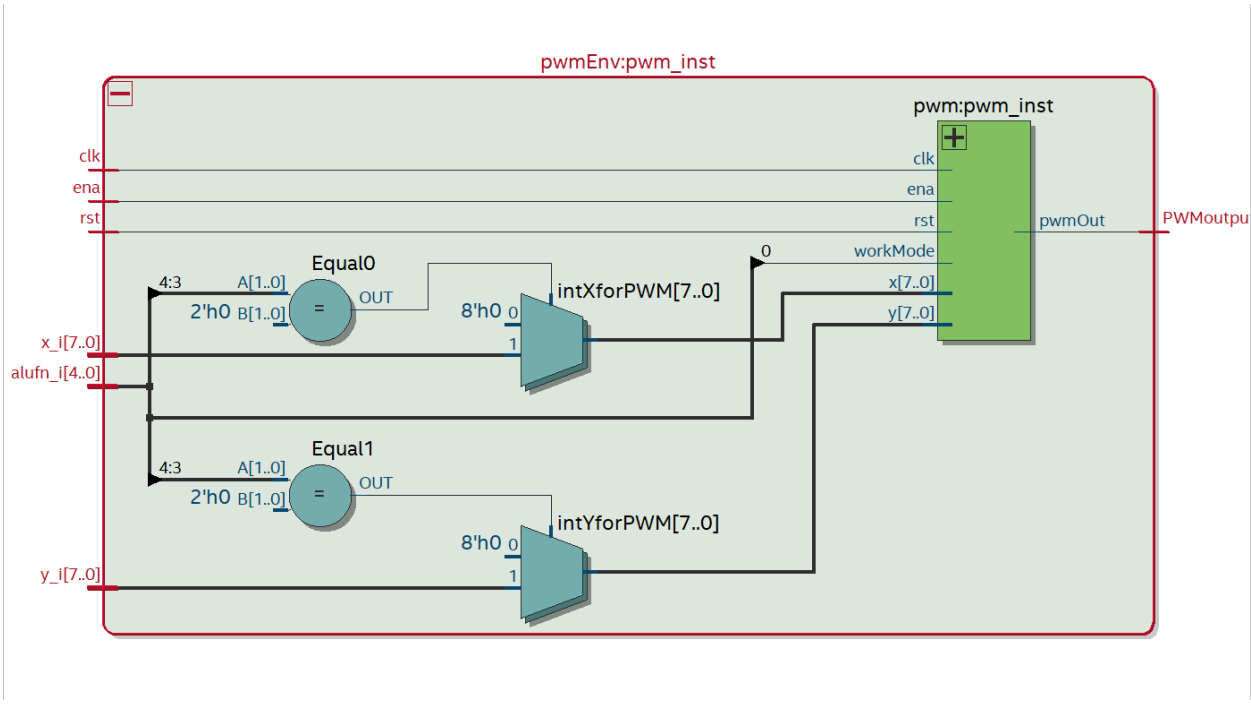
איור 11 : תיאור של CRITICA PATH PWM



איור 12 : תיאור של ALU ע"י RTL



איור 13 : דרך נוספת להציג CRITICAL PATH



איור 14 : הצגת PWM ע"י RTL

כעת ביצענו שינויים בקוד לטובת התאמה ל FGPA , עטפנו את הקוד בצורה כזו שתתאים לבניסות היציאות של הFPGA לפי הדרישה מטה בעבודה:

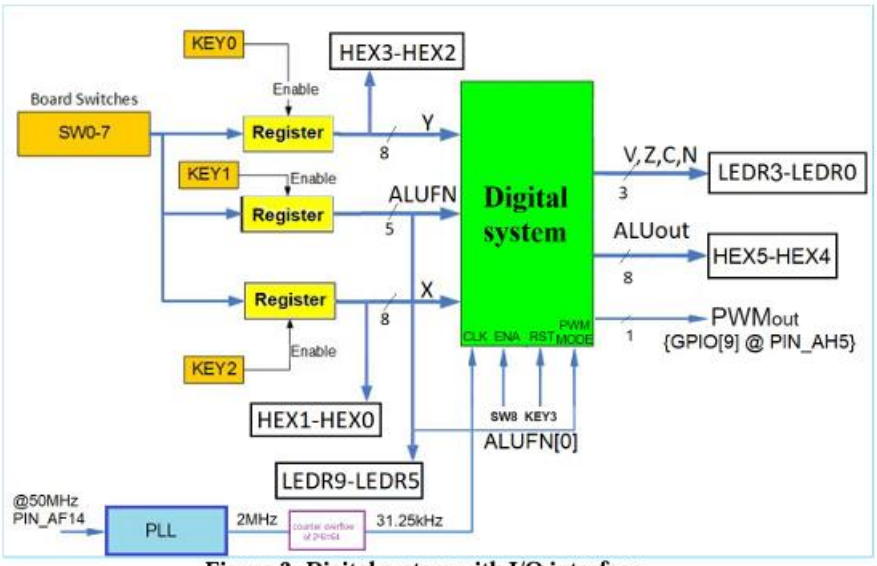
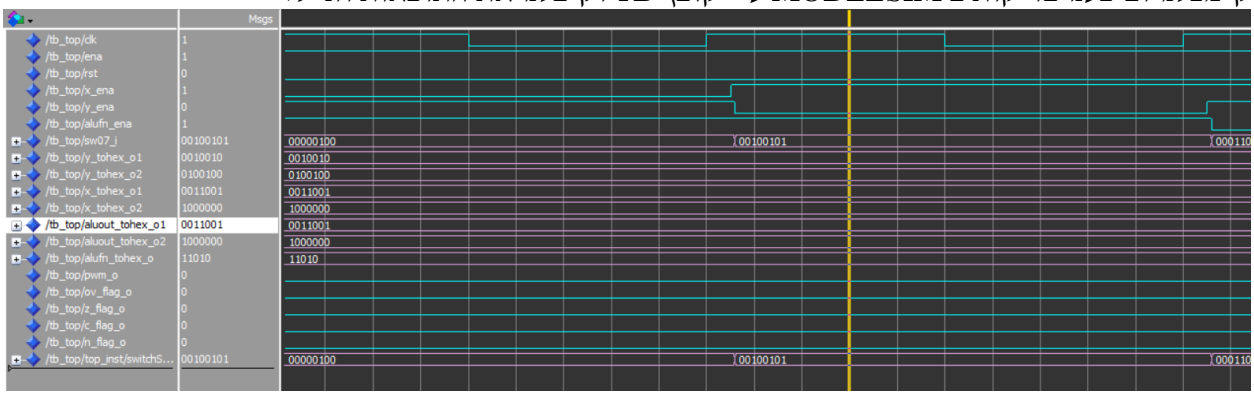
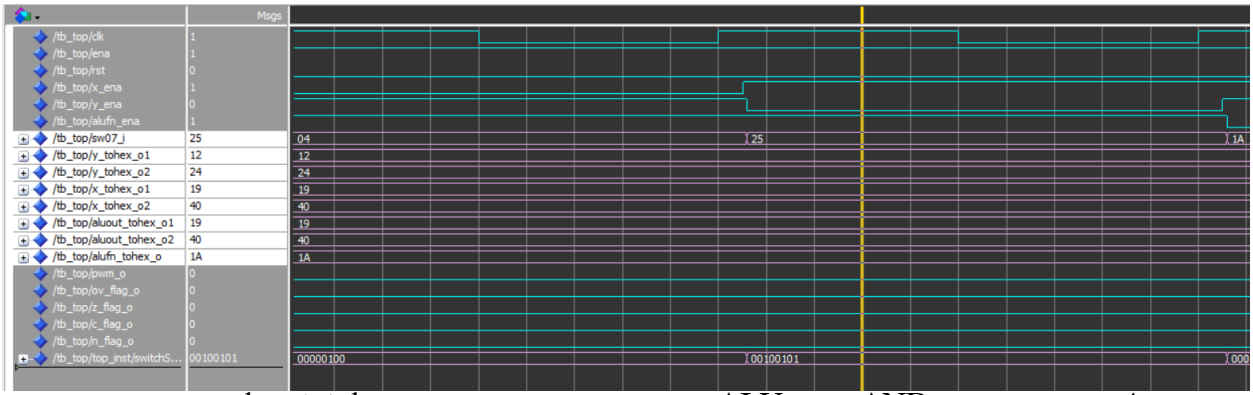


Figure 3: Digital system with I/O interface

קימפלנו וביצענו בדיקות ב MODELSIM ע״י קובץ TB וקיבלנו את התוצאות הנ״ל:

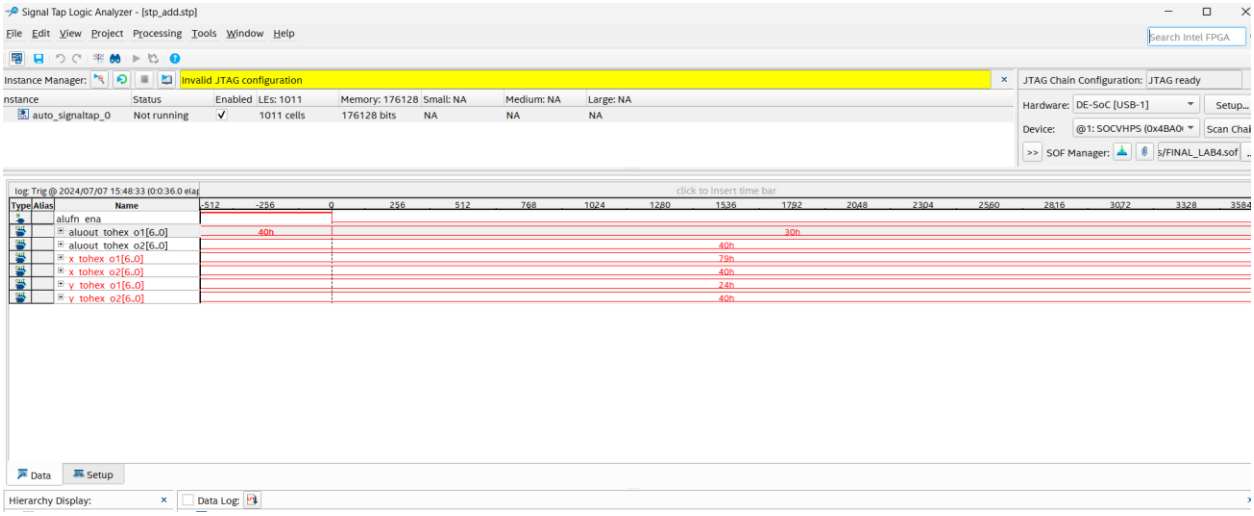




כאן ניתן לראות את תוצאת AND ע״י ה ALU במערכת התוצאת מוצגת ב aluout_tohex

עבור בדיקה של הקוד שלנו על ה FPGA קיבלנו 2 קבצי STP עבור ADD ו SHIFT ,

עבור ADD



עבור SHIFT :