ADVANCED CPU ARCHITECTURE AND

HARDWARE ACCELERATORS LABRATORY

Preparation Report LAB 4

Dvir Zaguri 315602284

Elad Hubashi 313612038

**רקע**

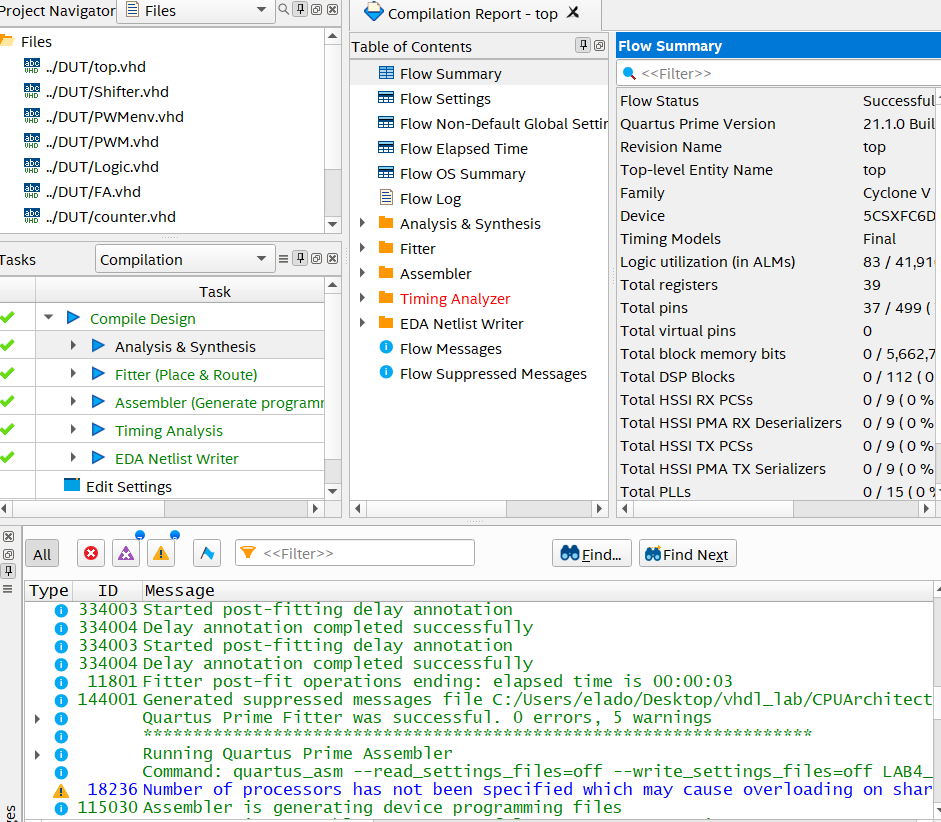
מטרות המעבדה הן רכישת כישורי כתיבת קוד מקבילי ב-VHDL תוך שימוש ב-Sequential logic, עיצוב מתודולוגיית Control ו-Datapath בנפרד, והכנה למעבדה בה נצטרך לכתוב סינטזה ל-FPGA. במטלת הדו״ח המכין הזה נממש מערכת המורכבת משכבת מעטפת (top) המכילה רכיבים רבים.

המערכת תעבוד בצורה סינכרונית ותחולק למספר חלקים כאשר כל אחד מהם יהיה מקבילי ויוסבר בהמשך. כל תהליך במערכת יבצע פעולה לוגית / חישובית שונה בכדי יחד לזהות רצף ביטים מצורה מסויימת לפי החוקיות מטה.

**פירוט ה-Modules הקיימים במערכת**

* **Control Unit**
* **OPC Decoder**
* **Register File**
* **Program Memory**
* **Data Memory**
* **ALU**
* **TOP**
* **רכיבי מעטפת פנימיים ורכיבים מקשרים**

תיאור המערכת:



תמונה שמכילה טקסט, צילום מסך, תוכנה, מספר

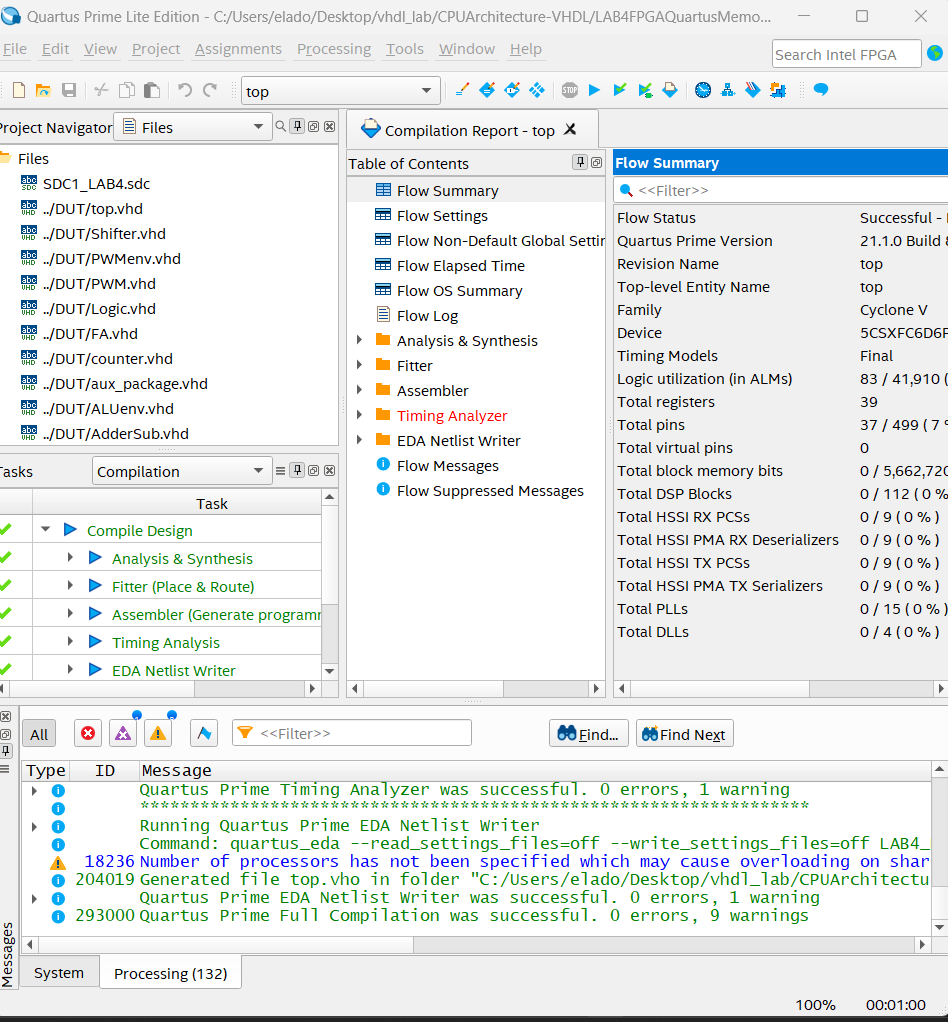
התיאור נוצר באופן אוטומטי

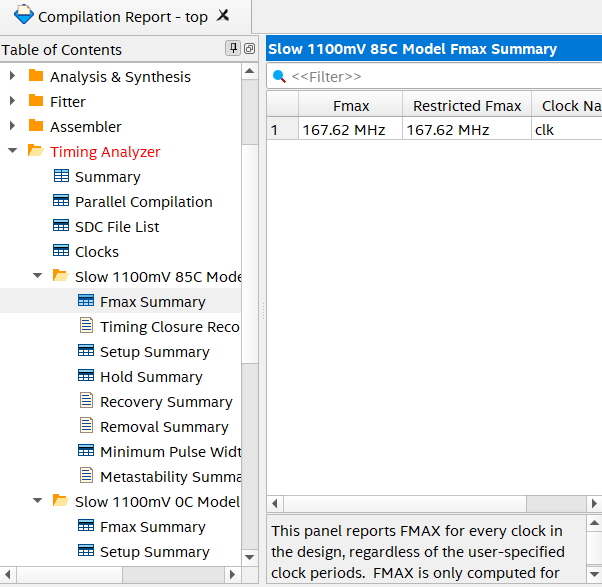
תמונה שמכילה טקסט, תרשים, צילום מסך, תוכנית

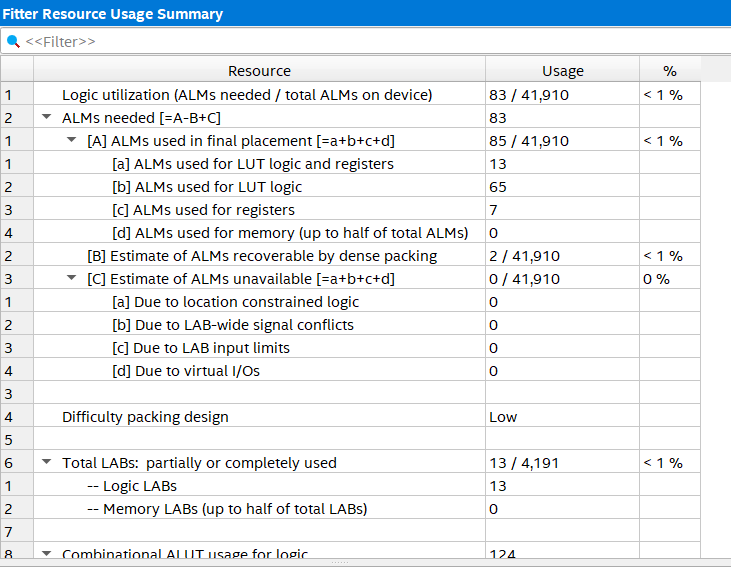
התיאור נוצר באופן אוטומטי

תמונה שמכילה טקסט, תרשים, צילום מסך, קו

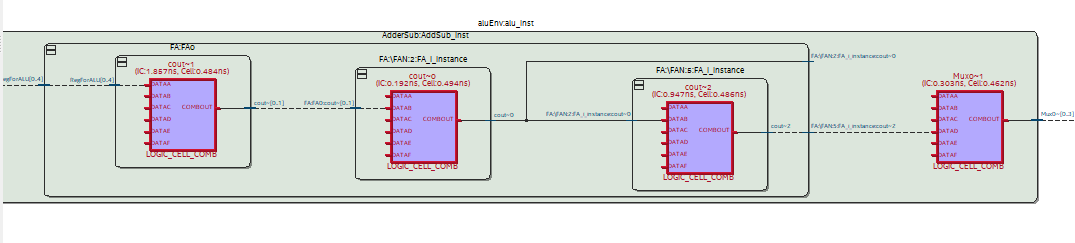
התיאור נוצר באופן אוטומטי

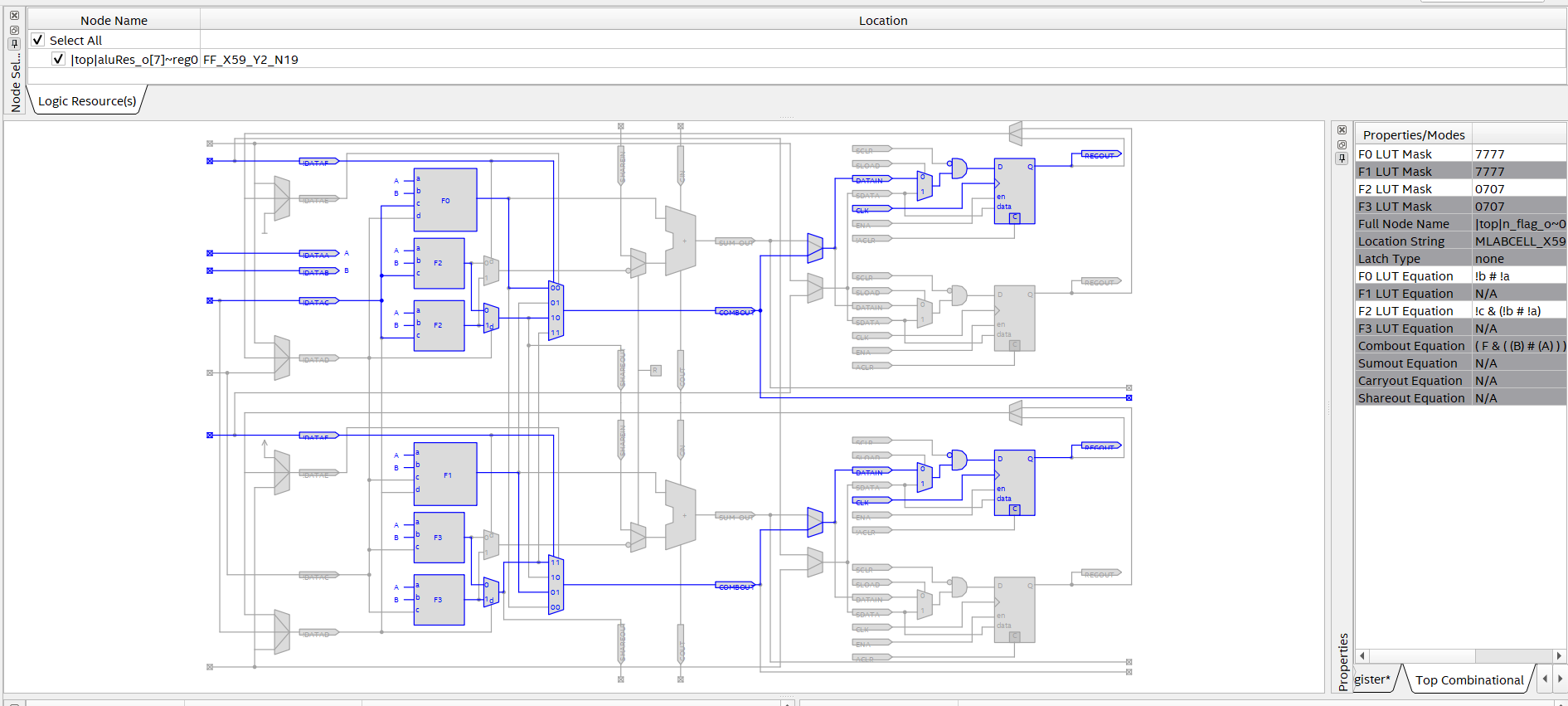




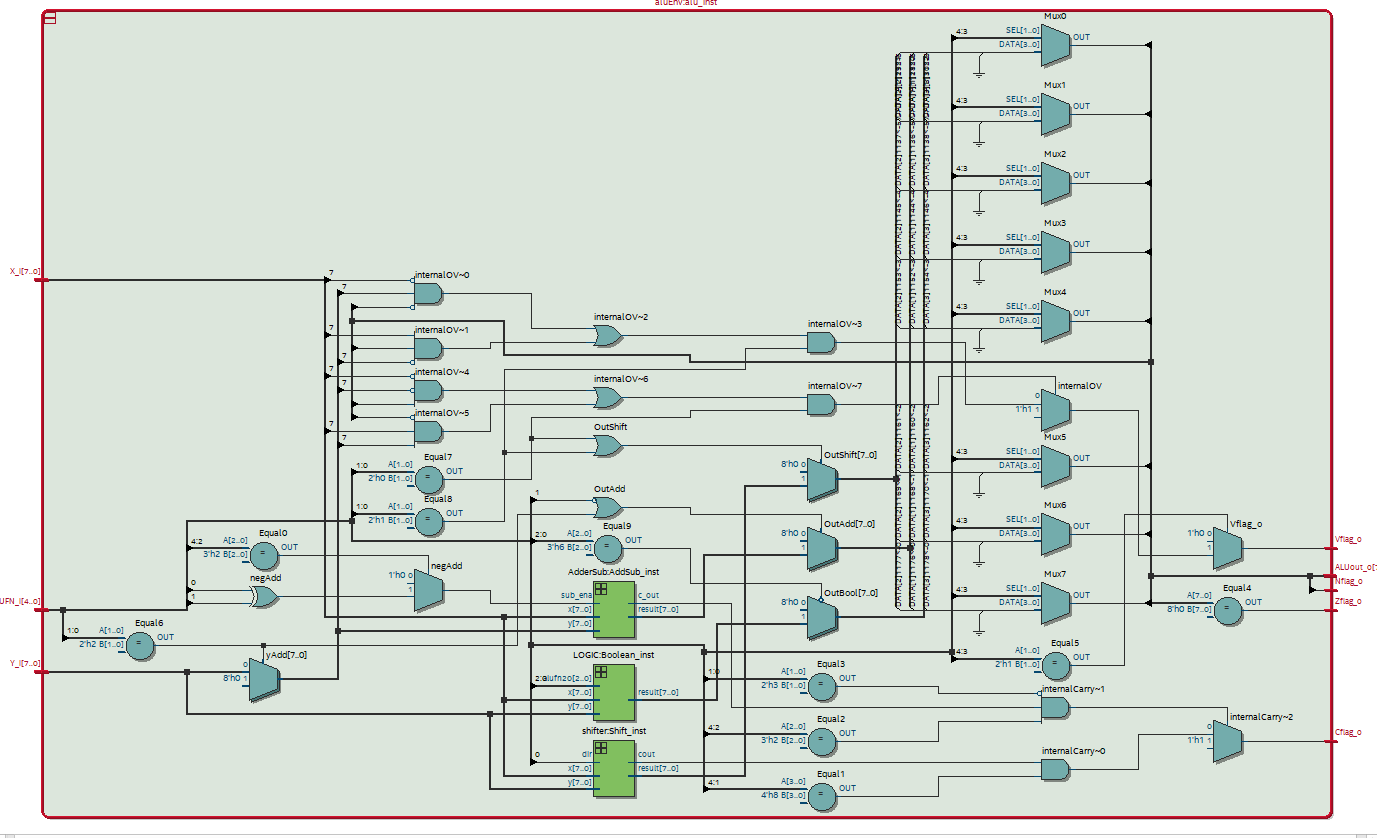


Critical path:





Alu env



Pwm env

תמונה שמכילה טקסט, תרשים, צילום מסך, קו

התיאור נוצר באופן אוטומטי