

国内外研究现状

数字信号处理技术已经成为了数字信号时代不可或缺的关键技术，现实社会是模拟的，要沟通模拟世界和现实世界，必须通过模拟数字转化器（ADC）来搭起模拟和数字世界的桥梁。随着现代通信与信号处理技术的不断推进,数字信号处理技术在高分辨图像,无线通信，雷达、仪器仪表以及消费电子等领域越发不可或缺，对 ADC 的要求也越来越高，高速、高精度、低功耗的需求越来越急迫。

现代的数字通信系统中，传输速率达 Gbps，需要同时具有高精度、高采样频率特性的 ADC 完成采样。但是在目前的工艺条件下，单片的 ADC 很难同时达到要求，多通道的分时 ADC 也因此而应运而生，并快速成为替代主流单片 ADC 的选择之一。在理想的情况下，可以通过对多路低速的 ADC 进行时分交替并行采样，将系统数据转换速率提升至原来的若干倍，从而实现高速和高精度。分时 ADC 可以通过适量的硬件消耗实现高精度高速的模数转换器，因此成为了将来发展的方向。

但是又由于工艺以及时钟控制等方面的原因，各个通道之间的偏置、增益、时钟和带宽等不匹配会带来严重的误差，会对整个系统的性能带来极大的影响，严重制约了分时交替模数转换器的动态性能。因此需要对时分交替 ADC 系统进行通道失配校准，减小失配，提升系统的性能。

由于制造工艺的限制，传统单片 ADC,如闪烁型 ADC (Flash ADC)、流水线型 ADC (Pipeline ADC)、逐次比较型 ADC (SAR ADC) 和 ADC 等结构，都有不同的指标瓶颈，如频率、精度和功耗等方面。根据科学研究及数据统计结果，表 1-1 为传统结构 ADC 的采样频率、采样精度及功率消耗之间的关系^[2]。

表 1-1 多种 ADC 技术的指标对比

ADC	$\Sigma-\Delta$	逐次逼近型	流水线型	闪烁型
采样频率	100kHz	10MHz	100MHz	1GHz
采样精度	24bit	18bit	15bit	8bit
功率消耗	1-10mW	10-100mW	100-1W	1-10W

当前主流 ADC 架构，比如 Flash ADC、分区式 ADC、逐次逼近型 ADC 和并行交替采样 ADC，他们的转换速度和分辨率关系所图 1.1 示。

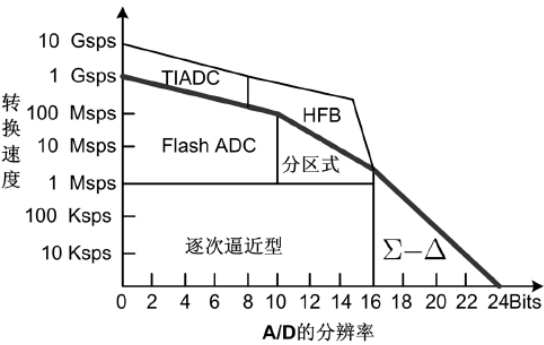


图 1.1 模数转换器架构与转换速度及分辨率的关系

在现代的高速通信系统中，系统的吞吐率非常高，常常需要采样频率为多 GHz 的模数转换器。根据表 1-1 多种 ADC 采样频率的对比，普通单片 ADC 的采样频率难以达到 GHz，这些 ADC 结构难以满足系统对超高速超高精度的需求。因此，在目前的工艺基础之上，想要同时保证高速、高精度，我们需要探寻新的方法。一种行之有效的方法是用多片传统型 ADC，组成高精度、高速的采样系统^[3]。

主流的实现技术分成时域和频域两大类方法：一类是在基于频分滤波器组的并行采样技术，主要利用频域上的频带分割技术。这种分割滤波器通常利用模拟域的高通、低通和带通滤波器实现，过渡带的宽度影响整个系统的性能。这种结构的实现需要模拟和数字滤波器，具有非常大的复杂度，目前尚未普及采用，处于研究阶段^[4]。

另一类实现技术通过在时域上用多片 ADC 分时交替地进行采样，利用相对速率较低、精度较高的传统 ADC，实现高采样速率高精度的分时 ADC 系统。这种结构硬件实现简单，现已成为并行采样结构 ADC 的主流，并有成熟的商业产品。它利用多片高精度 ADC 芯片分时交替的对模拟信号进行采样，能成倍地提升采样速率，并且能保证高精度量化。但是，各通道 ADC 芯片的非理想采样和他们之间的差异性会引起诸如增益误差、直流偏置误差和时钟失配误差等线性或非线性失配误差影响。这些误差极大地影响了 TIADC 的性能，必须进行失配误差的校准。大量文献表明，如果不进行误差校准，TIADC 系统的有效精度很难达到 8 比特以上^[5]。

分时 ADC 结构最早出现于 20 世纪末，由美国的布莱克和霍奇共同提出^[6]。它利用多片 ADC 并行采样以提高系统的采样频率。理想情况下， L 通道分时 ADC 对信号进行等时间间隔采样后进行合路输出，系统采样率可以达到单通道 ADC 采样率的 L 倍。如果利用多片较低速、高精度的 ADC 组成分时 ADC 结构，可以达到高速、高精度的采样效果。尽管分时 ADC 具有高速采样这一优点，却也存在固有缺点。现实情况下，由于器件的制造工艺、温度、电压的变化等原因，导致分时 ADC 各子通道间的不完全一致匹配，存在着通道间的失配误差^[7]。

分时 ADC 中由于通道间不匹配导致了三种线性误差，分别为时钟失配误差，增益失配误差，偏置失配误差^[8]。

- 一、时钟失配误差 (Time Mismatch Error) 是由于非理想的多相时钟信号或 PCB 板布线延时的差异，不能保证通过时钟网络分配给每片子 ADC 的时钟精准无偏移，导致 ADC 采样点的偏差，对采样信号进行相位调制，由此引起时钟失配误差。
- 二、增益失配误差 (Gain Mismatch Error) 是由于每片 ADC 的输入输出增益系数不一致而引起的误差，相当于对采样信号进行幅度调制。两种失配误差在频域上产生了杂散谱线，谱线为只与被采样信号的频率相关。
- 三、偏置失配误差 (Offset Mismatch Error) 是由于各个通道间的直流偏置系数存在差异而导致的，同样对在频域上产生了杂散谱线。分时 ADC 的失配误差影响了模数转换性能，降低了信噪比 (SNR) 和有效比特位 (ENOB)，需要对失配误差进行校准。

在失配误差的校准方面，国外许多高校及研究机构在理论与实现上均有丰硕的研究成果，例如奥地利的 University of Graz、美国的 UC Davis 分校、Santa Barbara 分校等高校^[9]。

Graz 的 Christian. Vogel 和 Shahzad Saleem 博士自 2004 年起开始研究分时 ADC 的误差估计校准算法，他们的研究重点是自适应算法，消除时钟、增益和失配误差，主要采取 LMS 算法进行更新，在时钟失配误差校准算法上创新点较多，发表了十余篇高质量论文。

美国 UC Davis 分校的 Lewis 教授和 Hurst 教授主要从事于模数混合信号的集成电路设计，他们带领学生研究分时 ADC 的时钟失配误差校准，同样专注于自适应盲校准算法。在 IEEE JSSC 和 IEEE TCAS 上发表多篇高质量论文^[10]。

美国 UC Santa Barbara 的 Munkyo Seo 博士提出了一种基于通道间相关性的估计算法，

对时钟失配误差的估计效果好^[10]。

在工业制造方面，富士通公司生产出采样率高达 56GHz、采样精度 8bits，功耗 2W 的分时 ADC 采样芯片，达到工业界的先进水平。

国内的分时 ADC 研究起步并迅速发展，一些大学及科研机构完成了不错的板级及芯片级设计实现。相比于国外先进水平仍有较大差距，但也存在不错的成果。

复旦大学在 2010 年实现了采样频率 200MHz、采样精度 14bits 的双通道分时 ADC 采样芯片。

2009 年，北京大学深圳研究院设计实现一款利用两块 4 通道分时 ADC 系统级联实现的 8 通道分时 ADC，采样频率 640MHz、采样精度 12bits^[11]。

中科大在 2007 年开发出了一套采样频率 320MHz、采样精度 14bits 的分时 ADC 系统，随后又研究出了采样频率 4GHz、采样精度 8bits 的系统。这些均是国内较为先进的研究水平。

2007 年，中国工程物理研究院实现了 4 通道、12bits、800MHz 的分时 ADC 系统，在输入信号频率较低（10MHz）时，SNR 提升 24dB，ENOB 达 7.6bits；输入信号频率较高时（190MHz），SNR 提升 16dB，ENOB 达 7.6bits^[12]。同年，电子科技大学实现了三通道 240MHz 的分时 ADC 采样系统，经过校准算法最终提升 ENOB 6bits，SNR 提升 30dB^[13]。

高速 ADC 校准技术

现行的误差校准技术分为前端校准技术和后端校准技术。

前端校准技术主要是通过输入一个确定的信号，以此信号为基准进行校准。这种方法并不适用于通信系统，因为通信系统一直处于开的状态，而且如果时间和温度等因素改变的话，需要重新校准。所以这种技术不是我们研究的重点。

后端校准技术可以分为传统失配补偿技术和盲自适应校准技术。传统失配补偿技术主要包括全局采样保持电路、高精度多相时钟和时钟失配补偿。这些技术主要从模拟域上改善时钟源，从而消除或者减小时钟失配误差^[14]。

虽然从模拟域能够有效地降低或消除时钟失配误差，但是设计模拟电路复杂度高，工作量大。目前，一种校准时钟失配比较有吸引力的方法是数字后校准技术。

图 2.1 给出了数字后校准技术在 TIADC 通道失配误差校准中应用的示意图。该技术是在 TIADC 数据采集后，利用 FPGA 或者 DSP 实现校准算法。事实上，随着数字信号处理技术的日渐成熟以及可编程逻辑器件的广泛应用，数字后校准技术更加凸显出其优势。

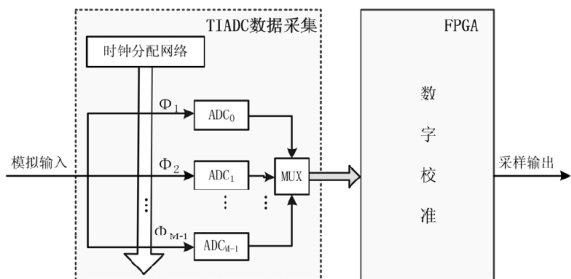


图 2.1 TIADC 数字后校准技术结构图

为了校正时钟失配，显然，首先要做的是估计时钟失配的大小。目前，时钟失配估计算法主要有两个研究方向：

一个是将测试信号注入 ADC，然后从 ADC 的输出来估计失配误差，属于前台（foreground）估计算法；

另一个是无须中断 ADC 的正常运作就可估计失配误差，属于后台（background）估计算法。

一般而言，数字校准有两个步骤：一、估计失配误差；二、消除或补偿失配误差。其中，失配值估计又分为基于测试信号的静态估计方法和基于自适应信号处理动态估计方法。

一、 误差估计阶段的算法

1. 基于正弦拟合的通道误差估计^[6]

利用已知频率的正弦信号作为测试信号输入给 TIADC 系统，对 TIADC 系统各通道输出的数字信号进行正弦波拟合，在最佳拟合条件下，得到各通道的增益、相位和直流偏置参数，进而获得对应通道的失配误差参数。该算法的优点是估计的精确度比较高。缺点是不具有实时性，并且实现的复杂度较高。适用于测量仪器以及波形数字机等对实时性要求不高的领域。

2. 基于 FFT 的通道误差估计^[15]

利用已知频率的正弦信号作为测试信号输入给 TIADC 系统，对 TIADC 系统各通道输出的数字信号进行合路，再对合路的数据做 FFT 变换。由于误差引起的杂散频谱的位置由输入频率和系统采样频率决定，故可找出各种误差引起的杂散频谱的位置，再对这些频点的数据做 IFFT 变换，通过求幅值和相角得到通道的失配误差参数。该算法的优点是估计的精确度比较高。缺点是不具有实时性，并且实现的复杂度较高。适用于测量仪器以及波形数字机等对实时性要求不高的领域。

3. 基于误差频带的通道误差估计^[16]

通过一个高通或者低通滤波器滤出一个误差频带，所示。通过不断调整时钟误差使该频带的能量最小化。该方法的优点是实时性好，并且复杂度较低。缺点是信号必须带限，需要一定的过采样来保证误差频带，并且需要尽可能多得误差成分在误差频带以内，成分越多估计的精确度高。此外该算法只适用于增益和时钟，且用于自适应算法中与校正算法协同工作。

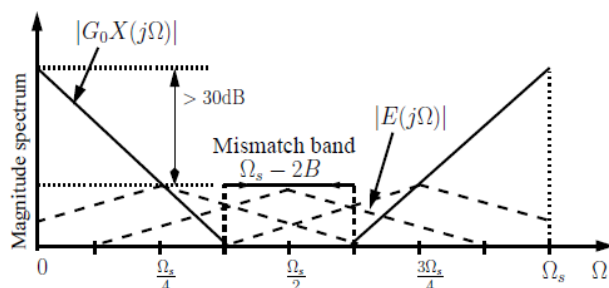


图 3.1 基于误差频带的通道误差估计

4. 基于通道间相关性的误差估计^[17]

此算法是根据通道间互相关自适应估计时钟误差和增益误差。该方法是基于输入信号的广义平稳性。当相邻通道间的互相关函数 $R(1)$ 都相等时，各个通道间的时钟误差就消除了；当各个通道的功率 $R(0)$ 相等时，各个通道间的增益误差就消除了。这种估计算法原理简单且易于实现，同时资源消耗也相当少。误差校正阶段的算法

5. 基于 LMS 算法的自适应校准算法

在算法的推导过程中，使用了一阶泰勒近似采用了 Farrow 近似或者是 FMC 计算而得到自适应滤波的结构，导致与基于 FFT 的时钟失配估计算法相比，估计精度相对较低。分为

- 基于 Farrow 结构的自适应数字校准算法，
- 基于 FMC 结构的自适应校准算法

二、 误差校准阶段的算法

1. 基于 FFT 的频域抵消算法^[18]

通过对各通道信号进行 FFT 运算后检测到误差频率成分，并通过加权平均抵消误差分量从而实现误差的校准。

2. 基于分数倍延迟滤波的校准

可以通过将子 ADC 的输出直接通过分数倍延迟滤波器完成时钟误差的校准。该方法由于滤波器工作在单通道采样速率下，限制了采样的带宽

一种方法是将子 ADC 的输出进行内插，将通道的速率提高，然后通过滤波器进行校准^[18]。图 3.1 所示。

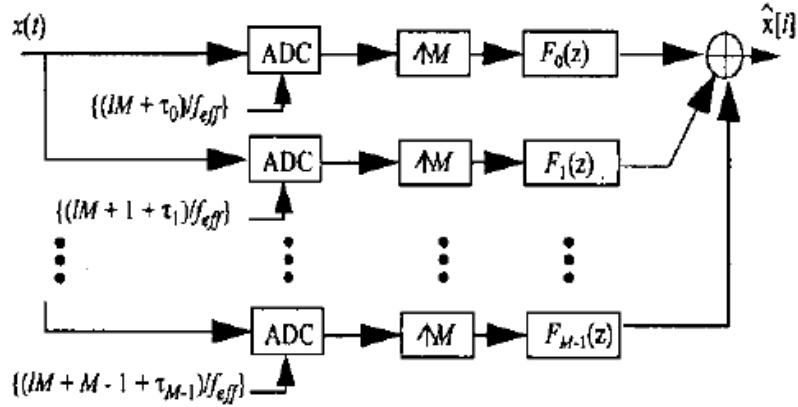


图 3.2 子 ADC 的输出进行内插

采用这样的校准方式关键在于校准滤波器系数的求解。文献^[19]介绍了求解滤波器的方法，如 WLS，SOCP 等。但是这些方法求解的系数是随着时钟误差的改变而改变的，不适合自适应的校准。文献^[20]对校准滤波器组做一系列的近似，将其表示为一些固定系数滤波器组的加权和。

另一种是将分数倍延迟滤波器的频率响应做泰勒级数展开，推导出综合滤波器组多项域的表达式。当时钟误差变化时，只需要修改其中的某些乘法器的系数即可，具有很好的适应性。再者，该种校准方式滤波器工作在通道采样速率下，为算法的实现提供了很大的余地。文献^[21]

3. 基于微分乘法器级联的误差的校准

通常的校准方法采用传统的时域误差模型^[22]，如下图。奥地利的 Graz 大学的研究团队通过传统误差模型的研究，得到新的误差模型，并基于这种新的误差模型，提出了一种基于微分乘法器级联的误差校正方法。该方法通过对一些难处理的函数做级数展开，并在误差允许的条件下进行近似，大大降低了运算的复杂度。该算法的优点是实现复杂度较低，并具有实时性。缺点是只能针对增益和时钟失配，对于偏置失配则不适用，同时由于在分析过程中用到了近似，故对校正的效果有一定的损失，然而由于大大降低了复杂度，这种损失是可以接受的。

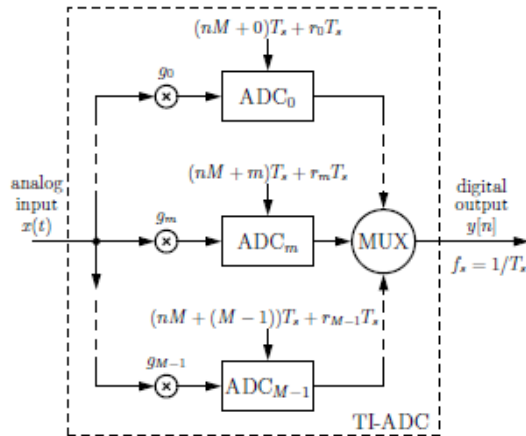


图 3.3 基于微分乘法器级联的误差

参考文献

- [1] 沈建. 高速OFDM接收机中分时ADC技术研究[D]. 成都: 电子科技大学, 2013.
- [2] 姚远. 基于高速FIR的分时ADC时钟失配误差校准技术研究[D]. 成都: 电子科技大学, 2013.
- [3] SATARZADEH P, LEVY B C, HURST P J. Adaptive semiblind calibration of bandwidth mismatch for two-channel time-interleaved ADCs[J]. Circuits and Systems I: Regular Papers, IEEE Trans, 2009, 56(9): 2075-2088.
- [4] VELAZQUEZ S R, NGUYEN T Q, BROADSTONE S R. Design of hybrid filter banks for analog/digital conversion[J]. Signal Processing, IEEE Transactions on, 1998, 46(4): 956-967.
- [5] SEO M, RODWELL M. Generalized blind mismatch correction for a two-channel time-interleaved ADC: Analytic approach[C]//Circuits and Systems, 2007. ISCAS 2007. IEEE Inter, 2007: 109-112.
- [6] JENQ Y. Digital spectra of nonuniformly sampled signals: A robust sampling time offset estimation algorithm for ultra high-speed waveform digitizers using interleaving[J]. Instrumentation and Measurement, IEEE Transactions, 1990, 39(1): 71-75.
- [7] LOWENBORG P, JOHANSSON H, WANHAMMAR L. A class of two-channel approximately perfect Reconstruction hybrid analog/digital filter banks[C]//Circuits and Systems, 2000. Proceedings. ISCAS 200, 1, 2000: 579-582 vo.
- [8] BLACK JR W C, HODGES D. Time interleaved converter arrays[J]. Solid-State Circuits, IEEE Journal of, 1980, 15(6): 1022-1029.
- [9] SALEEM S, VOGEL C. On blind identification of gain and timing mismatches in time-interleaved analog-to-digital converters[C]//33rd International Conference on Telecommunication, 2010: 151-155.
- [10] VOGEL C, JOHANSSON H. Time-interleaved analog-to-digital converters: Status and future directions[C]//Circuits and Systems, 2006. ISCAS 2006. Proceeding, 2006: 4 pp.-43389.
- [11] 朱志东, 邹月嫻, 陶阁. 一种宽带高性能TIADC时钟发生器[J]. 数据采集与处理, 2009 (S1): 177-181.
- [12] 尹亮. 时间交替高速采样技术研究[D]. 北京: 中国工程物理研究院, 2007.
- [13] 宁洪. 基于Nios II的高速高精度数据采集系统的研究与实现[D]. 成都: 电子科技大学, 2007.
- [14] ASAMI K. Technique to improve the performance of time-interleaved AD converters[C]//Test Conference, 2005. Proceedings. ITC 2005. IEEE, 2005: 7 pp.-7 857.
- [15] SEO M. Signal processing/hardware co-design for high-speed A/D conversion and millimeterwave sensor nets[M]. [S.l.]: [s.n.], 2007.
- [16] TERTINEKS, VOGEL C. Reconstruction of nonuniformly sampled bandlimited signals using a differentiator-multiplier cascade[J]. Circuits and Systems I: Regular Papers, IEEE Trans, 2008, 55(8): 2273-2286.
- [17] VOGEL C, PAMMER V, KUBING G. A novel Channel randomization method for time-interleaved ADCs[C]//Instrumentation and Measurement Technology Confere, 1, 2005: 150-155.

- [18] VOGEL C, SALEEM S, MENDEL S. Adaptive blind compensation of gain and timing mismatches in M-channel time-interleaved ADCs[C]//Electronics, Circuits and Systems, 2008. ICECS 200, 2008: 49-52.
- [19] SALEEM S, VOGEL C. Adaptive compensation of frequency response mismatches in high-resolution time-interleaved ADCs using a low-resolution ADC and a time-varying filter[C]//Circuits and Systems (ISCAS), Proceedings of 2010, 2010: 561-564.
- [20] HUANG S, LEVY B C. Blind calibration of timing offsets for four-channel time-interleaved ADCs[J]. Circuits and Systems I: Regular Papers, IEEE Trans, 2007, 54(4): 863-876.
- [21] TSAI T, HURST P J, LEWIS S H. Correction of mismatches in a time-interleaved analog-to-digital converter in an adaptively equalized digital communication receiver[J]. Circuits and Systems I: Regular Papers, IEEE Trans, 2009, 56(2): 307-319.
- [22] LAW C H, HURST P J, LEWIS S H. A four-channel time-interleaved ADC with digital calibration of interchannel timing and memory errors[J]. Solid-State Circuits, IEEE Journal of, 2010, 45(10): 2091-2103.