**实验一：基于Verilog和FPGA/CPLD的多功能秒表设计**

杨健邦 515030910223

**一、实验目的：**

1. 初步掌握利用Verilog硬件描述语言进行逻辑功能设计的原理和方法。
2. 理解和掌握运用大规模可编程逻辑器件进行逻辑设计的原理和方法。
3. 理解硬件实现方法中的并行性，联系软件实现方法中的并发性。
4. 理解硬件和软件是相辅相成、并在设计和应用方法上的优势互补的特点。
5. 本实验学习积累的Verilog硬件描述语言和对FPGA/CPLD的编程操作，是进行后续《计算机组成原理》部分课程实验，设计实现计算机逻辑的基础。

**二、实验内容：**

1. 运用Verilog硬件描述语言，基于DE1-SOC实验板，设计实现一个具有较多功能的计时秒表。
2. 要求将6个数码管设计为具有“分：秒：毫秒”显示，按键的控制动作有：“计时复位”、“计数/暂停”、“显示暂停/显示继续”等。功能能够满足马拉松或长跑运动员的计时需要。
3. 利用示波器观察按键的抖动，设计按键电路的消抖方法。
4. 在实验报告中详细报告自己的设计过程、步骤及Verilog代码。

**三、预习内容：**

1. 学习和掌握Verilog HDL硬件描述语言。
2. 熟悉针对Altera公司FPGA开发的QuartusⅡ13.1软件开发界面。
3. 掌握利用Modelsim ALTERA 10.1d仿真软件进行设计功能验证的方法。

**四、实验器材：**

1. Altera-DE1-SOC实验板套件1套
2. 示波器 1台
3. 数字万用表 1台

**五、设计思想和方法：**

1. 基本功能的实现：每次在时钟的上升沿时，给一个计数器加一，直到计数器加到500000次之后，给毫秒位加1，之后一直判断进位。之后根据按键状态来决定是否将实际值付给显示值的寄存器，最后通过sevenseg转化为七段数码管的显示。当各位到达最大值之后，所有位都重新置为0。重新开始计时。
2. 按键消抖：通过多次采样的方法，当第一次检测到低电平，经过一个delay之后，连续几个周期都检测到按键按下产生的低电平则判断按键按下，此时才会产生按键的效果。这样虽然会使得快速按键没有效果，但是却很有效地消除了按键抖动的影响，权衡利弊，故采用这种方法。
3. 长按的处理：在解决的按键消抖的问题之后，我发现持续不断地按下按键会导致秒表会不断地暂停又开始，这不符合日常我们的逻辑。在按下按键之后，再放开重按之前，应该只会产生执行一次的效果。基本的解决方法是，用一个寄存器去记录按键在按下之后是否被放开过，这样，当检测到按键按下之后，如果发现按键没有被放开过，就不产生此次按键的效果。

**六、实验感想：**

1. 这次实验让我熟悉了Verilog HDL硬件编程语言的语法，同时也熟悉了FPGA的操作流程。
2. 这次实验让我改变了以往编程语言顺序执行的传统观念，让我从不同的角度去思考问题，学会了并行逻辑的编写。