(FOCT 26765.52-87, FOCT P. 52070-2003)

# Лабораторная работа №406A\_V1

Стандарт MIL-STD-1553, изначально разрабатывался по заказу МО США для использования в военной бортовой авионике. Впервые опубликован в США как стандарт ВВС в 1973 году, применён на истребителе F-16. Принят в качестве стандарта HATO — STANAG 3838 AVS. Позднее спектр его применения существенно расширился, стандарт стал применяться и в гражданских системах.

Данные передаются по витой проводной паре последовательно словами по 16 бит. Длительность каждого слова 20 мкс и состоит из 20 тактов по 1 мкс. В первые три такта передаются 2 импульса синхронизации с длительностью 1.5 мкс каждый. Затем в течение 16 тактов передаются 16 бит данных (D[15:0] - старшими битами вперед) и на последнем 20-м такте передается бит контроля четности (дополнение до нечетности числа 1 в слове). Полярность импульсов синхронизации определяется назначением слова. Например, в командном слове (CW) и в ответном слове (RW) первый импульс синхронизации положительный, а в слове данных (WD) — отрицательный. В качестве кода передачи используется биполярный фазоманипулированный код (Манчестер II). Биты данных передаются не потенциально, а перепадом напряжения в центре такта. Перепад напряжения от  $+ \kappa - (-)$  соответствует 1, а перепад от  $- \kappa + (-)$  соответствует 0. Размах напряжения на линии может быть в интервале от 1.4 В до 20 В. Пример временных диаграмм слова приведен на рис 1.

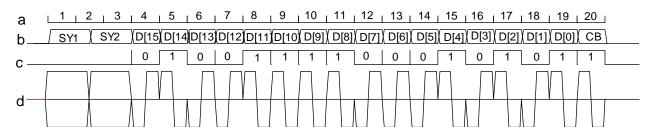


Рис.1. Временные диаграммы слова стандарта MIL-STD-1553 (а – разрядная сетка, b – структура слова, с – пример последовательности бит данных, d – напряжение между проводниками витой пары линии передачи)

Код Манчестер II является самосинхронизирующимся, т.е. он передает не только данные, но и эталон времени передатчика. В середине каждого такта данных обязательно имеется перепад напряжения, по которому можно принимать данные или синхронизировать эталон времени приёмника.

Слова данных передаются без промежутка ("впритык") к командному слову или ответному слову так и между собой.

В данной работе в системе проектирования OrCAD 10.5 составляются схемы и проводится моделирование модулей:

- MIL\_TXD формирователя логических сигналов управления передатчиком,
- MIL\_TXRXA –приемо-передатчика аналоговых сигналов,
- SR8 регистра сдвига сигналов дешифратора,
- MIL\_DEC дешифратора сигналов приемника.

В связи с большой трудоемкостью и ограниченными возможностями системы моделирования, встроенной в OrCAD 10.5 схемы составляются не для полного формата слов MIL-1553 (17 бит), а только для восьми бит данных и без бита контроля четности. Для изучения методов формирования сигналов MMIL-1553 и декодирования кода Манчестер II этого вполне достаточно.

Схему модуля MIL\_DEC – дешифратора сигналов приемника предлагается составить самостоятельно из, предлагаемых в приложении, фрагментов схем.

### 1. Задание к допуску

Получить от преподавателя номер набора параметров (из таблицы 1), в который входят: байт данных DAT, и коэффициент связи k обмоток трансформатора.

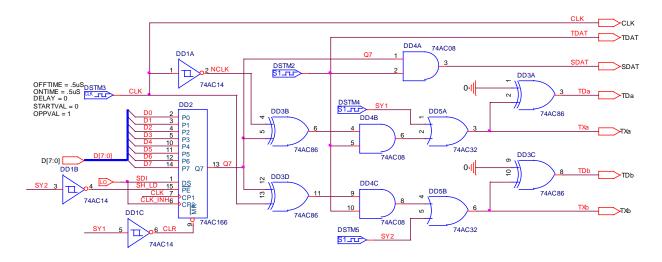
Таблица 1

| No  | DAT[7:0] | k              |
|-----|----------|----------------|
| 710 | DAI[7.0] | K              |
|     | HEX      | трансформатора |
| 1   | 81       | 0.992          |
| 2   | 7f       | 0.993          |
| 3   | 35       | 0.994          |
| 4   | 5A       | 0.995          |
| 5   | A5       | 0.996          |
| 6   | E7       | 0.997          |
| 7   | 18       | 0.998          |
| 8   | 3C       | 0.999          |
| 9   | C3       | 0.999          |
| 10  | 36       | 0.998          |
| 11  | 91       | 0.997          |
| 12  | 19       | 0.996          |
| 13  | D1       | 0.995          |
| 14  | 1B       | 0.994          |
| 15  | 55       | 0.993          |
| 16  | D2       | 0.992          |
| 17  | 4C       | 0.990          |
|     |          |                |

| 18 | 99 | 0.998 |
|----|----|-------|
| 19 | AA | 0.995 |
| 20 | 55 | 0.997 |

1.1. Начертить в тетради схему модуля MIL\_TXD 8-ми битного генератора логических сигналов управления приемо-передатчиком (рис.1.1).

В этой схеме применяется регистр сдвига 74AC166 (DD1) с асинхронным сбросом по входу MR, параллельной загрузкой по фронту сигнала синхронизации при PE=0 и сдвигом влево при PE=1. Генератор DSTM3 (DigClock) является источником периодического сигнала синхронизации с частотой 1 МГц. Элементы DD3B и DD3D выполняют функцию модуляторов потенциального кода последовательных данных Q7 с выхода регистра сдвига в код Манчестер II.



Puc.1.1 Схема модуля MIL\_TXD

На выходе генератора DSM2 (STIM1) должен быть положительный импульс (TDAT) с длительностью 8 мкс (интервала данных) сдвинутый на 4 мкс. Импульсы синхронизации SY1 и SY2 с длительностями по 1.5 мкс формируются генераторами DSTM4 и DSTM5. Импульс SY1 должен иметь задержку 1 мкс, а импульс SY2 – 2.5 мкс. Регистр сдвига DD2 сбрасывается в ноль инверсным импульсом SY1, а загружается данными инверсным импульсом SY2. Элементы DD3A и DD3C введены в схему модуля только для обеспечения возможности отображения результатов моделирования всех сигналов в окне логических сигналов.

1.2. Начертить в тетради схему модуля MIL\_TXRXA приемо-передатчика сигналов MIL-1553(рис.1.2).

Передатчик и приемник сигналов МІL-1553 объединяются общим трансформатором (TIL2B) с четырьмя одинаковыми обмотками. Индуктивность каждой обмотки 1 мГ. Обмотки L1 и L2 используются в передатчике, обмотка L4 в приемнике, L3

является общей для передатчика и приемника и соединяется с витой парой линии передачи.

Передатчик построен по двухтактной схеме с двумя ключами, в качестве которых на практике используют n-канальные  $MO\Pi$  транзисторы, которые поочередно открываются сигналами TXa и TXb. В паузе между передачами оба ключа закрыты (TXa = TXb = 0).

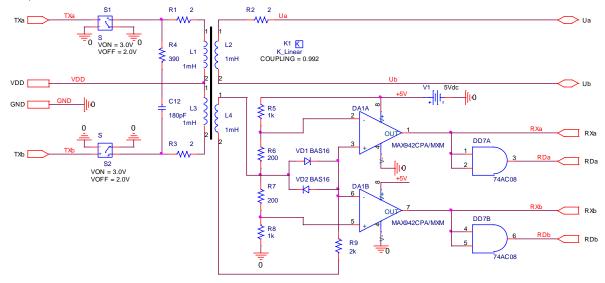


Рис.1.2. Схема модуля MIL\_TXRXA

В приемнике используются два компаратора DA1A и DA1B. Компаратор DA1A преобразует положительные импульсы, а компаратор DA1B преобразует отрицательные импульсы линии в положительные импульсы RXa и RXb. Здесь также элементы DD7A и DD7B введены в схему модуля для обеспечения возможности отображения выходных сигналов RDa и RDb приемника в окне логических сигналов. Зона нечувствительности приемника определяется напряжением источника V1 и отношением сопротивлений резисторов R6/R5 и R7/R8. Резистор R9 и диоды VD1, VD2 ограничивают напряжение на входах компараторов.

Качество трансформатора определяется коэффициентом связи его обмоток (COUPLING в компоненте K Liner).

#### 1.3. Начертить в тетради схему SR8 модуля регистра сдвига (рис.1.3).

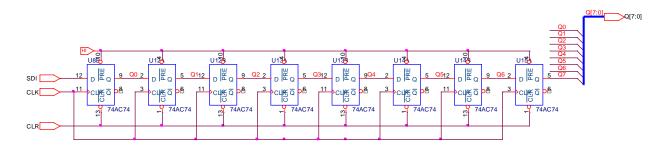


Рис.1.3 Схема модуля регистра сдвига

Регистр сдвига состоит из 8 последовательно соединенных D-триггеров (выход Qi со входом Di+1, i=0,1,2,...6). Входом последовательных данных SDI является вход D0 младшего триггера. Входы синхронизации CLK всех триггеров соединены параллельно. По каждому фронту сигнала синхронизации данные всех триггеров сдвигаются на один разряд в строну старших разрядов. В младший разряд записывается значение SDI. Входы асинхронной установки в 1 (PRE#) и асинхронного сброса в 0 (CLR#) инверсные, т.е. активным является логический ноль. Для режима сдвига на выводах PRE# и CLR# должна быть логическая единица.

1.4. Начертить в тетради схему последовательно соединенных передатчика линий задержки и приемника сигналов ARINC (рис.6).

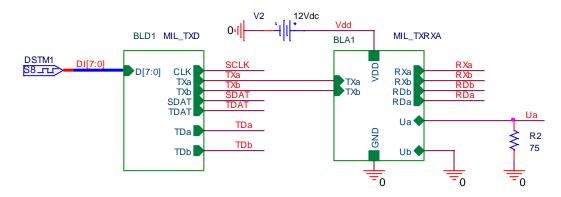


Рис.1.4. Схема соединения модулей передатчика MIL\_TXD и прием-передатчика MIL TXRXA сигналов MIL-1553

#### 2. Задание к выполнению

В своей папке .../FRTK/Gr/my\_NAME/lab\_NAME создать для моделирования проект с именем данной лабораторной работы (File>New>Project>Analog or Mixed A/D).

В созданном проекте, кроме SCHEMATIC1, создать 3 новых схемы для модулей: MIL\_TXD, MIL\_TXRXA и SR8. Присвоить созданным схемам имена этих модулей. В каждой из схем модулей создать по одной странице (Page1).

- 2.1. На странице Page1 схемы модуля MIL\_TXD из библиотечных элементов составить схему 8-ми битного генератора дискретных сигналов MIL-1553 (см. рис.1.1).
- 2.1.1. На странице Page1 главной схемы SCHEMATIC1 создать модуль MIL\_TXRXA. Ко входу DAT[7:0] подключить источник STIM8 из библиотеки SOURCE. В таблице параметров этого источника установить заданное значение DAT. К входу CLK подключить генератор периодического сигнала синхронизации DigClock. Установить OFFTIME и ONTIME этого генератора соответствующие скорости передачи 1 мегабит в секунду.
- 2.2. На странице Page1 схемы модуля MIL\_TXRXA из библиотечных элементов составить схему этого модуля (см. рис.1.2).
- 2.2.1. На странице Page1 главной схемы SCHEMATIC1 создать модуль MIL\_TXRXA. Соединить выводы модулей в соответствии со схемой рис.1.4.

2.3. Создать Simulation Profile для задания на моделирование. Выбрать режим **Time Domain (Transient)**, при времени моделирования (**Run to time**) равном 16Tc=16/VEL. Провести моделирование работы 8-ми битного генератора дискретных сигналов MIL\_TXD и генератора аналоговых и дискретных сигналов приемо-передатчика MIL\_TXRXA. Зарисовать в тетради временные диаграммы Ua и всех дискретных выводов модулей.

### 3. Задание к сдаче работы

- 3.1. Составить схему MIL\_DEC дешифратора сигналов кода Манчестер II.
- 3.2. Отладить схему MIL\_DEC дешифратора сигналов кода Манчестер II.
- 3.3. На странице Page1 главной схемы SCHEMATIC1 создать модуль MIL\_DEC. Соединить входы модуля MIL\_DEC с выходами TDa и TDb модуля MIL\_TXD.
- 3.4. Провести моделирование работы схемы. Зарисовать в тетради характерные временные диаграммы.

## 4. Приложения

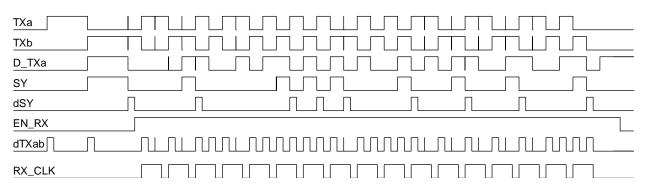


Рис. 4.1 Временные диаграммы сигналов дешифратора MIL\_DEC

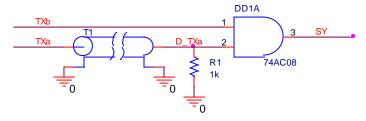
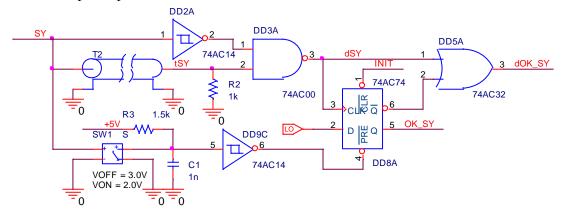


Рис.4.2 Схема дешифратора сигнала синхронизации

В линии задержки T1 дешифратора сигнала синхронизации должны быть установлены параметры: TD = 1.5us, Z0 = R1 = 1k.



#### Рис.4.3 Схема контроля сигнала синхронизации

В линии задержки Т2 «дифференциатора» спада сигнала синхронизации должны быть установлены параметры: TD = 0.3us, Z0 = R2 = 1k. Выходной импульс dSY инверсный, т.е. после каждого спада импульса входного сигнала SY на выходе DD3A появляется отрицательный относительно логической единицы импульс с длительностью TD. Компоненты SW1, R3, C1, DD9C, DD8A предназначены для контроля длительности си импульсов сигнала синхронизации.

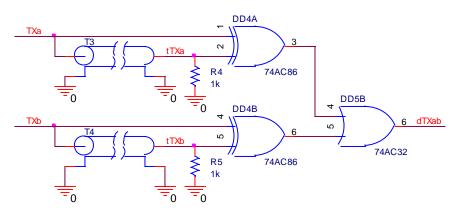


Рис.4.4 Схема «дифференциатора» перепада сигналов ТХа, ТХb

В линиях задержки Т3 и Т4 «дифференциатора» перепада сигналов ТXa, ТXb должны быть установлены параметры: TD = 0.1us, Z0 = R4 = R5 = 1k.

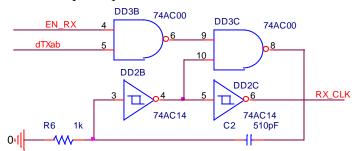


Рис.4.5 Схема ждущего генератора импульсов

Особенностью этого ждущего генератора импульсов является то, что он «игнорирует» импульсы запуска, которые поступают до конца завершения формирования импульса предыдущего запуска. Поэтому, если первый запуск генератора будет произведен импульсом перепада в середине первого такта интервала данных, то при длительности импульса генератора больше половины длительности такта, все импульсы перепадов между тактами будут пропущены. Для этого постоянная времени (R6\*C2) в этом ждущем генераторе импульсов должна быть такой, чтобы длительность T(RX\_CLK) выходного импульса RX\_CLK была в пределах 0.5Tc < T(RX\_CLK) < Tc, где Tc – длительность такта передачи одного бита данных (Tc=1мкс).

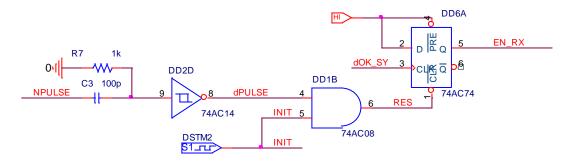


Рис.4.6 Схема генератора импульса EN RX

В этой схеме элементы C3,R7 и инвертор DD2D выполняют функцию дифференцирования фронта импульса NPULSE. Постоянная времени (R7\*C3) должна быть такой, чтобы длительность T(dPULSE) выходного импульса dPULSE была примерно равна 0.2-0.3Tc. Триггер DD6A генератора импульса EN\_RX разрешения приема устанавливается в 1 фронтом импульса dSY, а сбрасывается в 0 продифференцированным фронтом выходного импульса NPULSE (рис.4.7). Генератор «начального отрицательного» импульса INIT необходим только для обеспечения определенного состояния триггера DD6A перед началом моделирования.

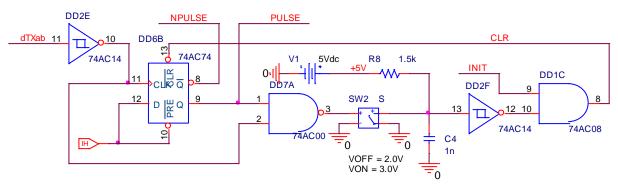


Рис.4.7 Схема ждущего генератора импульсов со сбросом таймера

Этот ждущий генератор запускается фронтом входного сигнала, а его низким уровнем через DD7A и ключ SW1 времязадающий элемент конденсатор C3 разряжается. Если интервал между входными импульсами запуска меньше чем время заряда конденсатора C4 до уровня напряжения верхнего порога инвертора DD2F то, высокий уровень выходного сигнала PULSE будет сохраняться до появления достаточно длинной паузы между импульсами, т.е. до конца интервала данных, после которого следует сигнал синхронизации следующего слова или пауза между словами. Поэтому время Тј заряда конденсатора C4 до уровня напряжения верхнего порога инвертора DD2F должно быть больше Tc, но меньше 1.5Tc. Триггер DD6A генератора импульса EN\_RX разрешения приема сбрасывается в 0 продифференцированным фронтом выходного импульса NPULSE.