

Лабораторная работа №406A_V1

Стандарт MIL-STD-1553, изначально разрабатывался по заказу МО США для использования в военной бортовой авионике. Впервые опубликован в США как стандарт BBC в 1973 году, применён на истребителе F-16. Принят в качестве стандарта НАТО — STANAG 3838 AVS. Позднее спектр его применения существенно расширился, стандарт стал применяться и в гражданских системах.

Данные передаются по витой проводной паре последовательно словами по 16 бит. Длительность каждого слова 20 мкс и состоит из 20 тактов по 1 мкс. В первые три такта передаются 2 импульса синхронизации с длительностью 1.5 мкс каждый. Затем в течение 16 тактов передаются 16 бит данных (D[15:0] - старшими битами вперед) и на последнем 20-м такте передается бит контроля четности (дополнение до нечетности числа 1 в слове). Полярность импульсов синхронизации определяется назначением слова. Например, в командном слове (CW) и в ответном слове (RW) первый импульс синхронизации положительный, а в слове данных (WD) – отрицательный. В качестве кода передачи используется биполярный фазоманипулированный код (Манчестер II). Биты данных передаются не потенциально, а перепадом напряжения в центре такта. Перепад напряжения от + к – (–) соответствует 1, а перепад от – к + (+) соответствует 0. Размах напряжения на линии может быть в интервале от 1.4 В до 20 В. Пример временных диаграмм слова приведен на рис 1.



Рис.1. Временные диаграммы слова стандарта MIL-STD-1553 (a – разрядная сетка, b – структура слова, c – пример последовательности бит данных, d – напряжение между проводниками витой пары линии передачи)

Код Манчестер II является самосинхронизирующимся, т.е. он передает не только данные, но и эталон времени передатчика. В середине каждого такта данных обязательно имеется перепад напряжения, по которому можно принимать данные или синхронизировать эталон времени приёмника.

Слова данных передаются без промежутка (“впритык”) к командному слову или ответному слову так и между собой.

В данной работе в системе проектирования OrCAD 10.5 составляются схемы и проводится моделирование модулей:

- MIL_TXD – формирователя логических сигналов управления передатчиком,
- MIL_TXRXA –приемо-передатчика аналоговых сигналов,
- SR8 – регистра сдвига сигналов дешифратора,
- MIL_DEC – дешифратора сигналов приемника.

В связи с большой трудоемкостью и ограниченными возможностями системы моделирования, встроенной в OrCAD 10.5 схемы составляются не для полного формата слов MIL-1553 (17 бит), а только для восьми бит данных и без бита контроля четности. Для изучения методов формирования сигналов MMIL-1553 и декодирования кода Манчестер II этого вполне достаточно.

Схему модуля MIL_DEC – дешифратора сигналов приемника предлагается составить самостоятельно из, предлагаемых в приложении, фрагментов схем.

1. Задание к допуску

Получить от преподавателя номер набора параметров (из таблицы 1), в который входят: байт данных DAT, и коэффициент связи k обмоток трансформатора.

Таблица 1

№	DAT[7:0] HEX	k трансформатора
1	81	0.992
2	7f	0.993
3	35	0.994
4	5A	0.995
5	A5	0.996
6	E7	0.997
7	18	0.998
8	3C	0.999
9	C3	0.999
10	36	0.998
11	91	0.997
12	19	0.996
13	D1	0.995
14	1B	0.994
15	55	0.993
16	D2	0.992
17	4C	0.990

является общей для передатчика и приемника и соединяется с витой парой линии передачи.

Передатчик построен по двухтактной схеме с двумя ключами, в качестве которых на практике используют n-канальные МОП транзисторы, которые поочередно открываются сигналами TXa и TXb. В паузе между передачами оба ключа закрыты (TXa = TXb = 0).

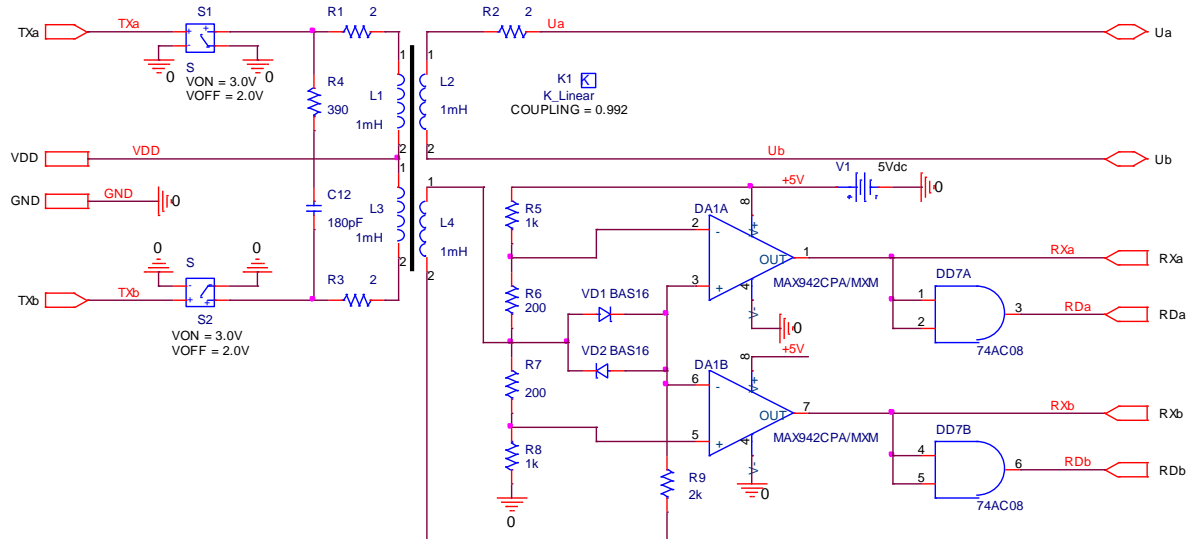


Рис.1.2. Схема модуля MIL_TXRXA

В приемнике используются два компаратора DA1A и DA1B. Компаратор DA1A преобразует положительные импульсы, а компаратор DA1B преобразует отрицательные импульсы линии в положительные импульсы RXa и RXb. Здесь также элементы DD7A и DD7B введены в схему модуля для обеспечения возможности отображения выходных сигналов RDa и RDb приемника в окне логических сигналов. Зона нечувствительности приемника определяется напряжением источника V1 и отношением сопротивлений резисторов R6/R5 и R7/R8. Резистор R9 и диоды VD1, VD2 ограничивают напряжение на входах компараторов.

Качество трансформатора определяется коэффициентом связи его обмоток (COUPLING в компоненте K Liner).

1.3. Начертить в тетради схему SR8 модуля регистра сдвига (рис.1.3).

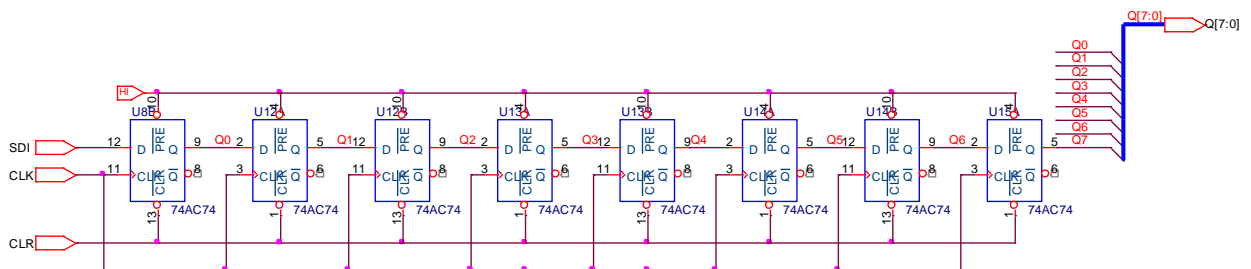


Рис.1.3 Схема модуля регистра сдвига

Регистр сдвига состоит из 8 последовательно соединенных D-триггеров (выход Qi со входом Di+1, i=0,1,2,...6). Входом последовательных данных SDI является вход D0 младшего триггера. Входы синхронизации CLK всех триггеров соединены параллельно. По каждому фронту сигнала синхронизации данные всех триггеров сдвигаются на один разряд в сторону старших разрядов. В младший разряд записывается значение SDI. Входы асинхронной установки в 1 (PRE#) и асинхронного сброса в 0 (CLR#) инверсные, т.е. активным является логический ноль. Для режима сдвига на выводах PRE# и CLR# должна быть логическая единица.

1.4. Начертить в тетради схему последовательно соединенных передатчика линий задержки и приемника сигналов ARINC (рис.6).

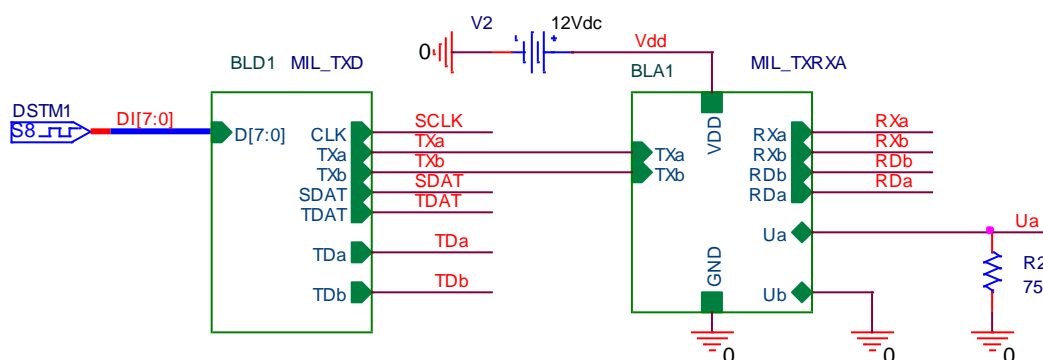


Рис.1.4. Схема соединения модулей передатчика MIL_TXD и прием-передатчика MIL_TXRXA сигналов MIL-1553

2. Задание к выполнению

В своей папке .../FRTK/Gr/my_NAME/lab_NAME создать для моделирования проект с именем данной лабораторной работы (File>New>Project>Analog or Mixed A/D).

В созданном проекте, кроме SCHEMATIC1, создать 3 новых схемы для модулей: MIL_TXD, MIL_TXRXA и SR8. Присвоить созданным схемам имена этих модулей. В каждой из схем модулей создать по одной странице (Page1).

2.1. На странице Page1 схемы модуля MIL_TXD из библиотечных элементов составить схему 8-ми битного генератора дискретных сигналов MIL-1553 (см. рис.1.1).

2.1.1. На странице Page1 главной схемы SCHEMATIC1 создать модуль MIL_TXRXA. Ко входу DAT[7:0] подключить источник STIM8 из библиотеки SOURCE. В таблице параметров этого источника установить заданное значение DAT. К входу CLK подключить генератор периодического сигнала синхронизации DigClock. Установить OFFTIME и ONTIME этого генератора соответствующие скорости передачи 1 мегабит в секунду.

2.2. На странице Page1 схемы модуля MIL_TXRXA из библиотечных элементов составить схему этого модуля (см. рис.1.2).

2.2.1. На странице Page1 главной схемы SCHEMATIC1 создать модуль MIL_TXRXA. Соединить выводы модулей в соответствии со схемой рис.1.4.

2.3. Создать Simulation Profile для задания на моделирование. Выбрать режим **Time Domain (Transient)**, при времени моделирования (**Run to time**) равном $16T_c=16/VEL$. Провести моделирование работы 8-ми битного генератора дискретных сигналов MIL_TXD и генератора аналоговых и дискретных сигналов приемо-передатчика MIL_TXRXA. Зарисовать в тетради временные диаграммы U_a и всех дискретных выводов модулей.

3. Задание к сдаче работы

- 3.1. Составить схему MIL_DEC дешифратора сигналов кода Манчестер II.
- 3.2. Отладить схему MIL_DEC дешифратора сигналов кода Манчестер II.
- 3.3. На странице Page1 главной схемы SCHEMATIC1 создать модуль MIL_DEC. Соединить входы модуля MIL_DEC с выходами TDa и TDb модуля MIL_TXD.
- 3.4. Провести моделирование работы схемы. Зарисовать в тетради характерные временные диаграммы.

4. Приложения

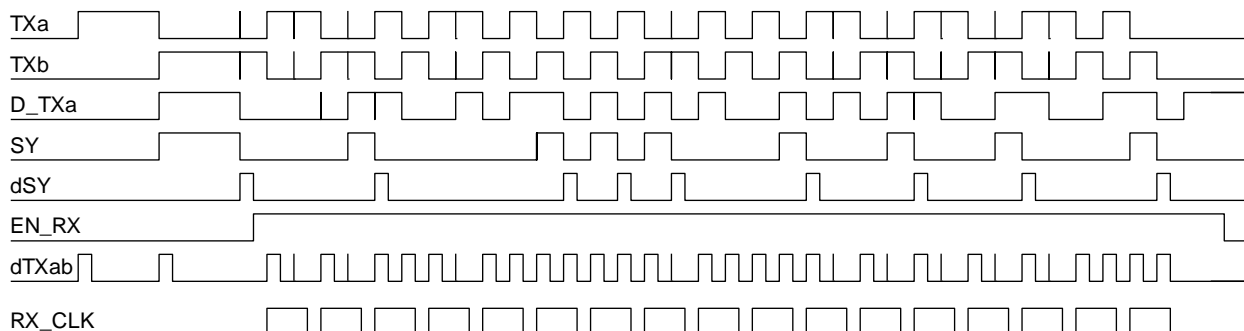


Рис.4.1 Временные диаграммы сигналов дешифратора MIL_DEC

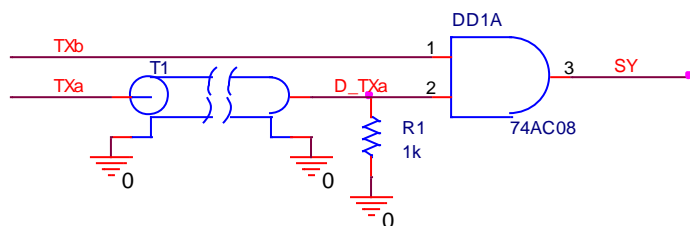


Рис.4.2 Схема дешифратора сигнала синхронизации

В линии задержки T1 дешифратора сигнала синхронизации должны быть установлены параметры: $TD = 1.5\mu s$, $Z0 = R1 = 1k$.

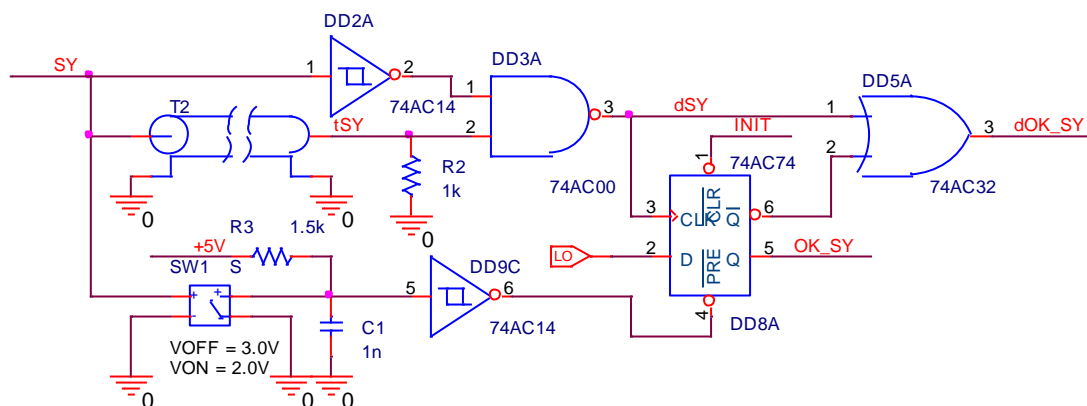


Рис.4.3 Схема контроля сигнала синхронизации

В линии задержки T2 «дифференциатора» спада сигнала синхронизации должны быть установлены параметры: $T_D = 0.3\mu s$, $Z_0 = R_2 = 1k$. Выходной импульс dSY инверсный, т.е. после каждого спада импульса входного сигнала SY на выходе DD3A появляется отрицательный относительно логической единицы импульс с длительностью T_D . Компоненты SW1, R3, C1, DD9C, DD8A предназначены для контроля длительности си импульсов сигнала синхронизации.

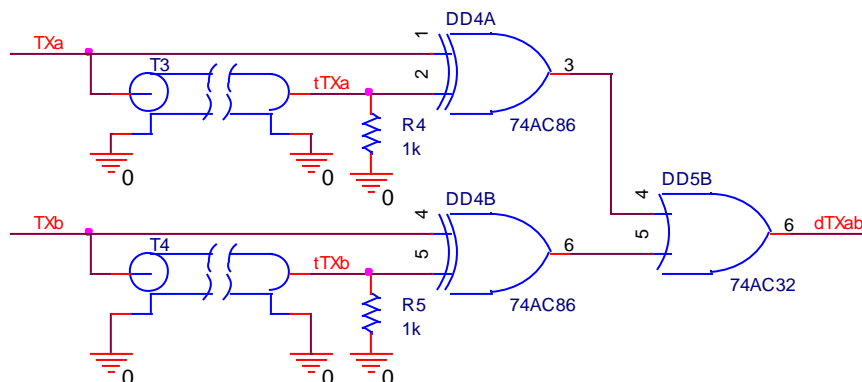


Рис.4.4 Схема «дифференциатора» перепада сигналов TXa, TXb

В линиях задержки T3 и T4 «дифференциатора» перепада сигналов TXa, TXb должны быть установлены параметры: $T_D = 0.1\mu s$, $Z_0 = R_4 = R_5 = 1k$.

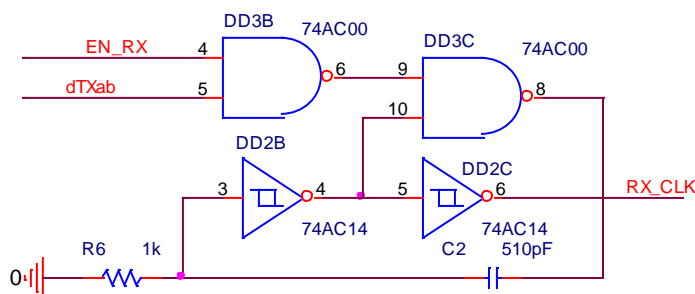


Рис.4.5 Схема ждущего генератора импульсов

Особенностью этого ждущего генератора импульсов является то, что он «игнорирует» импульсы запуска, которые поступают до конца завершения формирования импульса предыдущего запуска. Поэтому, если первый запуск генератора будет произведен импульсом перепада в середине первого такта интервала данных, то при длительности импульса генератора больше половины длительности такта, все импульсы перепадов между тактами будут пропущены. Для этого постоянная времени ($R_6 \cdot C_2$) в этом ждущем генераторе импульсов должна быть такой, чтобы длительность $T(RX_CLK)$ выходного импульса RX_CLK была в пределах $0.5T_c < T(RX_CLK) < T_c$, где T_c – длительность такта передачи одного бита данных ($T_c = 1\mu s$).

