

# Д-триггеры на КМОП логических элементах

## Лабораторная работа №303М

В работе изучаются свойства логических элементов, состоящих из комплементарных металл-окисел полупроводниковых (КМОП) транзисторов, и исследуются свойства и процессы переключения *D*-триггеров, реализованных на этих логических элементах и аналоговых КМОП ключах.

### МОП транзисторы

КМОП логические элементы состоят из МОП транзисторов с индуцированными каналами *p* и *n* типов. Условное обозначение и семейство вольтамперных характеристик МОП транзистора с индуцированным каналом *n* типа приведены на рис. 1.

В логических элементах подложка (вывод со стрелкой) соединяется с истоком транзистора, а на сток подается напряжение только одного знака (положительное для транзистора *n* типа). При нулевом, относительно истока, напряжении на затворе транзистор заперт, а отпирается он, когда напряжение на затворе превышает 1...3 В. При малых напряжениях на стоке относительно истока МОП транзистор ведет себя как резистор, сопротивление которого зависит от напряжения на затворе (уменьшается с увеличением напряжения на затворе), а при больших напряжениях на стоке ток МОП транзистора мало зависит от напряжения, т.е. ведет себя как генератор тока. Увеличение напряжения на затворе приводит к увеличению тока стока.

Условное обозначение и семейство вольт-амперных характеристик МОП транзистора с индуцированным каналом *n* типа приведены на рис. 1. В логических элементах МОП транзисторы комплементарных, т.е. характеристики МОП транзистора с каналом *p* типа отличаются от характеристик МОП транзистора с каналом *n* типа только знаками напряжений и токов. При одинаковых по абсолютной величине напряжениях на затворах через транзисторы протекают приблизительно одинаковые по абсолютной величине токи (см. рис.2).

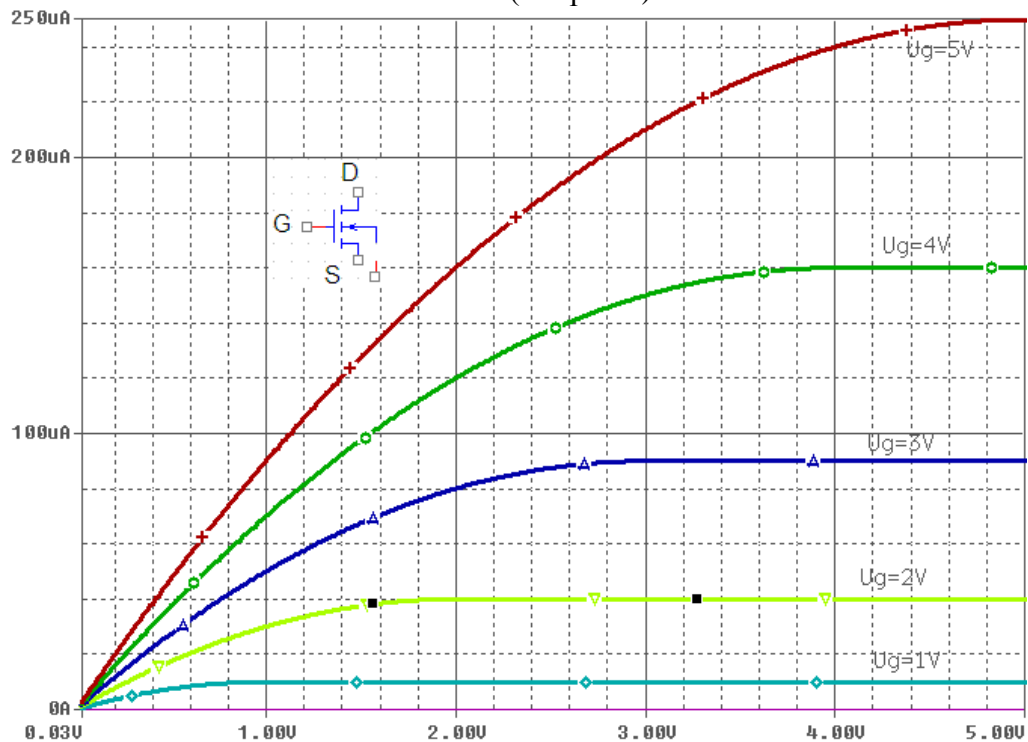


Рис. 1 МОП транзистор с индуцированным каналом *n* типа и семейство его вольт-амперных характеристик

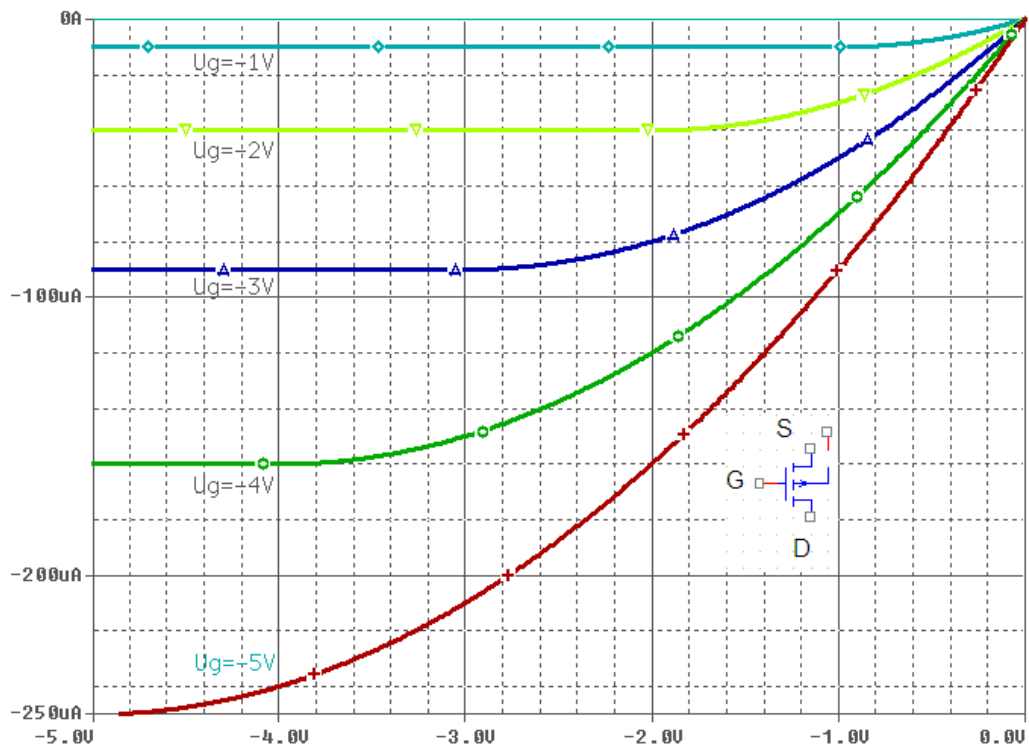
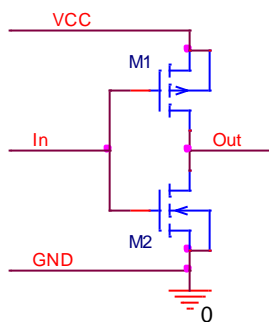


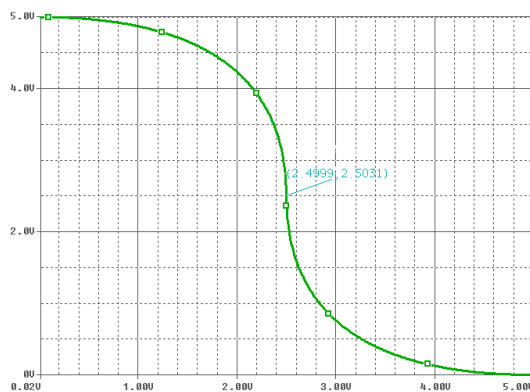
Рис. 2 МОП транзистор с индуцированным каналом *p* типа и семейство его выходных вольт-амперных характеристик

### Инвертор

Логический инвертор состоит из комплементарной пары МОП транзисторов без дополнительных элементов (рис. 3а). Соединенные затворы являются входом, а соединенные стоки – выходом инвертора. Исток и подложка транзистора с каналом *n* типа соединяется с общим (минусовым) выводом источника питания, а исток и подложка транзистора с каналом *p* типа соединяется с плюсовым выводом источника питания.



а)



б)

Рис.3 Инвертор на комплементарной паре МОП транзисторов: а – схема, б – передаточная характеристика

Если напряжение на входе инвертора равно нулю, то нижний (по схеме рис. 3а) транзистор заперт, а верхний открыт, поэтому напряжение на его выходе близко к напряжению питания, если же напряжение на входе инвертора равно  $V_{CC}$ , то наоборот заперт верхний транзистор, а нижний открыт, поэтому напряжение на его выходе близко к нулю. Таким образом, схема рис. 3а выполняет функцию логического инвертора. В КМОП логических элементах логическому нулю соответствует напряжение близкое к нулю, а логической единице положительное напряжение близкое к напряжению питания. При напряжении на входе, равном половине

напряжения питания, и на выходе устанавливается примерно такое же напряжение (рис. 3б). При этом оба транзистора открыты и через них течет ток, в то время как при напряжениях на входе равных 0 или  $V_c$ , ток, протекающий через ненагруженный инвертор, практически равен нулю.

Дифференциальное выходное сопротивление инвертора минимально, когда напряжение на входе равно 0 или  $V_c$  и максимально, когда напряжение на выходе равно  $V_c/2$ . В точке  $U_{вых} = V_c/2$  абсолютная величина дифференциального коэффициента передачи (коэффициента усиления) максимальна и может достигать нескольких десятков. Напряжение питания инвертора должно быть больше напряжения отпирания МОП транзисторов ( $>3B$ ). Быстродействие инвертора можно характеризовать задержками переключения (рис. 4).

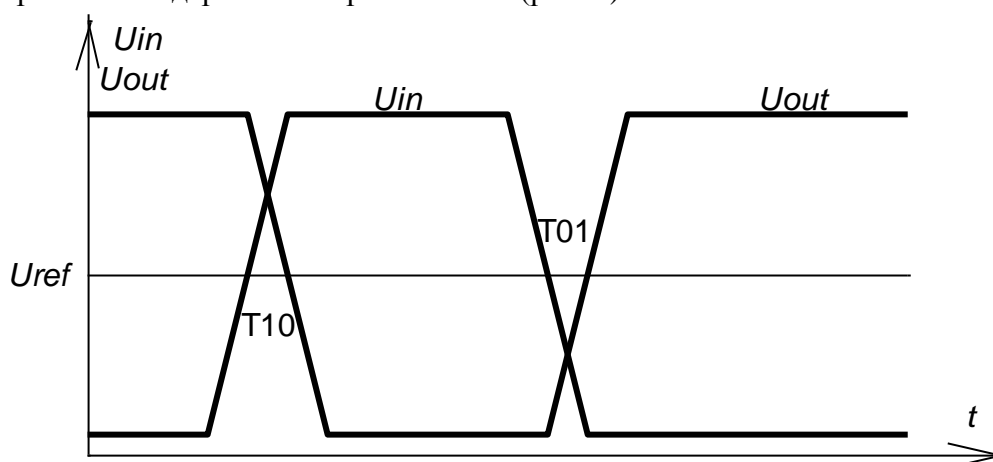


Рис. 4 Временные диаграммы импульсов на входе выходе инвертора

Задержки переключения  $T_{10}$  и  $T_{01}$  отсчитываются по уровню  $U_{ref}$ , где  $U_{ref}$  это напряжение входа, при котором и напряжение выхода также равно  $U_{ref}$ . В КМОП логических элементах МОП транзисторы примерно одинаковы, поэтому  $U_{ref} = V_c/2$ , а  $T_{10} = T_{01}$ . Задержки переключения в основном определяются временем перезаряда емкости нагрузки током открытого транзистора.

Как уже отмечалось, в стационарном состоянии ток потребления логического инвертора практически равен нулю, но в динамическом режиме он может быть значительным из-за потерь энергии при перезаряде емкости нагрузки.

#### Аналоговые ключи

Комплементарная пара МОП транзисторов с индуцированными каналами позволяет очень просто реализовать аналоговый ключ. На рис. 5,а приведена схема такого ключа, который состоит из двух комплементарных транзисторов  $VT1$ ,  $VT2$  и инвертора  $D1$ . Стоки и истоки транзисторов попарно соединены и образуют два аналоговых вывода  $A$ ,  $B$  ключа, затвор одного транзистора соединен через инвертор, а второго — непосредственно с логическим входом управления состоянием ключа. Для нормального функционирования ключа напряжения на выводах  $A$ ,  $B$  ключа должны быть в пределах от 0 до напряжения питания  $V_c$ . Если на управляющем входе напряжение равно нулю, то напряжение на затворе транзистора  $VT2$  с индуцированным  $n$  типа равно нулю, а на затворе с индуцированным каналом  $p$  типа равно  $V_c$ . Это приводит к тому, что при любых напряжениях на выводах ключа в пределах от 0 до  $V_c$  оба МОП транзистора заперты, т.е. ключ разомкнут. Если же напряжение на управляющем входе равно  $V_c$ , то открыт по крайней мере один из транзисторов. Например,  $U_A = U_B = V_c$  открыт  $VT1$ , а при  $U_A = U_B = 0$  открыт  $VT2$ . Напряжение питания  $V_c$  должно быть достаточно большим ( $V_c > 3B$ ), чтобы при  $U_A = U_B = V_c/2$  транзисторы были открыты. В интервале напряжений, где открыты оба

транзистора, проводимость ключа слабо зависит от напряжения  $U_A$ , т.к. проводимость каждого открытого транзистора приблизительно линейно (см. рис. 1 и рис. 2) зависит от напряжения на затворе. На принципиальных схемах удобно пользоваться условными обозначениями ключа (рис. 7б) в виде нормально разомкнутых контактов с прямым управляющим входом или в виде нормально замкнутых контактов с инверсным управляющим входом.

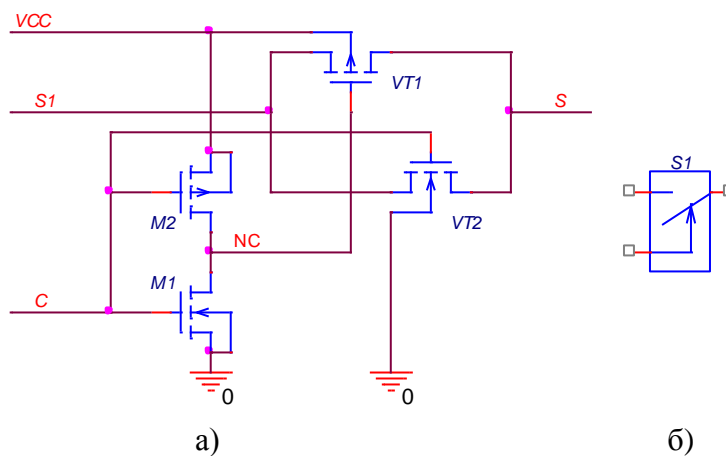


Рис. 7 Аналоговый ключ: а – схема, б – вариант условного обозначения

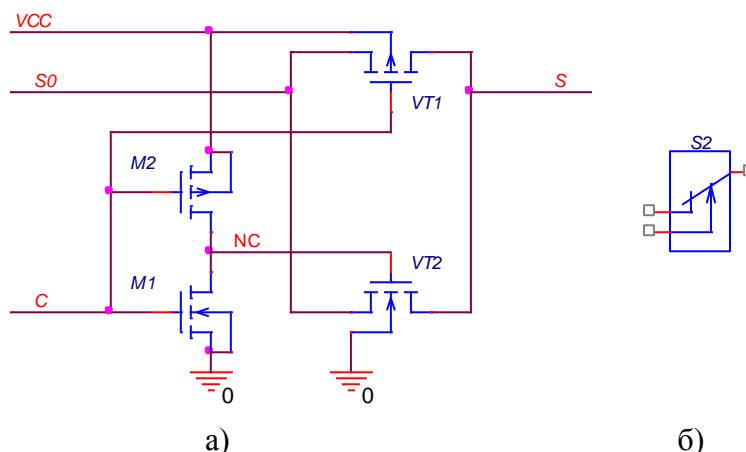


Рис.8 Аналоговый ключ с инверсным управляющим входом: а – схема, б – вариант условного обозначения

Если затвор транзистора  $VT1$  соединить с управляющим входом непосредственно, а затвор  $VT2$  – через инвертор, то получится ключ (рис. 8а) с инверсным по сравнению с ключом рис. 7а управляющим входом. Этот ключ (рис. 8б) можно интерпретировать как нормально замкнутые такты с управляющим входом или как нормально разомкнутые контакты с инверсным управляющим входом.

Из рассмотренных выше ключей легко составить переключатель, функционирование которого может соответствовать любому из вариантов переключателей изображенных на рис. 9.



Рис. 9 Варианты аналоговых переключателей

Аналоговые ключи позволяют реализовывать очень простые схемы  $D$ -триггеров, два варианта схем которых приведены на рис. 10. Каждый из этих  $D$ -триггеров состоит из буфера (двух последовательно соединенных инверторов) и аналогового переключения. Входом синхронизации является управляющий вход переключателя, а входом  $D$  – один из его аналоговых входов.



## Синхронизатор

Формально функционирование  $D$ -триггера описывается уравнением  $Q(t+1)=D(t)$ , где  $t$  и  $t+1$  соседние моменты дискретного времени, которые соответствуют соседним скачкам сигнала синхронизации. При этом подразумевается, что на интервале между скачками сигнала синхронизации  $D$  остается постоянным. В режиме переключения ( $D=Q\#$ ) это условие автоматически выполняется. Однако  $D$ -триггер допускает асинхронное, т.е. произвольное и независимое от сигнала синхронизации, изменение  $D$ . При этом, можно показать, что  $Q$  принимает значение  $D$ , соответствующее моменту скачка (фронта) сигнала синхронизации. В рассмотренных триггерах значение  $D$  принимается двумя последовательно соединенными инверторами, поэтому оно должно установиться на входе  $D$  за  $T_{10}+T_{01}$  до скачка сигнала синхронизации. Если сигнал синхронизации периодический, то при произвольном изменении  $D$  длительности импульсов на выходе  $D$ -триггера могут иметь только целое число периодов синхронизации (рис. 12). В частности, если импульсы на входе  $D$  имеют одинаковую длительность  $T_u$  и появляются независимо от сигнала синхронизации, то длительность импульсов на выходе триггера может принимать только два значения, которые отличаются на один период  $T_c$  сигнала синхронизации. Причем относительная частота появления большего значения равна дробной части отношения длительности импульсов на входе  $D$  к периоду сигнала синхронизации  $\{T_u/T_c\}$ , а меньшее число равно целой части этого отношения  $[T_u/T_c]$ . Вследствие этого средняя длительность импульсов на выходе триггера равна средней длительности импульсов на его входе. Это равенство сохраняется даже в том случае, когда длительность импульсов на  $D$  входе меньше периода сигнала синхронизации.

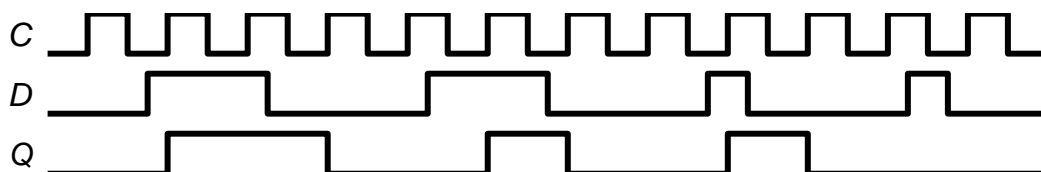


Рис. 12 Пример временных диаграмм работы  $D$ -триггера.

В этом примере первые два импульса на  $D$  входе имеют одинаковую длительность  $1,5 \cdot T_c$ , а первые два импульса на  $Q$  выходе имеют, соответственно, длительности  $2 \cdot T_c$  и  $1 \cdot T_c$ . Вторая пара импульсов на входе  $D$  также имеет одинаковую длительность  $0,5 \cdot T_c$ , но второй из них не совпадает с фронтом сигнала синхронизации поэтому пропускается, а первому из них соответствует выходной импульс с длительностью  $T_c$ .

Ознакомиться с методикой [2] создания проекта и моделирования электронных элементов в системе проектирования OrCAD.

В папке FRTK\#Gr\NAME\ создать проект с именем данной лабораторной работы (в именах папок и проектов не должно быть русских букв).

Подключить библиотеки: ANALOG, BREAKOUT, SOURCE, PHIL\_FET, CD4000, SPECIAL, 74AC.

### 1. Задание к допуску

1.1. Начертить в тетради схемы получения выходных вольтамперных характеристик моделей  $n$ -канального MbreakN (рис.13,а) и  $p$ -канального MbreakP (рис.13,б) МОП транзисторов (из библиотеки BREAKOUT).

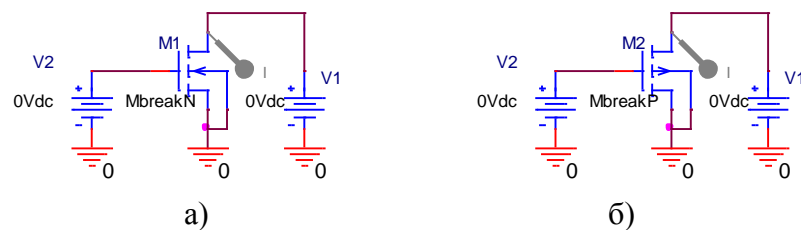


Рис.1.1. Схемы моделирования выходных вольтамперных характеристик МОП транзисторов

1.2. Начертить в тетради схему инвертора и буфера на комплементарных МОП транзисторах (рис.13.2).

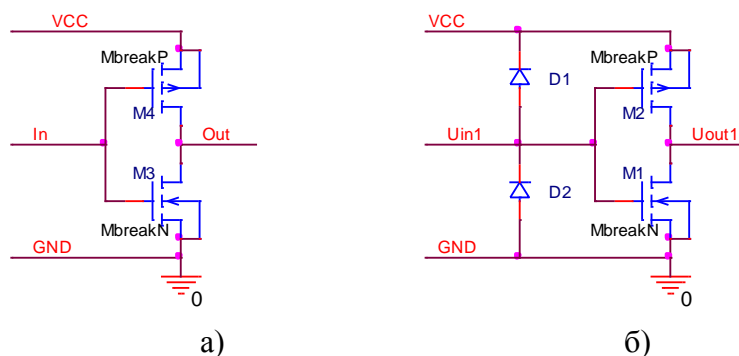


Рис.1.2. Схема инвертора на КМОП транзисторах (а – без защитных диодов, б – с защитными диодами на входе)

Схема буфера состоит из двух последовательно соединенных инверторов на КМОП транзисторах.

1.3. Начертить в тетради схему переключателя (рис.13.3,а) и его эквивалентной схемы (рис.13.3,б).

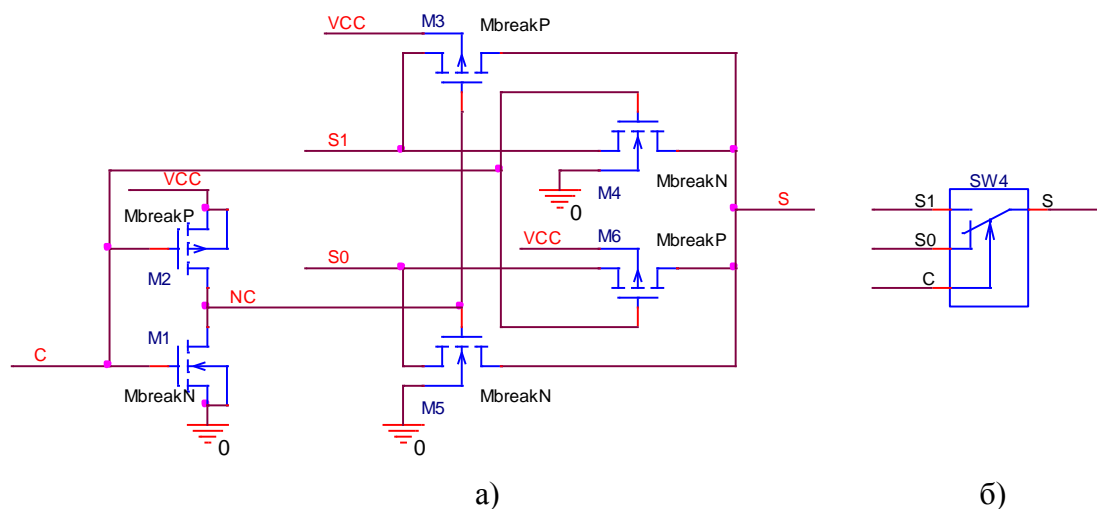


Рис.1.3 Схема переключателя (а) и его эквивалентная схема (б)

1.4. Начертить в тетради схемы модулей инвертора, буфера и переключателя (рис.1.4.1, рис.1.4.2).

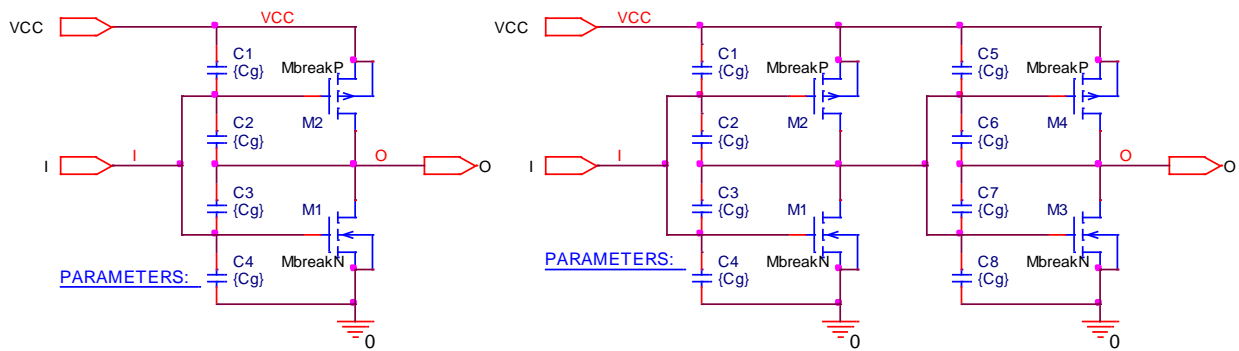


Рис.1.4.1. Схемы модулей инвертора и буфера

Модели транзисторов MbreakN и MbreakP поддерживают только идеализированные статические характеристики, поэтому для имитации емкостей затвора в схемы модулей инвертора и буфера добавлены конденсаторы Cg (см. таблицу 1).

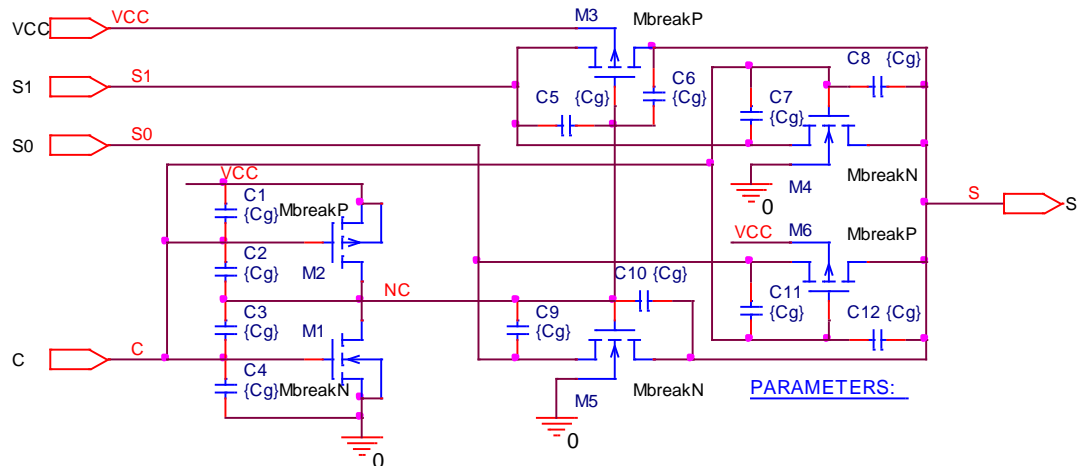


Рис.1.4.2. Схема модуля переключателя.

В этой схеме также добавлены конденсаторы Cg для имитации емкостей затвора.

1.5. Начертить в тетради структурную схему двухступенчатого D-триггера (рис.1.5.1).

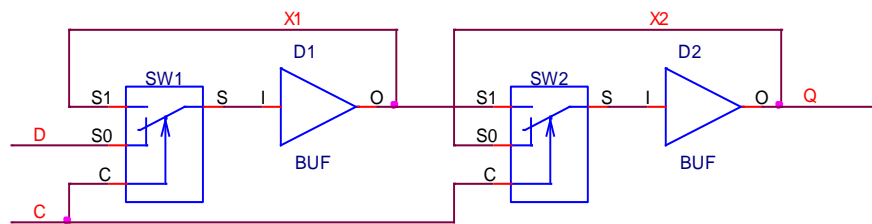


Рис.1.5.1. Структурная схема двухступенчатого D-триггера, состоящего из переключателей и буферов

1.5.2. Начертить в тетради схемы D-триггеров с инверсной обратной связью:

- из модулей буфера, переключателя и инвертора (рис.1.5.2,а),
- из D-триггера библиотеки КМОП элементов CD4000 (рис.1.5.2,б)



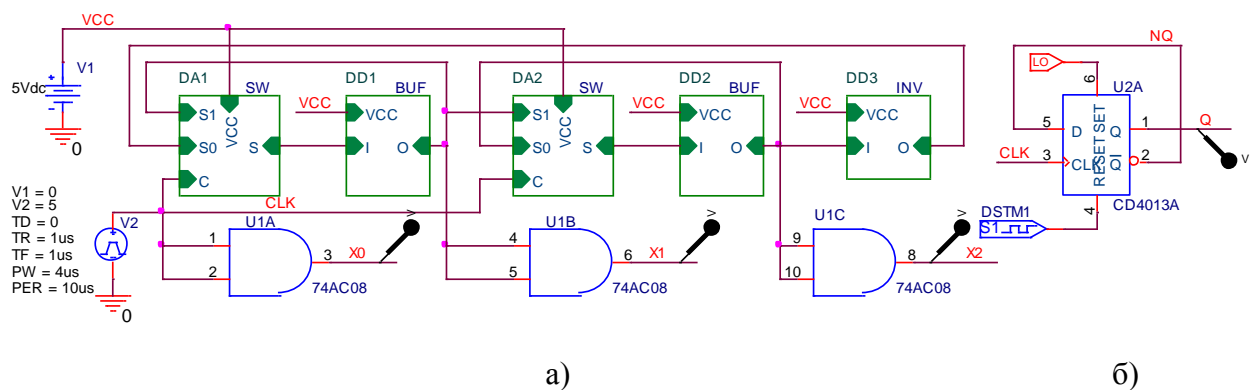


Рис.1.5.2. Схемы D-триггеров с инверсной обратной связью

В этой схеме логические элементы U1A-U1C используются только для обеспечения возможности раздельного наблюдения логических сигналов триггера в окне логических сигналов. Генератор инициализации DSTM1 это генератор STM1 из библиотеки SOURCE. Для него можно установить следующие параметры: COMMAND1: 0us 1; COMMAND2: 1us 0. Вход SET триггера DA2 соединен с выходом источника логического нуля (\$D\_LO/SOURCE). В качестве генератора сигнала синхронизации используется генератор VPULSE с параметрами указанными на рис.1.6.2,а.

1.6. Начертить в тетради схему для моделирования работы D-триггера синхронизатора

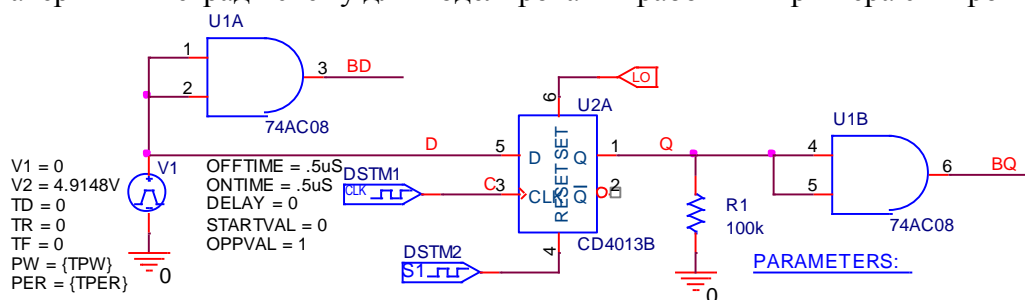


Рис.1.6. Схема моделирования работы D-триггера синхронизатора

В этой схеме для упрощения процесса моделирования используется D-триггер CD4013A из библиотеки CD4000, а в качестве генератора сигнала синхронизации используется цифровой генератор DigClock из библиотеки SOURCE. Генератор DSTM2 такой же, как DSTM1 в схеме рис.1.5.2.

## 2. Задание к выполнению работы

2.1. Составить схему для моделирования выходных вольтамперных характеристик  $n$ -канального МОП транзистора (рис.1,а). Получить зависимости тока стока  $n$ -канального МОП транзистора  $M_{breakN}$  в диапазоне напряжений на стоке от 0 до +5 В при напряжениях на затворе от 0 В до +5 В с шагом 1 В.

Перерисовать полученные зависимости тока в тетрадь.

2.2. Составить схему для моделирования выходных вольтамперных характеристик  $p$ -канального МОП транзистора (рис.1,б). Получить зависимости тока стока  $p$ -канального МОП транзистора  $M_{breakP}$  в диапазоне напряжений на стоке от -5 В до 0 В при напряжениях на затворе от -5 В до 0 В с шагом 1 В.

Перерисовать полученные зависимости тока в тетрадь.

2.3. Составить для моделирования схему инвертора и схему буфера на комплементарных МОП транзисторах (рис.1.2). Подключить к входу инвертора и

буфера источник напряжения VDC. Получить зависимости выходного напряжения инвертора и буфера и тока источника питания VCC от входного напряжения в диапазоне от 0 до +5 В.

Перерисовать все полученные зависимости на один график.

2.4. Составить схемы модулей инвертора, буфера и переключателя (см. рис.1.4, рис.1.5).

2.5. Создать модули инвертора и буфера. Подключить к входу инвертора и буфера генератор периодической последовательности импульсов VPULSE. Установить параметры импульсов генератора:  $V1=0$ ,  $V2=5V$ ,  $Td=0.5\mu s$ ,  $Tr=0.1\mu s$ ,  $Tf=0.1\mu s$ ,  $PW=1\mu s$ ,  $PER=10\mu s$ . Установить в задании на моделирование режим получения временных диаграмм (Time Domain) с параметрами: Run to time =  $3\mu s$ , Maximum Step Size = 1нс. Получить временные диаграммы входных и выходных импульсов инвертора и буфера.

Перерисовать все полученные временные диаграммы. Оценить задержки переключения инвертора и буфера.

2.6. Составить по своему усмотрению схему для моделирования работы переключателя. Провести моделирование. Оценить сопротивление открытого ключа. Перерисовать полученные результаты в тетрадь.

2.7. Составить схему D-триггера с инверсной обратной связью из модулей инвертора, буфера и переключателя (рис.1.5.2,а), а также из D-триггера CD4013A библиотеки КМОП элементов CD4000 (рис.1.5.2,б).

Провести моделирование составленных схем. Перерисовать все полученные временные диаграммы.

Оценить по результатам моделирования задержки переключения D триггера (рис.1.5.2,а), сравнить с задержкой переключения буфера.

2.8. Составить схему рис.1.6 для заданного набора параметров сигналов генераторов (таблица 1) провести моделирование работы схемы. Сравнить средние значения напряжений  $AVG(U(D))$  на входе D и  $AVG(U(Q))$  выходе Q триггера. Определить какие значения принимает длительность импульса на Q выходе.

Таблица 1

№	Длительность импульса <b>TPW</b>	Период <b>TPER</b>	Время моделирования <b>Run Time</b>	Задержка начала сохранения данных <b>Start saving data after</b>	Емкость затвора <b>Cg</b>
1	1.1 us	5.1 us	21*5.1 us	5.1 us	0.1pF
2	1.2 us	5.2 us	21*5.2 us	5.2 us	0.2pF
3	1.3 us	5.3 us	21*5.3 us	5.3 us	0.3pF
4	1.4 us	5.4 us	21*5.4 us	5.4 us	0.4pF
5	1.5 us	5.5 us	21*5.5 us	5.5 us	0.5pF
6	1.6 us	5.6 us	21*5.6 us	5.6 us	0.6pF
7	1.7 us	5.7 us	21*5.7 us	5.7 us	0.7pF
8	1.8 us	5.8 us	21*5.8 us	5.8 us	0.8pF
9	1.9 us	5.9 us	21*5.9 us	5.9 us	0.9pF
10	2.1 us	6.1 us	21*6.1 us	6.1 us	1.0pF
11	2.2 us	6.2 us	21*6.2 us	6.2 us	1.1pF
12	2.3 us	6.3 us	21*6.3 us	6.3 us	1.2pF
13	2.4 us	6.4 us	21*6.4 us	6.4 us	1.3pF

14	2.5 us	6.5 us	21*6.5 us	6.5 us	1.4pF
15	2.6 us	6.6 us	21*6.6 us	6.6 us	1.5pF
16	2.7 us	6.7 us	21*6.7 us	6.7 us	1.6pF
17	2.8 us	6.8 us	21*6.8 us	6.8 us	1.7pF
18	2.9 us	6.9 us	21*6.9 us	6.9 us	1.8pF
19	3.1 us	7.1 us	21*7.1 us	7.1 us	1.9pF
20	4.2 us	7.2 us	21*7.2 us	7.2 us	2.0pF
21	5.3 us	7.3 us	21*7.3 us	7.3 us	2.1pF

### 3. Задания и вопросы к сдаче работы

- 3.1. Какое напряжение установится на свободном входе инвертора с защитными диодами?
- 3.2. Какие напряжения будут на входе и выходе инвертора, если вход соединен с выходом резистором с сопротивлением  $R$ ?
- 3.3. Какое напряжение установится на выходе каждого из  $m$  ( $m$  нечетное число) последовательно соединенных в кольцо инверторов?
- 3.4. Как зависит от напряжения на входе входной ток инвертора с защитными диодами?
- 3.5. Как зависит дифференциальное сопротивление выхода инвертора от напряжения источника питания  $V_{CC}$ ?
- 3.6. Как зависит ток короткого замыкания выхода инвертора от напряжения источника питания?
- 3.7. Как зависят задержки переключения инвертора от напряжения источника питания?
- 3.8. Какие напряжения будут на входе и выходе буфера с защитными диодами на входе, если вход соединен с выходом резистором с сопротивлением  $R$ ?
- 3.9. Как зависит от напряжения на выводах проводимость открытого ключа?
- 3.10. Составить схему **FDR** триггера, т.е. **D**–триггера у которого, кроме входа **D** и входа синхронизации **C** имеется дополнительный вход **R** (синхронной установки в 0). При **R**=0 он работает как обычный **D**-триггер, а при переходе **R** из 0 в 1 по ближайшему после этого фронту синхронизации устанавливается в 0 и подтверждает это состояние каждым фронтом сигнала синхронизации до тех пор, пока **R**=1. При составлении схемы **FDR** триггера можно использовать любые элементы библиотеки CD4000 или составленные самостоятельно элементы из КМОП транзисторов. Начертить эскиз временных диаграмм работы **FDR** триггера.
- 3.11. Составить схему **FDS** триггера, т.е. **D**–триггера у которого, кроме входа **D** и входа синхронизации **C** имеется дополнительный вход **S** (синхронной установки в 1). При **S**=0 он работает как обычный **D**-триггер, а при переходе **S** из 0 в 1 по ближайшему после этого фронту синхронизации устанавливается в 1 и подтверждает это состояние каждым фронтом сигнала синхронизации до тех пор, пока **S**=1. При составлении схемы **FDS** триггера можно использовать любые элементы библиотеки CD4000 или составленные самостоятельно элементы из КМОП транзисторов. Начертить эскиз временных диаграмм работы **FDS** триггера.
- 3.12. Составить схему **FDE** триггера, т.е. **D**–триггера у которого, кроме входа **D** и входа синхронизации **C** имеется дополнительный вход **CE** (Clock Enable). При **CE**=1 он работает как обычный **D**-триггер, а при **CE**=0 он сохраняет свое состояние независимо от изменения сигналов на входах **C** и **D**. При составлении схемы **FDE** триггера можно использовать любые элементы библиотеки CD4000 или составленные самостоятельно элементы из МОП транзисторов. Начертить эскиз временных диаграмм работы **FDE** триггера.

3.13. Составить схему **FT** триггера, т.е. триггера, у которого имеется два входа: вход синхронизации **C** и вход **T** (разрешения переключения). При **T=1** триггер по каждому фронту сигнала синхронизации переключается в противоположное состояние, а при **T=0** сохраняет свое состояние независимо от изменения сигнала на входе **C**. При составлении схемы **FT** триггера можно использовать любые элементы библиотеки CD4000 или составленные самостоятельно элементы из КМОП транзисторов. Начертить эскиз временных диаграмм работы **FT** триггера.

3.14. Вывести формулу для длительности импульсов на **Q** выходе триггера при условии, что период сигнала синхронизации равен **T<sub>c</sub>**, а источник импульсов с длительностью **T** на входе **D** не зависит от генератора сигнала синхронизации.

#### Список литературы

1. В.П.Псурцев. D-триггеры на КМОП логических элементах /М.: МФТИ, 1997, 28 с.
2. В.П.Псурцев. Моделирование электронных схем.