

Последовательный канал информационного обмена по стандарту ARINC-429 (ГОСТ 18977-79)

Лабораторная работа №405AN

Стандарт ARINC 429, разработанный фирмой ARINC, предназначен для межсистемного обмена информацией в коммерческих и транспортных самолётах (в России это ГОСТ-18977-79). Скорость передачи 12.5, 50 или 100 кбит/сек. Соединительные провода — экранированные витые пары. На одной шине (витой паре) может быть только один передатчик и не более 20 приемников. Передатчик всегда активен, он либо передаёт слова данных или выдаёт "пустой" уровень (0 В). Размер слова составляет 32 бита. Бит 32 – контроль четности (дополнение до нечетного числа единиц). Код – биполярный самосинхронизирующийся, с возвратом к нулю (RZ). Логической 1 соответствует положительный а, логическому 0 – отрицательный импульс. Длительность импульса равна половине интервала следования (длительности такта). Импульсы должны иметь пологие фронты примерно 0.1-0.3 от длительности импульса. Пример фрагмента временных диаграмм сигналов шины стандарта ARINC 429 приведен на рис.1.

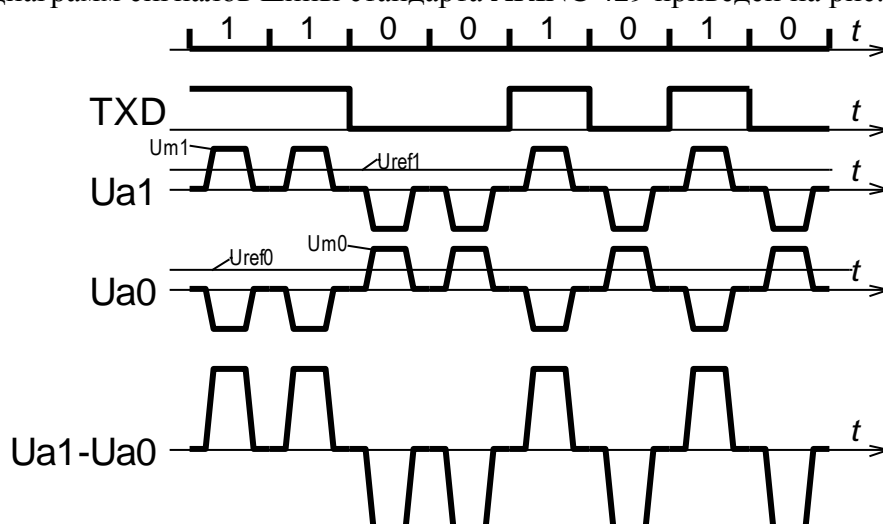


Рис.1. Пример диаграмм сигналов стандарта ARINC 429

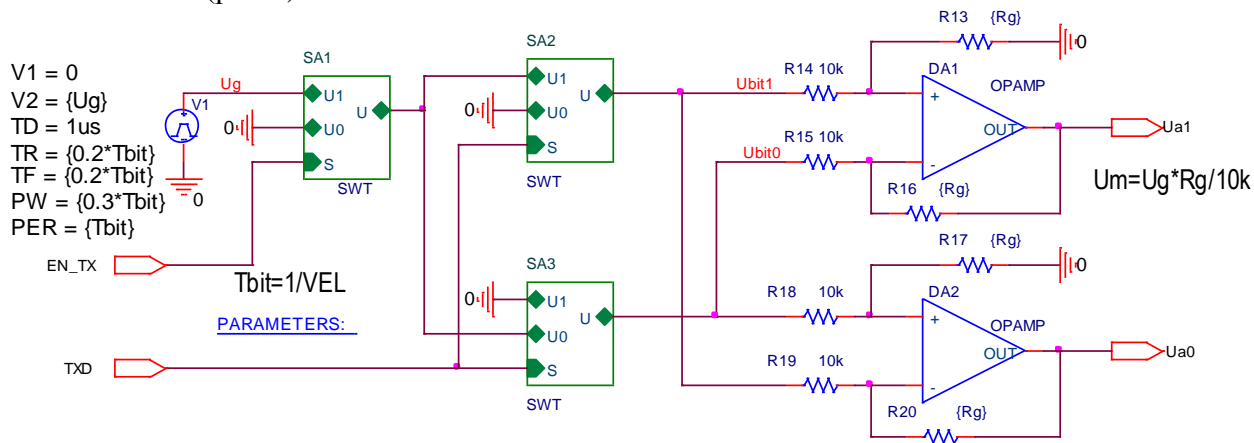
В данной работе изучаются простейшие 8-ми битные дискретные и аналоговые элементы формирования и приёма сигналов, физически эквивалентных сигналам шины стандарта ARINC 429.

Получить от преподавателя номер набора параметров (из таблицы 1), в который входят: 7 бит данных dat (последний 8-й бит должен дополнять до нечетного числа 1), скорость VEL кбит/сек, амплитуда размаха сигналов $U_{10}=U_{a1}-U_{a0}$ В, задержка в линии передачи TD мкс, характеристическое сопротивление линии Z_0 Ом.

Таблица 1

№ варианта задания	Данные dat { $dat[7:1], Cbit$ }	Скорость VEL [кБит/сек]	Модуль амплитуды $U_{a1}-U_{a0}=2*U_m$ [В]	Задержка в линии TD [мкс]	Волновое сопротивление линии Z_0 [Ом]
1	0011011?	12.5	6	10	120
2	1011001?	50	7	5	75
3	0010011?	100	8	2	50
4	0011010?	100	9	1	120
5	0111011?	12.5	10	20	75
6	0011111?	50	5	15	50
7	1011010?	50	6	12	100

1.1 Начертить в тетради схему модуля TXA_ARINC формирователя сигналов Ua1 и Ua0 шины ARINC (рис.2).



В этой схеме $R_{14}=R_{15}=R_{18}=R_{19}=R=10\text{k}$, а амплитуда размаха $U_{10}=U_{a1}-U_{a0}=2*U_m=2*U_g*R_g/R$, где U_g – амплитуда сигнала генератора V_1 , R_g – сопротивление обратной связи дифференциальных усилителей.

Подобрать U_g и R_g так, чтобы $|U_{a1}-U_{a0}|$ равнялось заданному значению. $T_{bit}=1/VEL$ – длительность передачи одного бита. Глобальные параметры $\{U_g\}, \{R_g\}$ и $\{T_{bit}\}$ и их заданные значения должны быть введены в модуль параметров (parameters).

Схема и эквивалентная схема модели переключателя SWT (SA1,SA2,SA3 в схеме рис.2) приведены на рис.3.

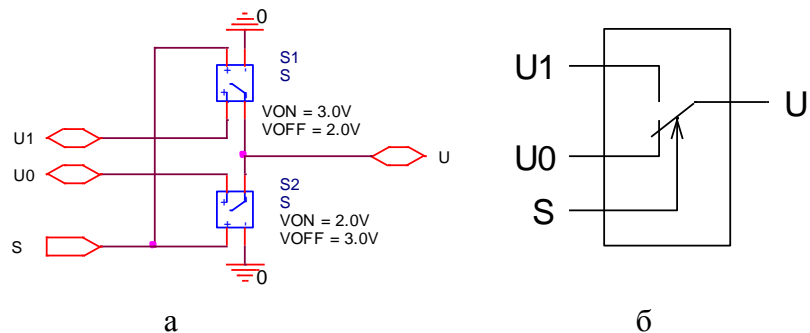


Рис.3 Схема (а) и эквивалентная схема (б) модели переключателя

Переключатель состоит из двух ключей S1 и S2. Нижний S2 (нормально замкнутый) открыт ($U=U_0$) при низком уровне сигнала управления ($S < 2V$), а верхний S1 (нормально разомкнутый) открыт ($U=U_1$) при высоком уровне сигнала управления ($S > 3V$).

1.2 Начертить в тетради схему модуля RXA_ARINC аналогового приемника сигналов U_{a1} и U_{a0} шины ARINC (рис.4).

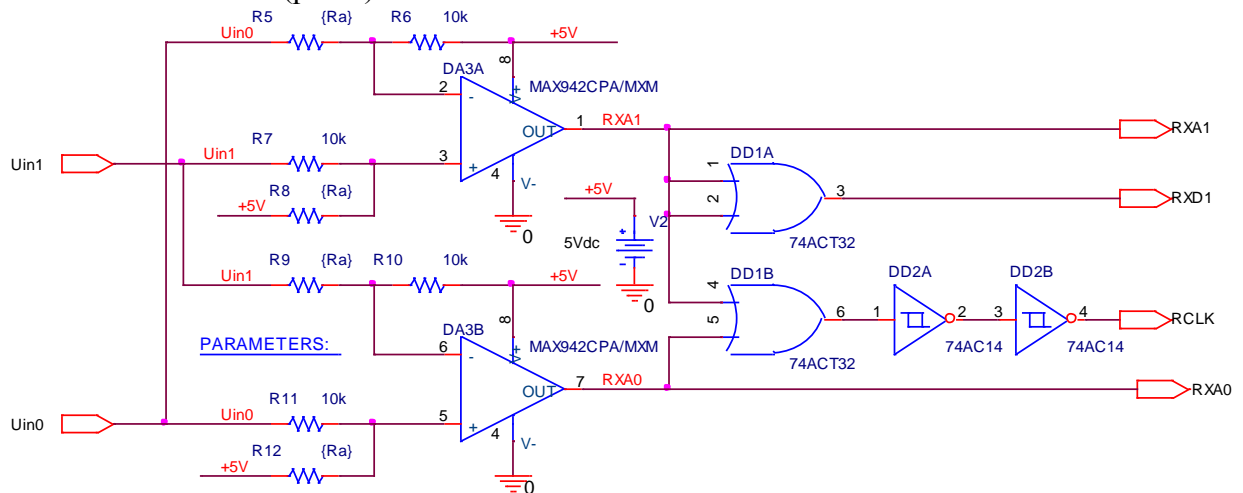


Рис.4 Схема модуля аналогового приемника сигналов U_{a1} и U_{a0} шины ARINC

В этой схеме используются компараторы фирмы MAXIM из библиотеки maxim.olb, включенные по дифференциальной схеме. Пороги U_{ref1} и U_{ref0} обнаружения положительных импульсов U_{in1} и отрицательных импульсов U_{in0} определяется соотношением сопротивлений резисторов и напряжением питания $VCC=+5V$. Номинальное значение порогов компараторов должно равняться половине амплитуд U_{m1} , U_{m0} сигналов U_{in1} и U_{in0} ($U_{ref1} = U_{m1}/2$, $U_{ref0} = U_{m0}/2$, см. рис.5).

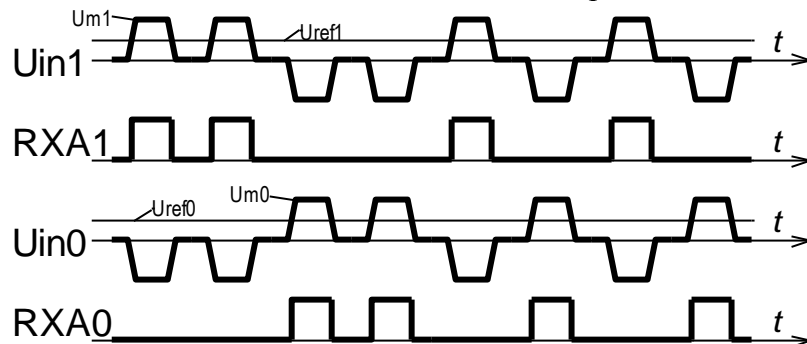


Рис.5 Пример временных диаграмм сигналов компараторов

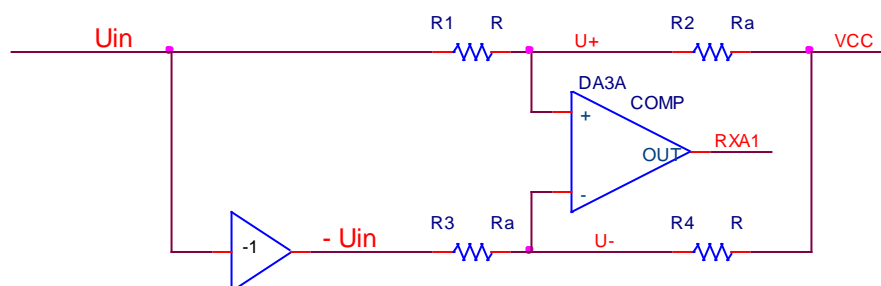


Рис.6 Эквивалентная схема компараторов входных сигналов

Токи смещения входов компаратора можно считать равными 0, поэтому (см. рис.6) напряжения U^+ и U^- на входах:

$$U^+ = VCC - R_a \cdot (VCC - U_{in}) / (R + R_a),$$

$$U^- = VCC - R \cdot (VCC + U_{in}) / (R + R_a).$$

При $U_{in} = U_{ref} = U_m/2$ U^+ должно быть равно U^- . Из этих условий уже легко можно вывести формулу для вычисления сопротивления R_a , при котором получается номинальное значение порогов. По полученной формуле рассчитать R_a и при выполнении работы ввести в модуль (parameters) глобальных параметров этой схемы.

Элемент 2ИЛИ DD1B выполняет функцию формирования сигнала синхронизации путем суммирования сигналов каналов логической единицы и логического нуля входного потока данных, а элементы DD2A и DD2B выполняют функцию дополнительной задержки сигнала синхронизации.

1.3 Начертить в тетради схему SRD_ARINC модуля регистра сдвига (рис.7).

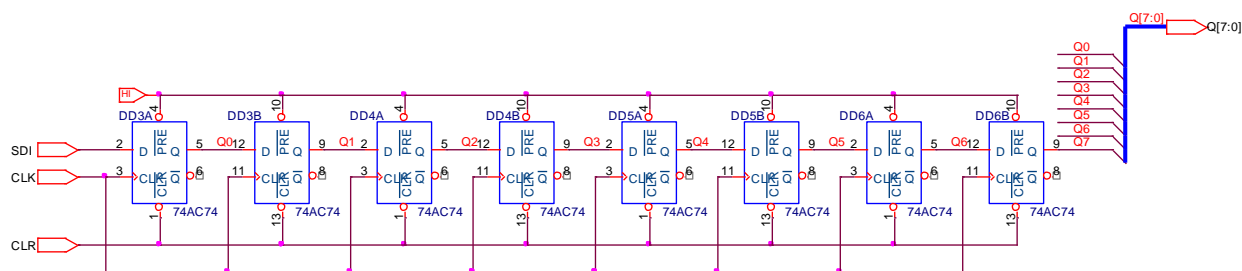


Рис.7 Схема модуля регистра сдвига

Регистр сдвига состоит из 8-ми последовательно соединенных D-триггеров ($D_{i+1} = Q_i$, $i=0,1,2,\dots,6$). Активный уровень асинхронных входов сброса в 0 (CLR) и установки в 1 (PRE) - ноль, поэтому для инициализации или сброса регистра в 0 на общий вход CLR надо подавать отрицательный импульс, а входы PRE удерживать в пассивном состоянии генератором логической единицы HI.

1.4 Начертить в тетради схему последовательно соединенных передатчика, линий задержки и приемника сигналов ARINC (рис.8).

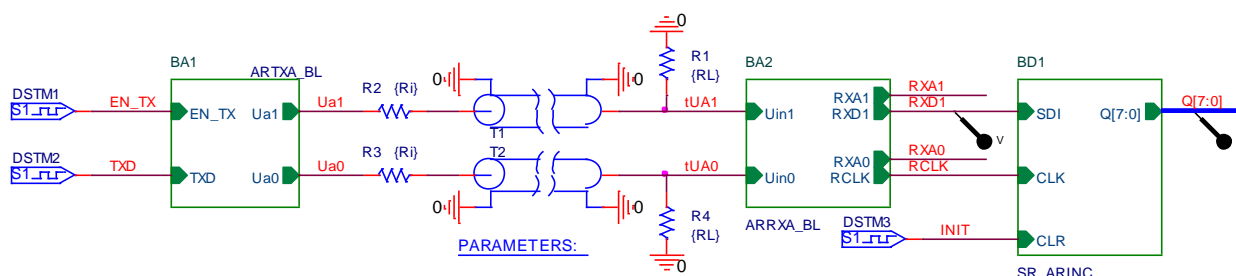


Рис.8 Схема передатчика и приемника сигналов ARINC

В этой схеме генератор DSTM1 должен вырабатывать положительный импульс с длительностью $8 \cdot T_{bit}$, а генератор DSTM2 должен вырабатывать последовательность 1 и 0 соответствующую заданным данным. Например, для данных 11010011 и скорости 100 кбит/сек в параметрах этого модуля надо заполнить следующую последовательность команд:

```
COMMAND1 0us 1
COMMAND2 10us 1
COMMAND3 20us 0
COMMAND4 30us 1
COMMAND5 40us 0
COMMAND6 50us 0
COMMAND7 60us 1
COMMAND8 70us 1 – контрольный бит.
```

Глобальный параметр R_i имитирует внутреннее сопротивление генератора. Номинально оно должно равняться Z_0 линии задержки, но если RL равно Z_0 , то R_i может

быть много меньше Z_0 , например 1 Ом. Для исключения искажений передаваемых сигналов R_L должно быть равно Z_0 .

2. Задание к выполнению

В своей папке .../FRTK/NomGr/my_NAME/lab_NAME создать для моделирования проект с именем данной лабораторной работы (File>New>Project>Analog or Mixed A/D).

В созданном проекте, кроме SCHEMATIC1, создать 4 новых схемы для модулей: SWT, ARTXA_BL, ARRXA_BL, и SR_ARINC. Присвоить созданным схемам имена этих модулей. В каждой из схем модулей создать по одной странице (Page1).

2.1 На странице Page1 схемы модуля SWT из библиотечных элементов составить схему переключателя (см. рис.3). Проверить правильность установки порогов VON и VOFF в S1 и S2.

2.2 На странице Page1 схемы модуля ARTXA_BL из библиотечных элементов и модуля SWT переключателя составить схему модуля генератора сигналов ARINC (см. рис.2). Ввести в модуль параметров (parameters) заданные и рассчитанные глобальные параметры {Ug},{Rg} и {Tbit}.

2.3 На странице Page1 схемы модуля ARRXA_BL из библиотечных элементов составить схему модуля аналогового приемника сигналов Uin1 и Uin0 (см. рис.4). Ввести в модуль параметров (parameters) рассчитанные значения глобального параметра {Ra}.

2.4 На странице Page1 схемы модуля SR_ARINC создать схему регистра сдвига (рис.7).

2.5 На странице Page1 главной схемы SCHEMATIC1 создать модули ARTXA_BL, ARRXA_BL и SR_ARINC. Соединить их в соответствии со схемой рис.8. К входу EN_TX подключить источник STIM1, а к входу TXD подключить источник STIM2. Установить необходимые значения параметров этих источников. Генератор STIM3 должен давать вначале короткий отрицательный импульс инициализации, например: COMMAND1 0us 0, COMMAND2 1us 1.

В модуль параметров этой схемы и в линии задержки T1 и T2 ввести заданные значения параметров Ri, RL, Z0 и TD.

К каждому выходу модулей подключить отрезок проводника с именем вывода. При вводе имен в этой схеме недопустимо совпадение имен с именами внутренних проводников используемых модулей.

2.6 Создать Simulation Profile для задания на моделирование. Выбрать режим **Time Domain (Transient)**, при времени моделирования (**Run to time**) равном $10T_{bit}=10/VEL$. Провести моделирование работы схемы рис.8. Проверить соответствие заданного $dat[7:1]$ и $Q[7:1]$. Зарисовать в тетради временные диаграммы сигналов выводов модулей.

2.7 Проверить влияние изменения сопротивления R_L на выходные сигналы линий задержки.

3. Задание к сдаче работы

3.1 Составить схему устройства автоматического контроля правильности установки и приема контрольного бита. Это устройство после приема последнего импульса слова должно на своем выходе давать сигнал логической единицы ok_RX, если число 1 в слове,

включая контрольный бит, нечетное. В противном случае ok_RX должен оставаться равным 0 на протяжении всего слова и по окончании приема слова.

3.2 Провести моделирование работы схемы рис.8 с созданным устройством контроля при двух значениях контрольного бита. Зарисовать в тетради временные диаграммы характерных сигналов.

3.3 Составить схему для моделирования передаточных характеристик компараторов RXA1(Uin1) и RXA0(Uin0). Провести моделирование. Сравнить полученные значения порогов Uref1 и Uref0 с номинальными ($U_{ref1} = U_{m1}/2$, $U_{ref0} = U_{m0}/2$).

4. Контрольные вопросы

4.1 Нужно ли сбрасывать в 0 регистр сдвига перед началом приема слова?

4.2 Можно ли со стороны передатчика определить расстояние до места обрыва линии передачи?

4.3 Можно ли со стороны передатчика определить расстояние до места короткого замыкания линии передачи?