

## Μέρος Α (30%)

### Ασκήσεις Λογικής Σχεδίασης

**Ερώτημα 1.** Έστω ο ακόλουθος κώδικας VHDL:

```
U1: process (A, B,C,D) is begin
    If ((B='0' and A=D) then
        Y<='1'
    elseif ((B='1' and C/=A) then
        Y<='1'
    else
        Y<='0';
    end if;
end process
```

```
U2:process (A, B,C,D) is begin
    If ((A='0' and B/=C) then
        X<='1'
    else
        X<='0';
    end if;
end process
```

Να βρείτε τον πίνακα αληθείας για τα X και Y. Να βρείτε τις ελαχιστοποιημένες εξισώσεις Boole των X, Y. Να υλοποιήσετε τη συνάρτηση Y με τη χρήση πολυπλέκτη 4 σε 1, με εισόδους επιλογής B, D. (15%)

**Ερώτημα 2.** Έστω ένα J-K Flip Flop, το οποίο δέχεται ένα clock (CLK) και 2 εισόδους J, K. Στην ανοδική ακμή του ρολογιού ενημερώνει την έξοδο Q. Εάν τα J, K είναι και τα δύο '0' τότε η έξοδος Q διατηρεί την προηγούμενη τιμή της. Εάν μόνο το J είναι '1' τότε το Q γίνεται '0'. Εάν μόνο το K είναι '1' τότε το Q γίνεται '1'. Εάν J=K='1' τότε η νέα τιμή του Q γίνεται η αντίθετη της παρούσης. Δώστε τον K-map και την εξίσωση που προκύπτει για το Q(t+1). Γράψτε σε VHDL την αρχιτεκτονική του. Κατασκευάστε ένα το JK Flip-Flop χρησιμοποιώντας D Flip-Flop και συνδυαστική λογική.(10%)

**Ερώτημα 3.** Σχεδιάστε ένα FSM τύπου Moore που ανιχνεύει την ακολουθία 10110. Θα πρέπει να φτιάξετε το διάγραμμα μεταβολής κατάστασης, τους πίνακες μεταβολής κατάστασης, κωδικοποίησης καταστάσεων και κωδικοποίησης εξόδων. Βρείτε τις εξισώσεις Boole για την επόμενη κατάσταση και την έξοδο. Δώστε ένα σχηματικό διάγραμμα του FSM. Σχεδιάστε μόνο το διάγραμμα μεταβολής κατάστασης για FSM τύπου Mealy.(15%)

Η απάντηση θα είναι σε αρχείο με το όνομα:dsd\_assign1\_arithmos\_mhtrvou\_partA.zip

## Μέρος Β (70%)

### Άσκηση VHDL

Σχεδιάστε μία αριθμητική και λογική μονάδα (ALU). Στην είσοδο δέχεται 2 σήματα  $a$  και  $b$ , των 3 bit το καθένα που αναπαριστούν μη προσημασμένους αριθμούς, καθώς και ένα σήμα Control του ενός bit. Η ALU ανάλογα με τη τιμή του σήματος Control κάνει τις ακόλουθες πράξεις.

- '0': πρόσθεση ( $a+b$ )
- '1': τον πολλαπλασιασμό  $2*a$

Στην έξοδο υπάρχει το σήμα Result των 3bit με το αποτέλεσμα της πράξης και το σήμα OVF που έχει τιμή '1' μόνο σε περίπτωση overflow.

Θα δημιουργήσετε ένα νέο project στο Vivado με το όνομα ALU, θα χρησιμοποιήσετε τη δήλωση της οντότητας που σας δίδεται (την οποία ΔΕΝ μπορείτε να αλλάξετε), και θα προτείνετε αρχιτεκτονικές που δίνουν λύση στο πρόβλημα ως εξής:

- Αρχιτεκτονική Dataflow χωρίς τη χρήση selected statements (when/with select) και χωρίς τη χρήση της συνάρτησης resize. (10%)
- Αρχιτεκτονική Dataflow με τη χρήση selected statements (when/with select) και τη χρήση της συνάρτησης resize. (10%)
- Αρχιτεκτονική Behavioral και if elsif else (μόνο) και δυνατότητα χρήσης μόνο μεταβλητής. (7.5%)
- Αρχιτεκτονική Behavioral και case (μόνο) και δυνατότητα χρήσης μόνο εσωτερικού σήματος. (7.5%)
- Επεκτείνετε την περίπτωση (c) με τη χρήση generic (και όνομα παραμέτρου WIDTH) ώστε το πρόγραμμα να δέχεται μεταβλητό πλήθος bit στα σήματα  $a, b, c$ . (10%)
- Αρχιτεκτονική Structural με επέκταση της περίπτωσης (e) ώστε η οντότητα ALU να χρησιμοποιεί δύο component, το Sum\_ab και το Double\_a, που υλοποιούν την πρόσθεση και το διπλασιασμό αντίστοιχα. (15%)

Θα πρέπει να γράψετε τον αντίστοιχο κώδικα προσομοίωσης (5%), να εμφανίσετε το behavioral και Post Synthesis Timing Simulation (5%) και τα αντίστοιχα RTL και Synthesis διαγράμματα (Schematic) (10%).

Θα πρέπει να παραδώσετε τα ακόλουθα:

- Αρχείο με τον κώδικα του design (τα αρχεία του Vivado, είτε 1 συνολικό είτε 6 διαφορετικά)
- Αρχείο με τον κώδικα της προσομοίωσης (το αρχείο του Vivado)
- Αρχείο pdf ή word όπου θα υπάρχουν:
  - Τα διαγράμματα (schematic) που προκύπτουν από το RTL Analysis (Schematic) για κάθε μια από τις 6 περιπτώσεις.
  - Την κυματομορφή που προκύπτει από το behavioral simulation (θα πρέπει να είναι ίδια σε όλες τις περιπτώσεις οπότε θέλω μία).
  - Το διάγραμμα (schematic) που προκύπτει μετά τη φάση της Σύνθεσης (εάν είναι ίδιο σε όλες τις περιπτώσεις το θέλω μία φορά).

d. Την κυματομορφή που προκύπτει από το Post Synthesis Timing simulation.

**Όλα τα παραπάνω αρχεία θα πρέπει να είναι στο αρχείο dsd\_assign1\_arithmos\_mhtrvou\_partB.zip**

Για να ανεβάσετε την άσκηση στο eclass θα βάλετε σε ένα zip και τα δύο αρχεία (μέρος A και μέρος B).