

Ερώτημα 1

Οι πίνακες αληθείας για τα X και Y αντίστοιχα έχουν ως εξής:

A	B	C	D	Y	X
0	0	0	0	1	0
0	0	0	1	0	0
0	0	1	0	1	1
0	0	1	1	0	1
0	1	0	0	0	1
0	1	0	1	0	1
0	1	1	0	1	0
0	1	1	1	1	0
1	0	0	0	0	0
1	0	0	1	1	0
1	0	1	0	0	0
1	0	1	1	1	0
1	1	0	0	1	0
1	1	0	1	1	0
1	1	1	0	0	0
1	1	1	1	0	0

Οι ελαχιστοποιημένες εξισώσεις Boole που προκύπτουν από τον παραπάνω πίνακα είναι οι εξής:

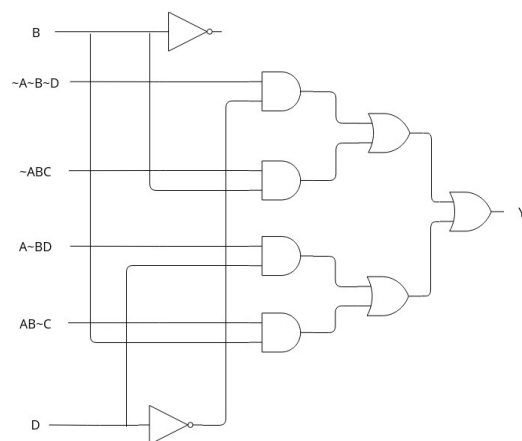
$$y = \bar{a}\bar{b}\bar{d} + \bar{a}bc + a\bar{b}d + ab\bar{c}$$

και

$$x = \bar{a}\bar{b}c + \bar{a}b\bar{c}$$

Η συνάρτηση Y σε υλοποίηση πολυπλέκτη 4 σε 1 με σήματα εισόδου τα B και D αντίστοιχα είναι

$$y = \bar{a}\bar{b}\bar{d}\bar{D}_{s1} + \bar{a}bcB_{s0} + a\bar{b}d\bar{D}_{s1} + ab\bar{c}B_{s0}$$



Ερώτημα 2

Ο πίνακας αληθείας του JK flip flop είναι ο εξής:

J	K	Q(t)	Q(t+1)
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	0	0
1	1	0	1
1	1	1	0

και ο K-map που προκύπτει είναι:

Q\JK	00	01	11	10
0	0	1	1	0
1	1	1	0	0

και προκύπτει από τις ομαδοποιήσεις η απλοποιημένη εξίσωση Boole:

$$Q(t+1) = Q' K + Q J'$$

η βασική λογική της αρχιτεκτονικής του σε VHDL: `new_Q <= (not Q and K) or (Q and not J);`

Σχεδίαση του παραπάνω JK με την χρήση D flip-flop και συνδυαστικής λογικής:

