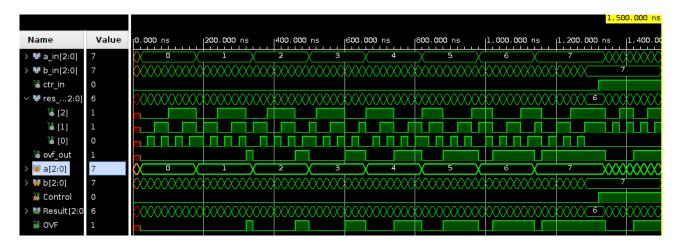
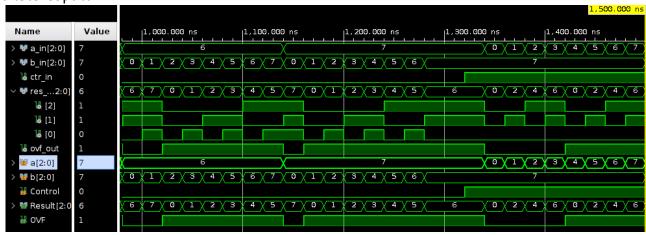
Ζουρνατζής Δημήτριος – <u>sdi1600048@di.uoa.gr</u> Σχεδίαση Ψηφιακών Συστημάτων Εργασία 1 – Μέρος Β

Ο κώδικας του project είναι στον φάκελο /partB/src. Το design source είναι σε στο αρχείο το ALU.vhd και οι επιμέρους αρχιτεκτονικές είναι commented. Το testbecnch αρχείο είναι το $ALU_tb.vhd$.

Οι behavioral κυματομορφές είναι:



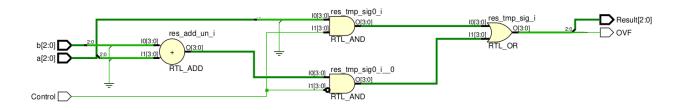
και μια οπου έχουμε εστιάσει σε ένα σημείο ενδιαφέροντος για να δούμε καλύτερα τα αποτελέσματα

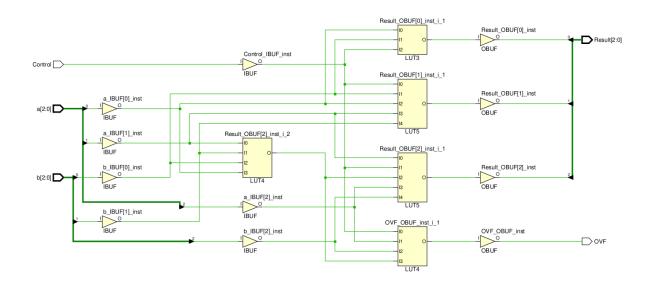


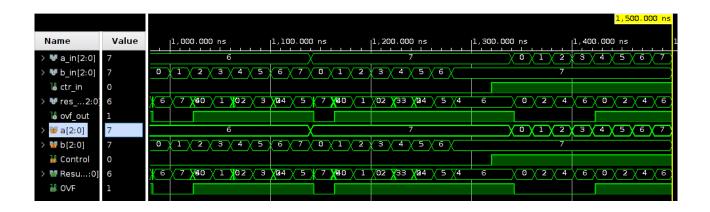
επίσης σε κάποιες αρχιτεκτονικές το σήμα Result για τα πρώτα 40ns ήταν undefined αλλά με τα αποτελέσματα να είναι σωστά 20ns μετά. Στο post-synthesis timing sim όμως δεν παρατηρείται τέτοια συμπεριφορά και τα αποτελέσματα είναι σωστά

			40.000 ns					
Name	Value		50.000 ns	100.000 ns	150.000 ns	200.000 ns 25	0.000 ns 300.000 r	ns 350.000 ns 400.0
> V a_in[2:0]	0	U		0	Х		1	2
> 🚳 b_in[2:0]	1	U V O	1 2 3	4 X 5 X 6	6 X 7 X 0	1 2 3	X 4 X 5 X 6 X 7	7 0 1 2 3
¼ ctr_in	0							
> V res2:0	0	U X	0 1 2	3 4 4 1	5 / 6 / 7	1 2 3	X 4 X 5 X 6 X 7	0 2 3 4
¼ ovf_out	0							
> 🐸 a[2:0]	0	U		0	X		1	2
> 👹 b[2:0]	1	U V 0	1 2 3	4 \ 5 \ (6 X 7 X 0	1 2 3	X 4 X 5 X 6 X 7	0 1 2 3
Control	0							
> 👹 Resu:0]	0	UXX	0 1 2	3 4 4 1	5 / 6 / 7	1 2 3	X 4 X 5 X 6 X 7	0 2 3 4
₩ OVF	0							

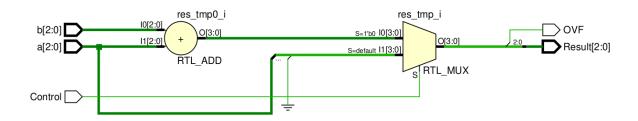
Για την αρχιτεκτονική του ερωτήματος a:







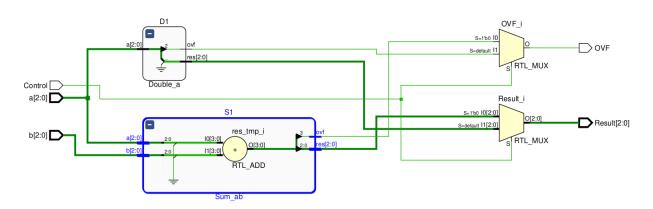
Για το ερώτημα b:



Τδιο synthesis schematic με του α .

Για τα ερωτήματα c,d,e έχουμε ίδια RTL schematics με b, synthesis schematics με a και post-synthesis timing sim με b.

Για το ερώτημα f:



και ίδιο synthesis schematic και post-synhesis timing sim με b.

Επίσης τα schematics καθώς και οι κυματομορφές υπάρχουν στους αντίστοιχους φακέλους.