

НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ УНИВЕРСИТЕТ ИТМО
ФАКУЛЬТЕТ ПРОГРАММНОЙ ИНЖЕНЕРИИ И КОМПЬЮТЕРНОЙ ТЕХНИКИ
НАПРАВЛЕНИЕ СИСТЕМНОГО И ПРИКЛАДНОГО ПРОГРАММНОГО
ОБЕСПЕЧЕНИЯ

ОТЧЕТ ПО ЛАБОРАТОРНОЙ РАБОТЕ № 2

курса «Функциональная схемотехника»

**по теме: «Введение в проектирование цифровых интегральных
схем»**

Вариант № 6

Выполнил студент:

Тюрин Иван Николаевич

группа: Р33102

Преподаватель:

Кустарев П. В.,

Васильев С.Е.

Санкт-Петербург, 2024 г.

Содержание

Лабораторная работа № 2. Введение в проектирование цифро- вых интегральных схем	2
1. Введение	2
2. Задание варианта № 6	2
3. Выполнение задания	4
1. Часть 1	4
2. Часть 2	7
4. Вывод	7

Лабораторная работа № 2

Введение в проектирование цифровых интегральных схем

1. Введение

Лабораторная работа №2 посвящена проектированию последовательностной логики на уровне регистровых передач с использованием языка описания аппаратуры Verilog HDL.

В первой части работы предлагается разработать несколько простых блоков цифровой последовательностной логики и объединить их для выполнения заданной функции в одно

функционирующее устройство. Во второй части работы предлагается разработать устройство, управляющее входным потоком данных с помощью одного из указанных алгоритмов обработки.

2. Задание варианта № 6

Вариант:

Вариант	Функция 1	FSM	Функция 2	Разрядности	Делитель частоты
6	COUNT_FREE	FSM_1	ARBITER	8 бит	5

Таблица 1.1: Вариант задания

Часть 1

1. В соответствии с требованиями вашего варианта, постройте микроархитектурные диаграммы:

- Счётчика;
- Сдвигового регистра;
- Конечного автомата;

- Делителя частоты;
2. Опишите ваши схемы на Verilog HDL;
 3. Подумайте о том, как протестировать каждую из ваших схем отдельно. Напишите тестовый план.
 4. Разработайте эталонные модели и тестовое окружение. Проведите тестирование всех ваших схем, доказывающее их работоспособность.
 5. Разработайте высокоуровневую диаграмму устройства, которое выполняет заданную вариантом функцию, на основе ранее разработанных простейших блоков;
 6. Подумайте о том, как протестировать устройство целиком. Напишите тестовый план.
 7. Разработайте эталонные модели и тестовое окружение. Проведите тестирование разработанного устройства, которое докажет его работоспособность;
 8. Подумайте над тем, как можно оптимизировать разработанную вами схему, при условии отсутствия ограничений;

Часть 2

1. В соответствии с требованиями вашего варианта, постройте микроархитектурную диаграмму устройства.
2. Напишите тестовый план;
3. Разработайте эталонные модели и тестовое окружение. Проведите тестирование разработанного устройства, которое докажет его работоспособность;

3. Выполнение задания

3.1. Часть 1

Счётчик

В соответствии с заданием был разработан счетчик, микроархитектура которого представлена на рис. 1.1.

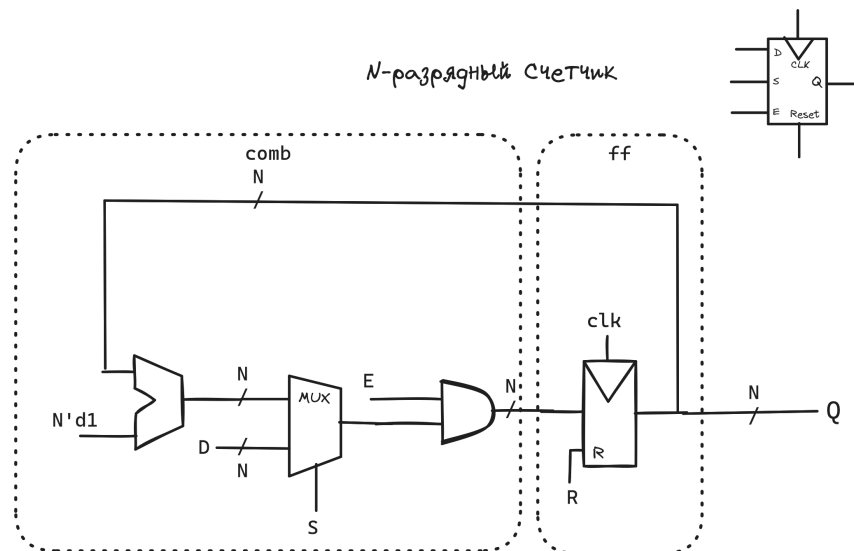


Рис. 1.1: Микроархитектура счетчика

Для тестирования модуля определим основные его свойства.

- С каждым тактом значение в счетчике увеличивается на 1.
- Счетчик корректно загружает данные.
- Счетчик приходит в корректное состояние после сброса.
- Счетчик правильным образом обрабатывает переполнение.

Тестовый план:

1. подключить модуль счетчика к тестирующему модулю,
2. сбросить счетчик до начального состояния,
3. включить счетчик,
4. загрузить в счетчик данные немного меньше чем максимальное значение в нем,

5. выполнить несколько отсчетов не доходя до переполнения с учетом включения и выключения и проверить, что значения увеличиваются верным образом,
6. выполнить еще один отсчет, проверить что произошло переполнение.

Сдвиговый регистр

N-разрядный сдвиговый регистр

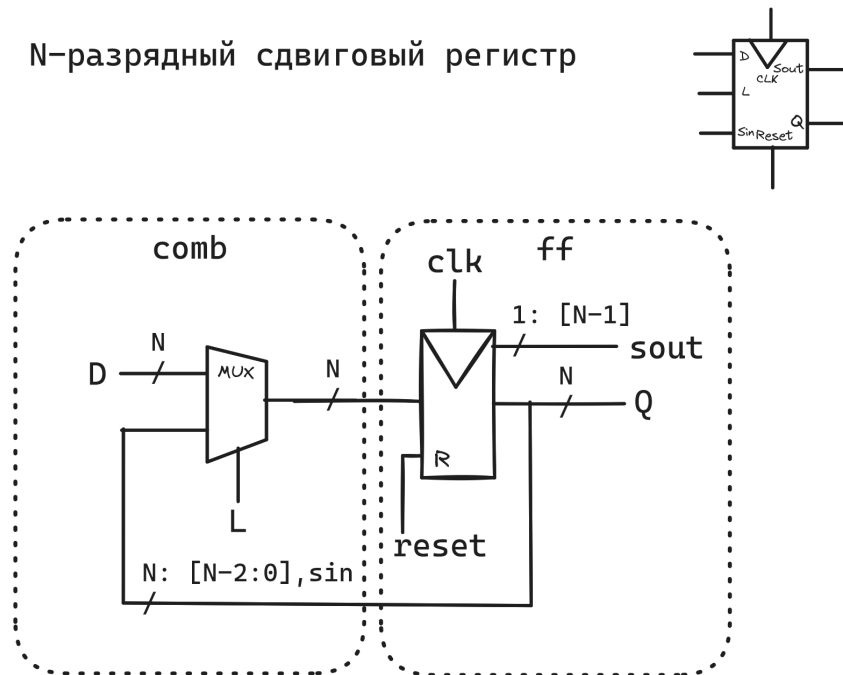


Рис. 1.2: Микроархитектура сдвигового регистра

Конечный автомат

В соответствии с заданием был разработан делитель частоты, микроархитектура которого представлена на рис. 1.4.

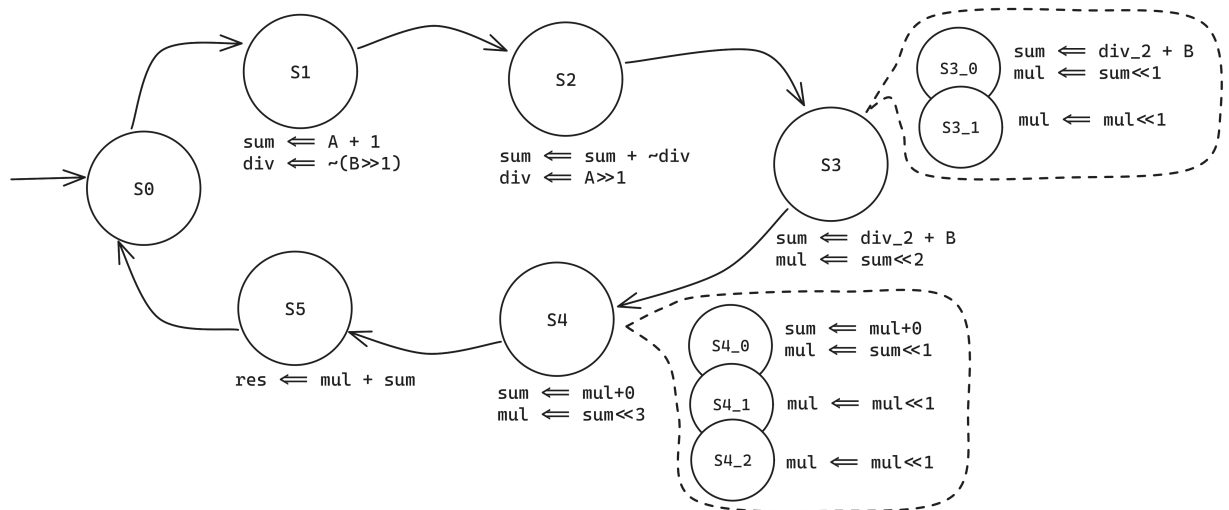


Рис. 1.3: Граф FSM-1

Конечный автомат
для вычисления выражения $= (A/2+B)*8 + (A-B/2)*4$
1x сумматор, 1x умножитель, 2x делителя.

$$(A/2+B)*8 + (A-B/2)*4 = ((A>>1) + B)<<3 + (A + \sim(B>>1) + 1)<<2$$

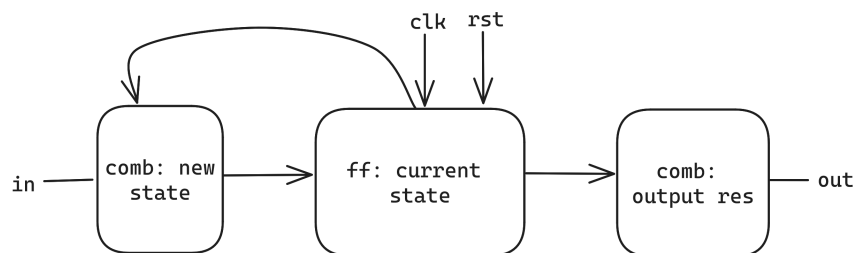
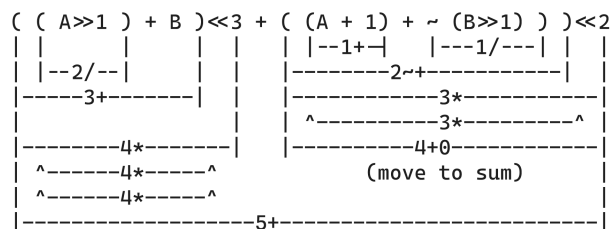


Рис. 1.4: Микроархитектура делителя частоты

Для тестирования модуля определим основные его свойства.

•

Тестовый план:

1.

Делитель частоты

В соответствии с заданием был разработан делитель частоты, микроархитектура которого очень похожа на микроархитектуру счетчика на рис. 1.1.

Для тестирования модуля определим основные его свойства.

- Устройство приходит в начальное состояние (0 на выходе) при сигнале сброса.
- Устройство изменяет значение на выходе строго каждые N-указанных тактов входного сигнала.

Тестовый план:

1. подключить тестируемый модуль,
2. сбросить состояние модуля до начального,
3. проверить, что строго через указанные N тактов состояние на выходе модуля изменяется на противоположное.

Сложно функциональный блок COUNT_FREE

В соответствии с заданием был разработан сложно функциональный блок выполняющий функцию COUNT_FREE, высокоуровневая диаграмма устройства которого представлена на рис. 1.5.

3.2. Часть 2

4. Вывод

Функция count_ones

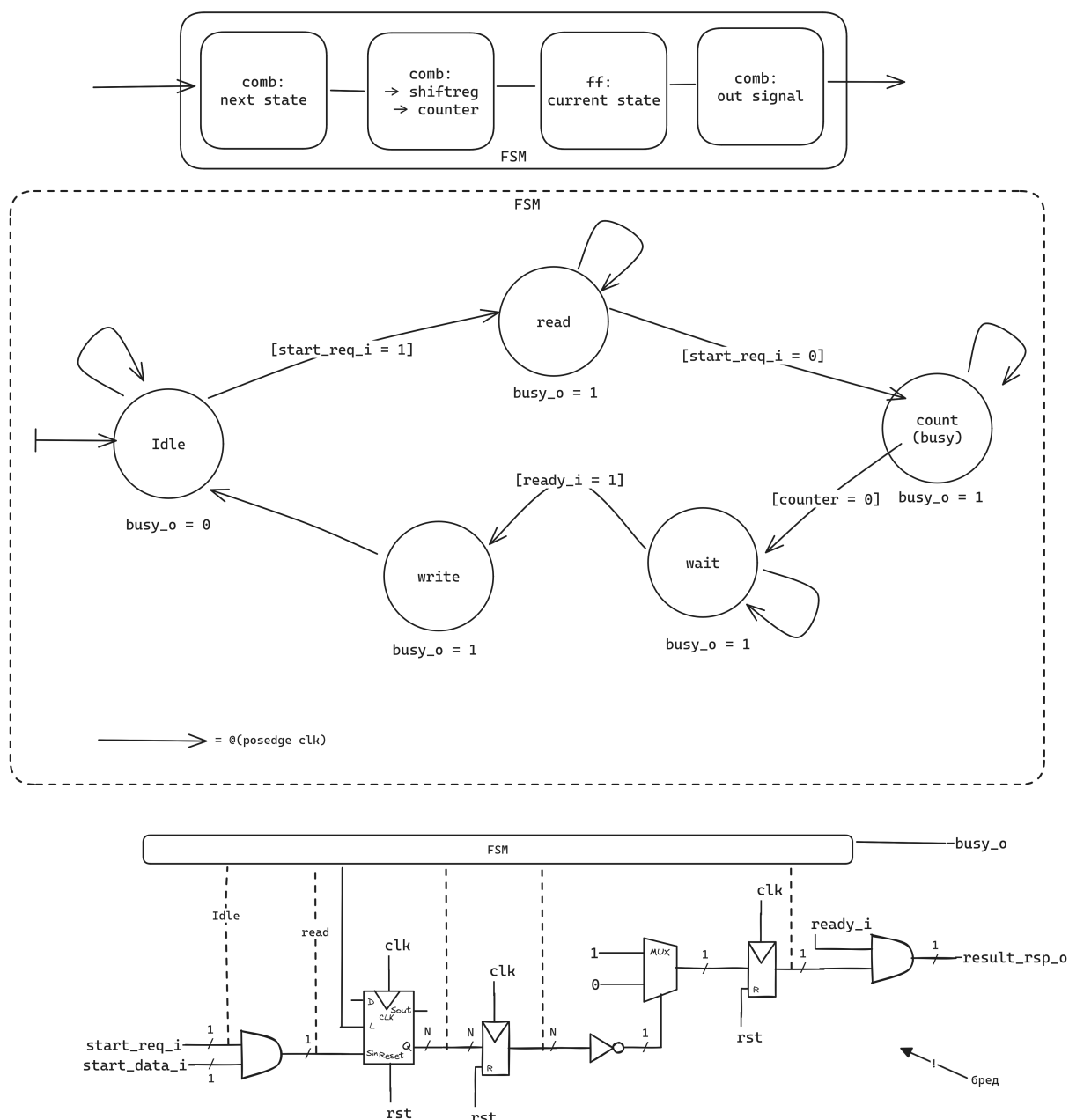


Рис. 1.5: Высокоуровневая диаграмма функции COUNT_FREE