

Лабораторная работа №3. FPGA

1. Введение

Лабораторная работа посвящена прототипированию разработанных модулей на FPGA. В качестве задания необходимо будет разместить сложно-функциональный блок, разработанный вами в второй лабораторной работе, на специализированной плате, подключив к нему часть доступных периферийных устройств.

2. Описание лабораторной работы

2.1 Вводная информация

В рамках прототипирования разработанного вами блока осуществляется проверка, которая заключается в том, насколько хорошо ваше RTL-описание отображается на реальные физические элементы. Во второй лабораторной работе не требовалось заходить дальше симуляции, и, исходя из этого, существенная доля ваших разработок содержит неоднозначно-трактуемые языковые конструкции. В процессе синтеза такие конструкции могут существенно исказить функциональные и нефункциональные характеристики вашей разработки, поэтому их требуется исправить.

Помимо проверки на соответствие, прототипирование - это еще и дополнительный этап в процессе верификации, в рамках которого вы проверяете функциональную корректность вашего устройства с помощью доступных на плате средств.

Работа выполняется в Vivado Design Suite с использованием плат “Nexys 4DDR” или “Nexys A7”.

2.2 Описание задания

Для реализации был выбран блок из второй части лабораторной работы - Арбитр, Очередь FIFO/LIFO, Буфер MRU/LRU.

Для подачи запросов в ваш модуль следует использовать кнопки и переключатели на плате. Для вывода информации следует использовать семисегментные индикаторы и светодиоды. В каждом варианте должен быть реализован сигнал асинхронного сброса и его активация должна быть привязана к кнопке на плате.

2.2.1 Модуль “ARBITER”

Для передачи нескольких потоков транзакций необходимо организовать потактовую симуляцию с использованием кнопки. Одно нажатие на кнопку должно симулировать один тактовый период. Так как потоков всего четыре, а переключателей на плате 16, то каждому потоку отводится 3 переключателя на биты шины данных и один переключатель на бит

валидности данных. При выдаче транзакции арбитром, на одной группе семисегментных индикаторов должен отобразиться номер потока, а на другой группе - переданные данные. На светодиодах необходимо отображать сигналы “ready” к каждому потоку. Если в текущий такт данных не было, то семисегментные индикаторы должны быть погашены.

2.2.2 Модуль “BUFFER_LRU”

Разрядность данных, хранимых в буфере - 16 бит. Всего в буфере должно быть 8 элементов. По нажатию на кнопку записи, данные должны быть записаны в буфер в соответствии с алгоритмом. Также необходимо реализовать интерфейс считывания из буфера по определенному адресу. При нажатии на кнопку считывания, на одной группе семисегментных индикаторов должны быть отображены данные из ячейки, адрес которой указан на переключателях. На другой группе семисегментных индикаторов должно быть отображено количество элементов, находящихся в буфере. Обновление внутренних счётчиков или матрицы возрастов алгоритма LRU по факту считывания можно не реализовывать.

2.2.3 Модуль “BUFFER_MRU”

Разрядность данных, хранимых в буфере - 16 бит. Всего в буфере должно быть 8 элементов. По нажатию на кнопку записи, данные должны быть записаны в буфер в соответствии с алгоритмом. Также необходимо реализовать интерфейс считывания из буфера по определенному адресу. При нажатии на кнопку считывания, на одной группе семисегментных индикаторов должны быть отображены данные из ячейки, адрес которой указан на переключателях. На другой группе семисегментных индикаторов должно быть отображено количество элементов, находящихся в буфере. Обновление внутренних счётчиков или матрицы возрастов алгоритма MRU по факту считывания можно не реализовывать.

2.2.4 Модуль “FIFO”

Разрядность данных, хранимых в очереди - 16 бит. Всего в очереди должно быть 8 элементов. По нажатию на кнопку записи, данные должны быть записаны в буфер в соответствии с алгоритмом. При нажатии на кнопку считывания, на одной группе семисегментных индикаторов должны быть отображены данные из очереди, в соответствии с алгоритмом её реализации. На другой группе семисегментных индикаторов должно быть отображено суммарное количество элементов в очереди. Сигналы “full” и “empty” необходимо вывести на светодиоды.

2.2.4 Модуль “LIFO”

Разрядность данных, хранимых в очереди - 16 бит. Всего в очереди должно быть 8 элементов. По нажатию на кнопку записи, данные должны быть записаны в буфер в соответствии с алгоритмом. При нажатии на кнопку считывания, на одной группе семисегментных индикаторов должны быть отображены данные из очереди, в соответствии с алгоритмом её реализации. На другой группе семисегментных индикаторов должно быть отображено суммарное количество элементов в очереди. Сигналы “full” и “empty” необходимо вывести на светодиоды.

3. Требования к отчёту

1. Титульный лист.
2. Задание в соответствии с вариантом.
3. Разработанные микроархитектурные диаграммы для ваших схем. Отобразить логику работы с периферийными устройствами.
4. Выводы по работе. В выводе опишите подробно, как вы подходили к решению каждой задачи, какие у вас возникли вопросы и трудности и как вы разобрались со всеми сложностями.