

НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ УНИВЕРСИТЕТ ИТМО  
ФАКУЛЬТЕТ ПРОГРАММНОЙ ИНЖЕНЕРИИ И КОМПЬЮТЕРНОЙ ТЕХНИКИ  
НАПРАВЛЕНИЕ СИСТЕМНОГО И ПРИКЛАДНОГО ПРОГРАММНОГО  
ОБЕСПЕЧЕНИЯ

**ОТЧЕТ ПО ЛАБОРАТОРНОЙ РАБОТЕ № 1**

**курса «Функциональная схемотехника»**

**по теме: «Введение в проектирование цифровых интегральных  
схем»**

**Вариант № 6**

Выполнил студент:

Тюрин Иван Николаевич

группа: Р33102

Преподаватель:

Кустарев П. В.,

Васильев С.Е.

Санкт-Петербург, 2024 г.

# Содержание

Лабораторная работа № 1. Введение в проектирование цифро- вых интегральных схем	2
1. Цели работы . . . . .	2
2. Задание варианта № 6 . . . . .	2
1. Часть 1 . . . . .	2
2. Часть 2 . . . . .	3
3. Выполнение задания . . . . .	4
1. Часть 1: построение схемы в LTSpice . . . . .	4
2. Часть 2: описание схемы в Vivado . . . . .	11
4. Вывод . . . . .	15

# Лабораторная работа № 1

## Введение в проектирование цифровых интегральных схем

### 1. Цели работы

1. Получить базовые знания о принципах построения цифровых интегральных схем с использованием технологии КМОП.
2. Познакомиться с технологией SPICE-моделирования схем на транзисторах.
3. Получить навыки описания схем базовых операционных элементов (БОЭ) комбинационного типа на вентиляном уровне с использованием языка описания аппаратуры Verilog HDL.

### 2. Задание варианта № 6

#### 2.1. Часть 1

1. Постройте в LTspice на транзисторах схему вентиля, составляющего основу логического базиса согласно варианту задания.
2. Создайте символ для разработанного вентиля как иерархического элемента.
3. С использованием созданного иерархического элемента постройте схему тестирования вентиля.
4. Проведите моделирование работы схемы и определите задержку распространения сигнала через тестируемый вентиль.
5. Определите максимальную частоту изменения входных сигналов, при которой построенная схема сохраняет работоспособность.

6. Постройте БОЭ на базе созданного вентиля согласно варианту задания.
7. Создайте символ для построенного БОЭ.
8. Проведите моделирование работы схемы и определите задержку распространения сигнала через БОЭ.
9. Определите максимальную частоту изменения входных сигналов, при которой построенная схема сохраняет работоспособность.
10. Составьте отчет по результатам выполнения заданий первой части лабораторной работы.

## 2.2. Часть 2

1. Опишите на Verilog HDL на вентильном уровне модуль, реализующий функцию БОЭ в указанном логическом базисе согласно варианту задания.
2. Разработайте тестовое окружение для созданного модуля.
3. Проведите моделирование работы схемы.
4. Составьте отчет по результатам выполнения заданий второй части лабораторной работы.

Вариант:

№ варианта	Логический базис	БОЭ
6	NAND	Позиционный дешифратор «3 в 8»

Таблица 1.1: Вариант задания

, , ,

### 3. Выполнение задания

В соответствии с заданием необходимо было описать схему базового операционного элемента (БОЭ), декодирующего 3 входных в 8 выходных сигналов по принципу двоичной записи числа: выходное значение представляет собой двоичное число равно степени числа 2 с показателем, представленным двоичным числом на входе.

#### 3.1. Часть 1: построение схемы в LTSpice

Для построения требуемого БОЭ в LTSpice нужно построить схему и изобразить символ элемента используемого как логический базис, т.е. функцию NAND, суть которого можно видеть на таблице истинности [1.2](#).

A	B	NAND
0	0	1
0	1	1
1	0	1
1	1	0

Таблица 1.2: Таблица истинности функции NAND

Логический элемент NAND был сконструирован с помощью схемы представленной на изображении [1.2](#). В элементе используется выделенный входной порт для питания VDD, чтобы обеспечить независимость работы компонента от внутреннего элемента питания: таким образом достигается установка глобального уровня сигнала соответствующего логической единицы, с которым схема «сравнивает» входные сигналы. Так же для элемента NAND был разработан графический символ соответствующий стандарту ANSI, его можно видеть на изображении [1.1](#).

Базисный логический элемент был протестирован с помощью схемы представленной на изображении [1.3](#). При этом, с целью пронаблюдать работу элемента NAND со всеми возможными комбинациями входных значений во время симуляции, в схеме были использованы импульсные элементы питания с различными периодами пульсации. А в качестве нагрузки использовался резистор и конденсатора с характеристиками указанными в задании.

Нагрузка представляет собой сопротивление обладающее как активным, так и реактивным сопротивлением. Именно это сопротивление позволяет получить довольно плавное изменение уровня выходного напряжения на элементе NAND и тем самым достаточно качественно моделирует нагрузку в виде более сложной функциональной схемы (зависимость уровня сигнала от характеристик нагрузки можно будет наблюдать далее).

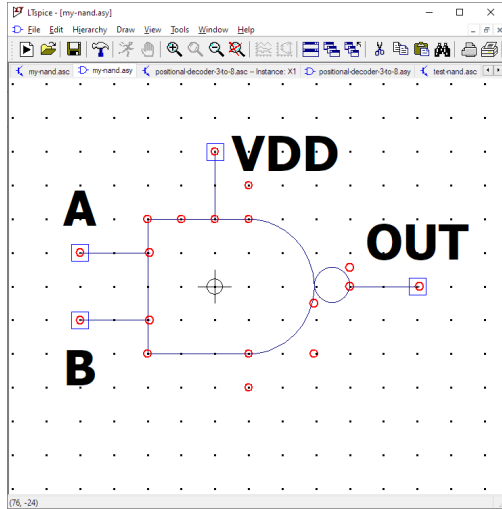


Рис. 1.1: Символ используемый для разработанного вентиля NAND.

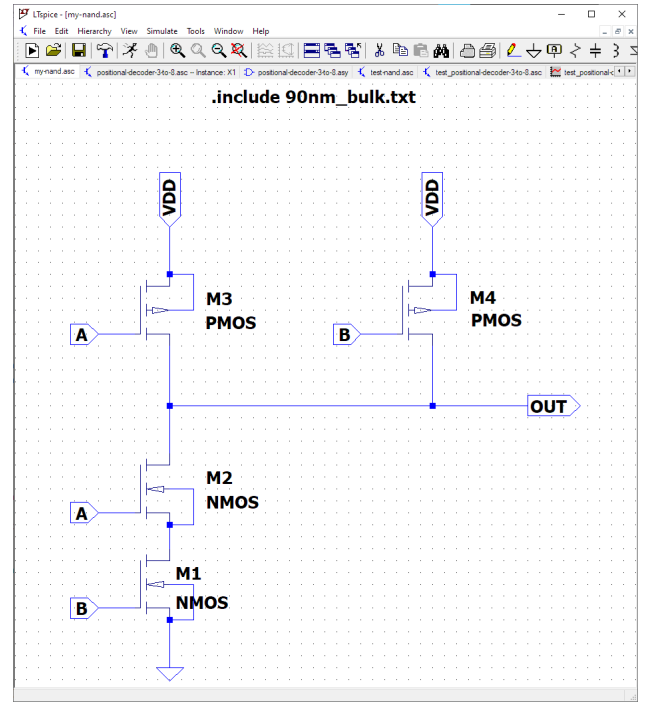


Рис. 1.2: Схема разработанного вентиля NAND.

Результат симуляции работы разработанной тестирующей схемы можно видеть на изображении 1.4 и более подробно с большим масштабом и дополнительными обозначениями на изображении 1.5.

Для элемента NAND вычислим максимальную частоту для корректной его работы. Будем считать, что логический высокий уровень начинается на значении 0,8 (В), а низкий на значении 0,2 (В). Тогда, исходя из результатов моделирования 1.5, длительность фронта сигнала и длительность спада на декодере равны

$$T_{\text{rise}} \approx 0,7 \text{ (нс)} \text{ и}$$

$$T_{\text{fall}} \approx 0,9 \text{ (нс)}$$

соответственно, а длительность задержки тогда

$$T_{\text{delay}} = T_{\text{rise}} + T_{\text{fall}} = 1,6 \text{ (нс)}.$$

Максимально допустимую частоту работы схемы можно определить по формуле

$$F_{\text{max}} = \frac{1}{T_{\text{delay}}} = 0,625 \text{ (ГГц)}.$$

Далее с использованием элемента NAND был построен БОЭ декодер, изображение схемы которого можно видеть на изображении 1.6. Для удобного его проектирования использовались дополнительные порты для передачи

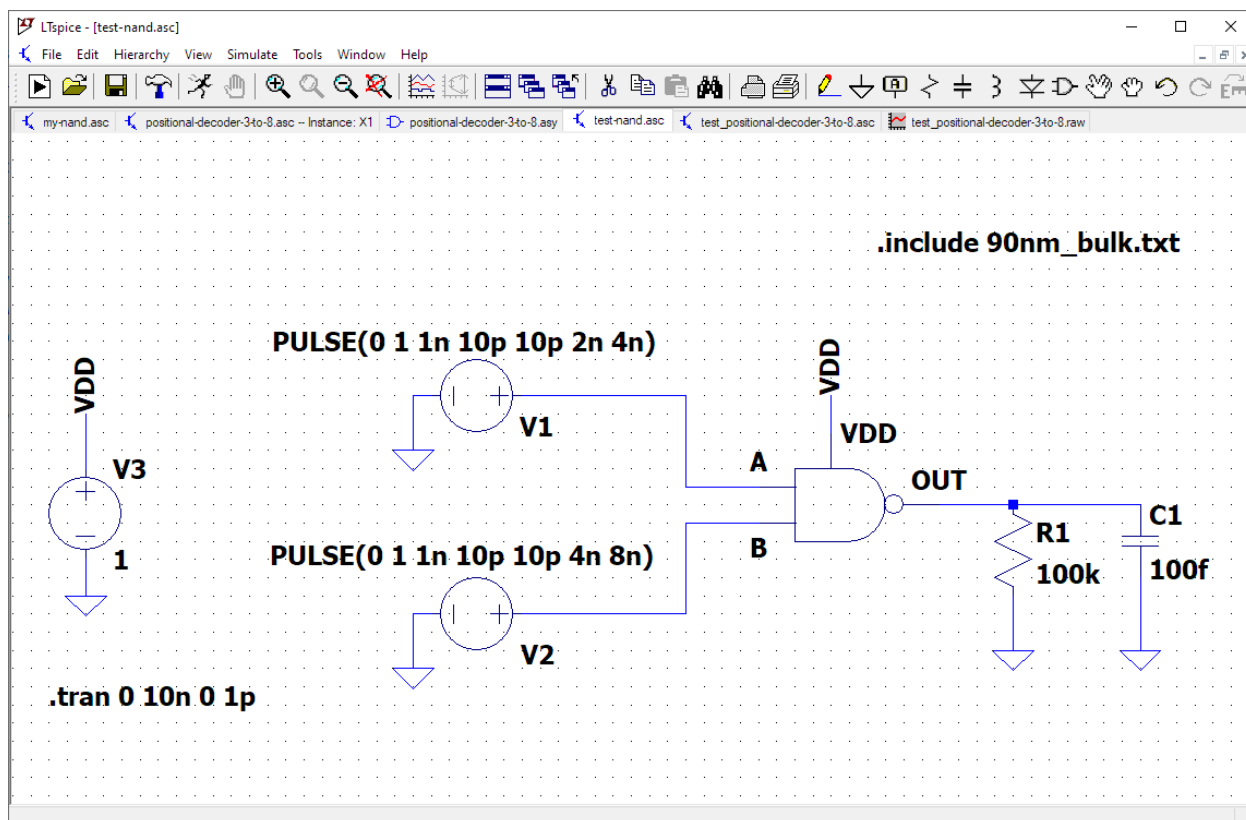


Рис. 1.3: Схема разработанная для тестирования компонента NAND.

инвертированных значений входных сигналов. А для инверсии значения сигнала использовались компоненты NAND, которым на оба входа подаются одинаковые значения — так NAND вполне компактно реализует логическую функцию NOT.

При разработке схемы использовалась идея, заключающаяся в том, что NAND дает на выход значение, которое можно однозначно интерпретировать как комбинацию входных значения только при условии, что оба входа поданы логические единицы: только в этом случае можно использовать значение на выходе для определения состояния на обоих входах.

Также, изначально значение требуемого входного порта, отвечающего за включение элемента (Enable), было ошибочно использовано как вход питания (логический высокий уровень, Vdd) для элементов NAND, что обеспечивает нулевое значение на выходе декодера в случае логического нуля на входе его питания, но в конечном итоге пришли к выводу, что вход Enable должен отдельно контролировать поступление входного сигнала на выход, а для питания NAND элементов в схему был добавлен еще один входной порт, принимающий логический высокий уровень сигнала.

Для декодера был разработан графический символ, в котором 3 входных логических значения A, B, C и входное значение питания E. Внешний вид символа можно видеть на изображении 1.7.

Разработанный декодер был протестирован с использованием отдельной

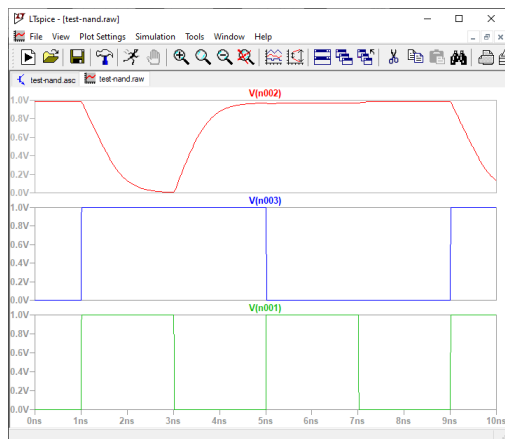


Рис. 1.4: Временная диаграмма симуляции работы тестирующей схемы для элемента NAND.

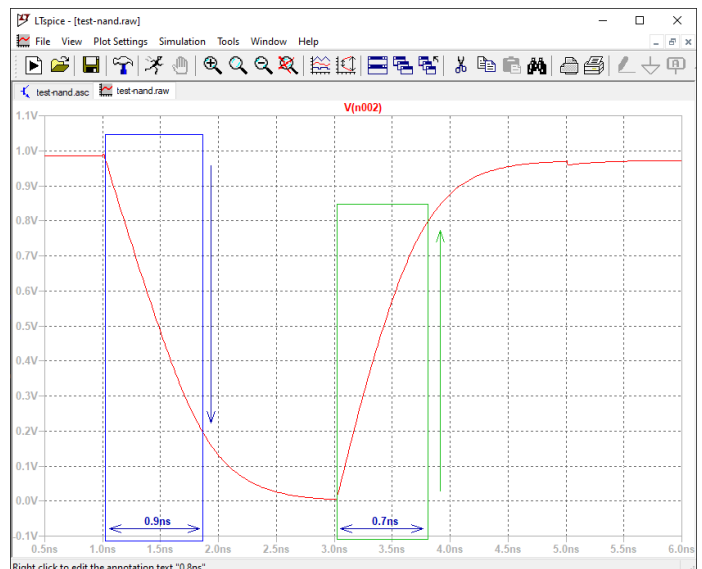


Рис. 1.5: Исследование временной диаграммы работы тестирующей схемы для элемента NAND на большем масштабе.

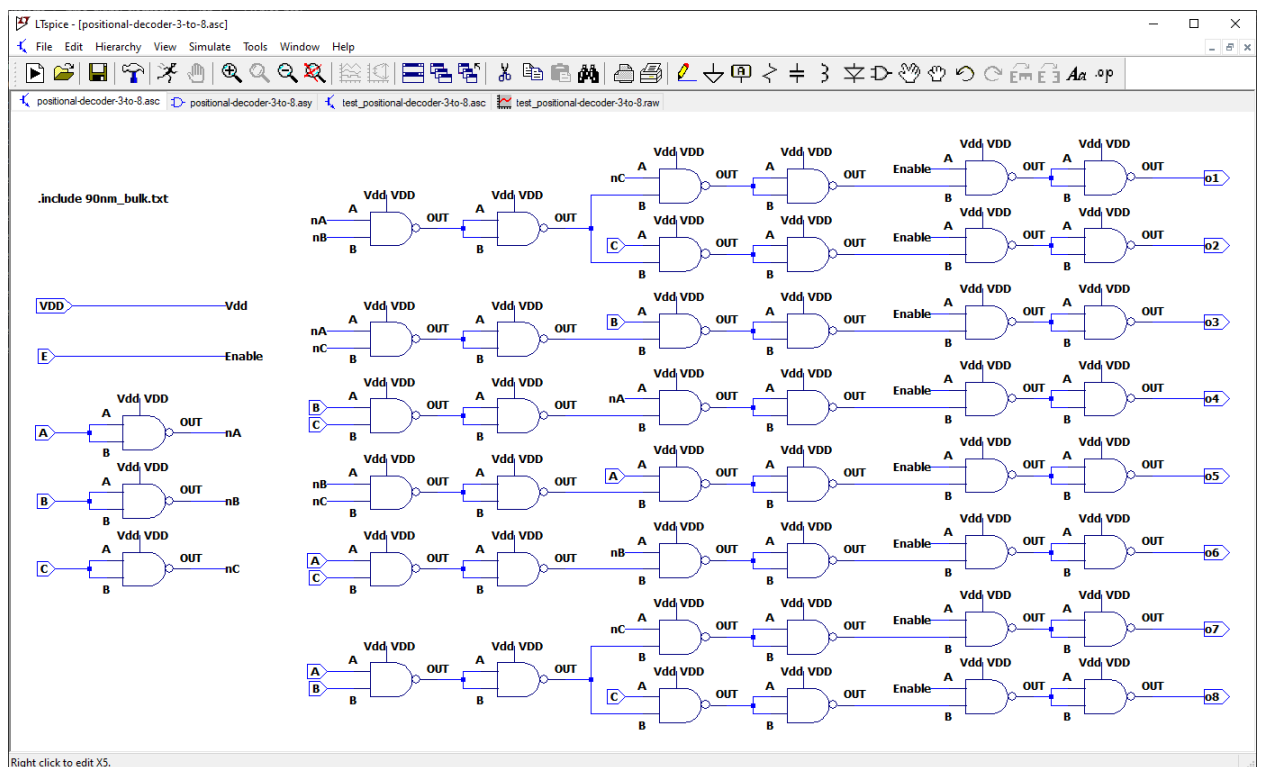


Рис. 1.6: Схема разработанного позиционного декодера с использованием ранее разработанного логического базиса (NAND)

схемы, представленной на изображении 1.8. В ней на вход БОЭ подавались значения с разных импульсных элементов питания, которые обладали кратными периодами пульсации. Более того, элемент питания для входа E (Enable) декодера тоже был импульсным и при том со смещением периода относительно других источников питания, чтобы продемонстриро-



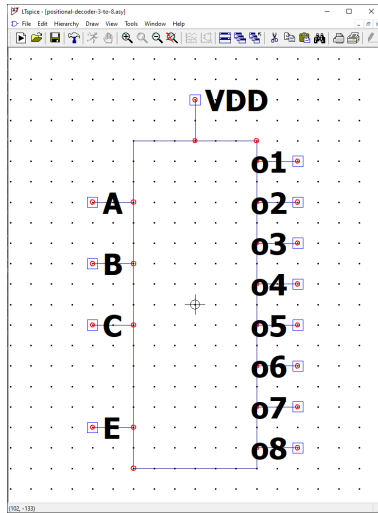


Рис. 1.7: Символ пози-  
ционного декодера.

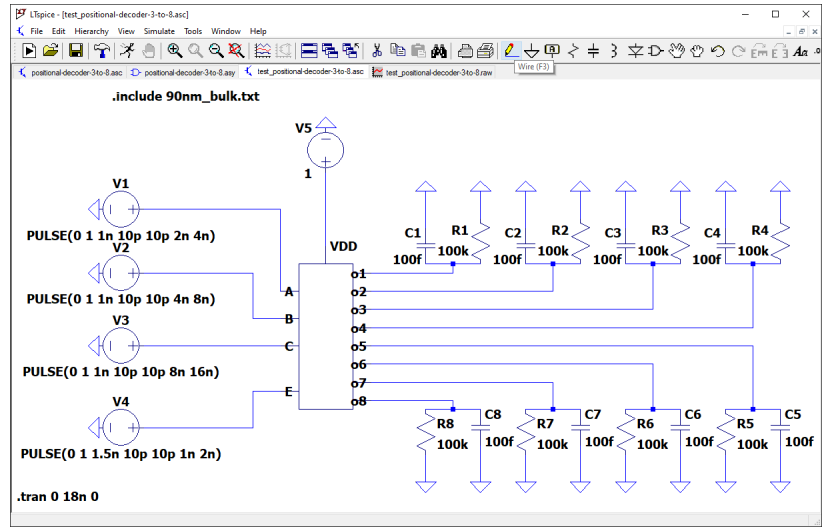


Рис. 1.8: Схема для тестирования функциональ-  
ности разработанного декодера.

вать зависимость результата работы декодера от этого входного сигнала. Каждый выходной порт декодера был подключен к различному элементу нагрузки, чтобы исключить их замыкания. В качестве нагрузки на компонент используются параллельно подключенные резистор и конденсатор с характеристиками, указанными в условии лабораторной работы.

Во время симуляции работы декодера можно хорошо наблюдать изменение значений на выходах декодера в разных комбинациях входных значений (см. графики на рисунке 1.9). При этом все изменения выходных значений происходят строго в соответствии с входным значением Enable и так же им присущи переходные процессы.

На временной диаграмме 1.10 симуляции можно измерить задержки прохождения сигнала через схему БОЭ. Изменения состояния будем считать, аналогично тому, как это делали для логического элемента, т.е. 0,8 (В) — верхний уровень, 0,2 (в) — нижний. Тогда длительность фронта сигнала на декодере и длительность спада

$$T_{\text{rise}} \approx 0,4 \text{ (нс)} \text{ и}$$

$$T_{\text{fall}} \approx 0,9 \text{ (нс)}$$

соответственно, а длительность задержки равняется

$$T_{\text{delay}} = T_{\text{rise}} + T_{\text{fall}} = 1,3 \text{ (нс)}.$$

Максимально допустимую частоту работы схемы можно определить по формуле

$$F_{\text{max}} = \frac{1}{T_{\text{delay}}} \approx 0,77 \text{ (ГГц)}.$$

Тут же можно заметить, что задержка фронта БОЭ (декодера) отличается от задержки базисного элемента (NAND): 0,4 и 0,7 (нс) соответственно,

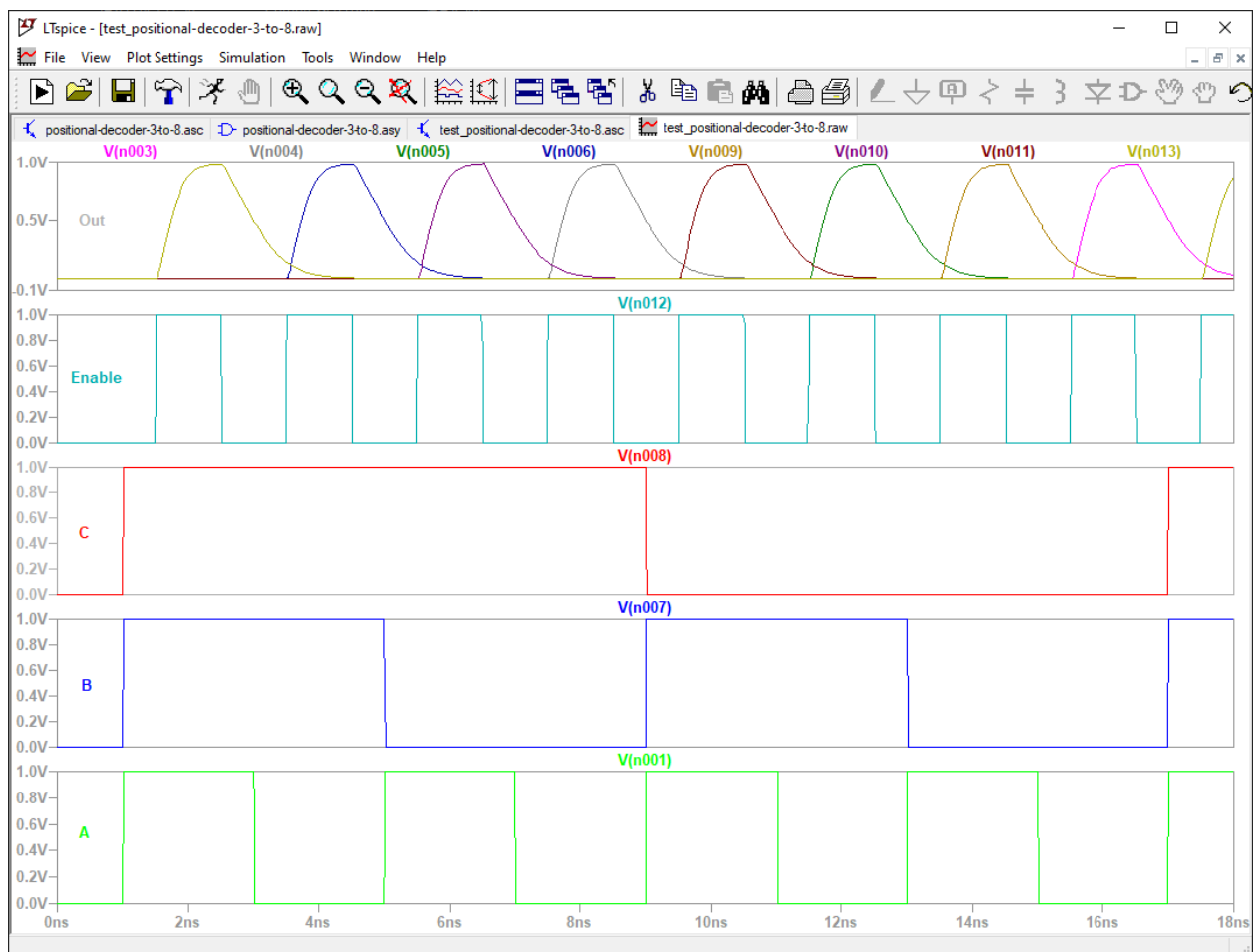


Рис. 1.9: Временная диаграмма результата симуляции входных и выходных значений на разработанном декодере.

а максимальная частота для БОЭ больше чем для одного элемента. Считая, что среда разработки симулирует верно, можно предположить, что уменьшение задержки вызвано именно сложной комбинацией базисных элементов, что вызывает, к примеру, снижение общей электроёмкости функционального компонента; активное сопротивление диодной схемы при сложных соединениях практически не меняется.

Для проверки этой теории был произведен тест с изменением ёмкости конденсатора в нагрузке для конкретного выходного порта. На временной диаграмме симуляции, представленной на изображении 1.11, можно видеть, что при увеличении ёмкости конденсатора в нагрузке, задержка фронта увеличивается приблизительно до ожидаемого значения 0,7 (нс), но также меняется форма сигнала. Похоже, что при достижении нужного соотношения между ёмкостями функциональных элементов задержки принимают определенные значения. (как позже окажется, это не вполне верное замечание)

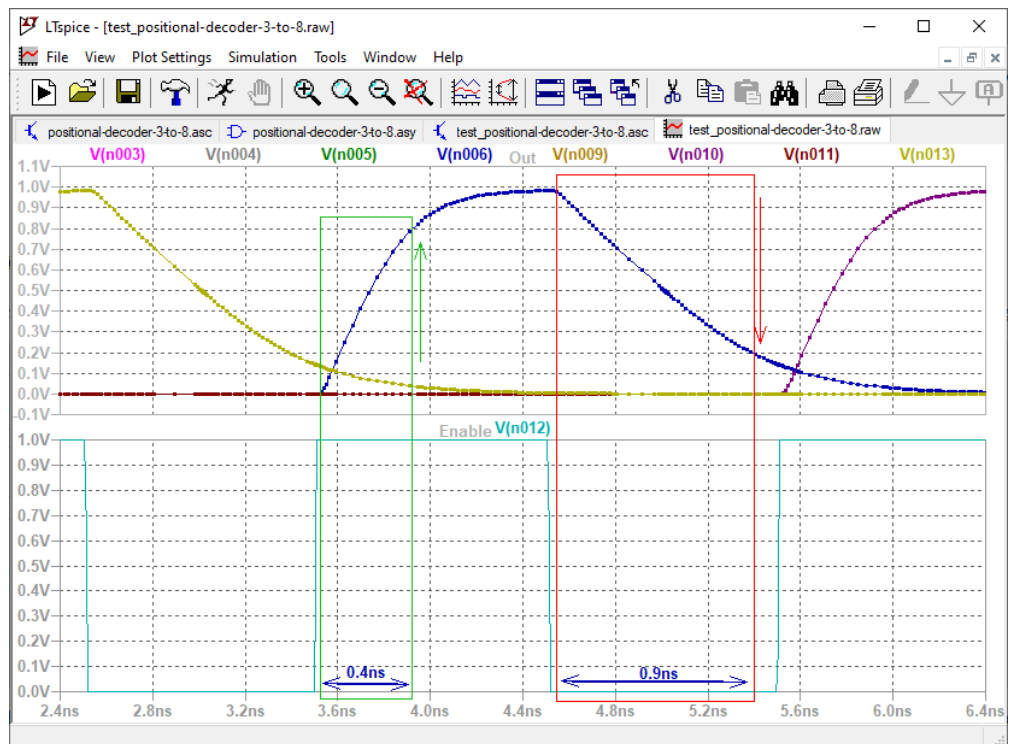


Рис. 1.10: Исследование временной диаграммы симуляции работы разработанного декодера на большем масштабе.

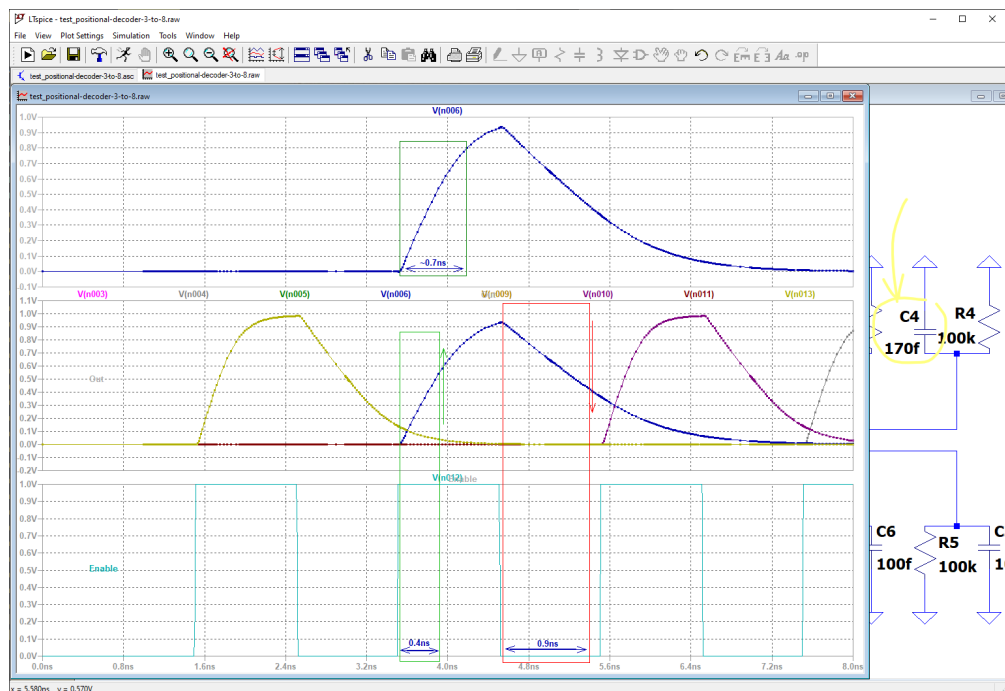


Рис. 1.11: Исследование временной диаграммы симуляции с измененными характеристиками нагрузки.

Во время защиты лабораторной, пришли к умозаключению, что на деле измеряются не задержки на БОЭ, а время зарядки конденсатора в нагрузке.

## 3.2. Часть 2: описание схемы в Vivado

В соответствии с заданием был разработан программный модуль описывающий работу БОЭ (декодера 3 в 8), см. листинг 1.1. При его реализации в качестве базисных логических элементов так же использовались NAND компонента, но на в этом случае программная среда предоставляет его без необходимости реализовывать самому. В добавок к этому, можно наблюдать значительное отличие метода описания функциональной схемы кодом от составления графической схемы — программная среда сама заботится о передаче в компоненты низкого и высокого логического уровня сигнала, поэтому элементы `nand` имеют всего 3 аргумента: выходной порт и два входных.

Для реализации модуля была использована идея аналогичная реализации БОЭ в LTSpice, только теперь потребовалось использовать несколько дополнительных соединительных проводов (шин), как бы, обозначающих вертикальное сечение схемы. Важно заметить, что в реализации используется определенный порядок бит в выходном проводе, чтобы значение на выходе правильным образом соответствовали численному значению.

```
1 'timescale 1ns / 1ps
2
3 module decoder(
4     input [2:0] s,
5     input en,
6     output [7:0] d
7 );
8     wire [2:0] not_s;
9     // split circuit in "vertical" layers
10    // and not forget to use specific order of bits in 'd'
11    wire [5:0] w_1;
12    wire [5:0] not_w_1;
13    wire [7:0] w_2;
14    wire [7:0] not_w_2;
15    wire [7:0] w_3;
16
17    nand(not_s[2], s[2], s[2]);
18    nand(not_s[1], s[1], s[1]);
19    nand(not_s[0], s[0], s[0]);
20
21    nand(w_1[5], not_s[2], not_s[1]);
22    nand(not_w_1[5], w_1[5], w_1[5]);
23    // row 1
24    nand(w_2[7], not_w_1[5], not_s[0]);
25    nand(not_w_2[7], w_2[7], w_2[7]);
26    nand(w_3[7], not_w_2[7], en);
27    nand(d[0], w_3[7], w_3[7]);
28    // row 2
29    nand(w_2[6], not_w_1[5], s[0]);
30    nand(not_w_2[6], w_2[6], w_2[6]);
31    nand(w_3[6], not_w_2[6], en);
32    nand(d[1], w_3[6], w_3[6]);
33    // row 3
34    nand(w_1[4], not_s[2], not_s[0]);
```

```

35     nand(not_w_1[4], w_1[4], w_1[4]);
36     nand(w_2[5], not_w_1[4], s[1]);
37     nand(not_w_2[5], w_2[5], w_2[5]);
38     nand(w_3[5], not_w_2[5], en);
39     nand(d[2], w_3[5], w_3[5]);
40     // row 4
41     nand(w_1[3], s[1], s[0]);
42     nand(not_w_1[3], w_1[3], w_1[3]);
43     nand(w_2[4], not_w_1[3], not_s[2]);
44     nand(not_w_2[4], w_2[4], w_2[4]);
45     nand(w_3[4], not_w_2[4], en);
46     nand(d[3], w_3[4], w_3[4]);
47     // row 5
48     nand(w_1[2], not_s[1], not_s[0]);
49     nand(not_w_1[2], w_1[2], w_1[2]);
50     nand(w_2[3], not_w_1[2], s[2]);
51     nand(not_w_2[3], w_2[3], w_2[3]);
52     nand(w_3[3], not_w_2[3], en);
53     nand(d[4], w_3[3], w_3[3]);
54     // row 6
55     nand(w_1[1], s[2], s[0]);
56     nand(not_w_1[1], w_1[1], w_1[1]);
57     nand(w_2[2], not_w_1[1], not_s[1]);
58     nand(not_w_2[2], w_2[2], w_2[2]);
59     nand(w_3[2], not_w_2[2], en);
60     nand(d[5], w_3[2], w_3[2]);
61
62     nand(w_1[0], s[2], s[1]);
63     nand(not_w_1[0], w_1[0], w_1[0]);
64     // row 7
65     nand(w_2[1], not_w_1[0], not_s[0]);
66     nand(not_w_2[1], w_2[1], w_2[1]);
67     nand(w_3[1], not_w_2[1], en);
68     nand(d[6], w_3[1], w_3[1]);
69     //row 8
70     nand(w_2[0], not_w_1[0], s[0]);
71     nand(not_w_2[0], w_2[0], w_2[0]);
72     nand(w_3[0], not_w_2[0], en);
73     nand(d[7], w_3[0], w_3[0]);
74
75 endmodule

```

Листинг 1.1: Код программного модуля реализующего логику требуемого БОЭ, декодера 3 в 8

Также в соответствии с заданием был разработан программный модуль, тестирующий логику ранее разработанного БОЭ, см. листинг 1.2. Там для тестирования используется модуль реализующий логику требуемого декодера, но с помощью высокоуровневых средств языка Verilog, его код можно видеть на листинге 1.3. Он выступает в роли «золотого стандарта», который не нужно тестировать. С ним следует сравнивать результат работы компонента реализованного с помощью логического базиса, чтобы удостовериться в корректности работы схемы.

```

1  'timescale 1ns / 1ps
2

```

```

3 module decoder_tb;
4
5 reg [2:0] s;
6 wire [7:0] d_golden, d_test;
7 reg en;
8 integer i;
9
10 decoder_golden decoder_golden(
11     .s(s),
12     .en(en),
13     .d(d_golden)
14 );
15
16 decoder decoder_test(
17     .s(s),
18     .en(en),
19     .d(d_test)
20 );
21
22
23 initial begin
24     for(i = 0; i < 8; i = i + 1) begin
25         s = i;
26         en = 1;
27
28         #10
29
30         if (d_test == d_golden)
31             begin
32                 $display("OK: s=%b, d=%b, en=%b, i=%0d", s, d_test, en, i);
33             end
34         else
35             begin
36                 $display("Fail: s=%b, d=%b, en=%b, i=%0d", s, d_test, en, i);
37                 $display("Expect: s=%b, d=%b, en=%b, i=%0d", s, d_golden, en, i);
38             end
39
40         en = 0;
41
42         #10
43
44         if (d_test == d_golden)
45             begin
46                 $display("OK: s=%b, d=%b, en=%b, i=%0d", s, d_test, en, i);
47             end
48         else
49             begin
50                 $display("Fail: s=%b, d=%b, en=%b, i=%0d", s, d_test, en, i);
51                 $display("Expect: s=%b, d=%b, en=%b, i=%0d", s, d_golden, en, i);
52             end
53         end
54         #10 $stop;
55     end
56
57 endmodule

```

Листинг 1.2: Код программного модуля тестирующего логику позиционного декодера 3 в 8

```

1 `timescale 1ns / 1ps

```

```

2
3 module decoder_golden(
4     input [2:0] s,
5     input en,
6     output reg [7:0] d
7 );
8 always @(s or en)
9 begin
10     if (en)
11     begin
12         case(s)
13             3'b000: d = 8'b0000_0001;
14             3'b001: d = 8'b0000_0010;
15             3'b010: d = 8'b0000_0100;
16             3'b011: d = 8'b0000_1000;
17             3'b100: d = 8'b0001_0000;
18             3'b101: d = 8'b0010_0000;
19             3'b110: d = 8'b0100_0000;
20             3'b111: d = 8'b1000_0000;
21         endcase
22     end
23     else
24     begin
25         d = 8'b0000_0000;
26     end
27 end
28
29 endmodule

```

Листинг 1.3: Код программного модуля реализующего логику позиционного декодера 3 в 8 с помощью высокоуровневых возможностей языка Verilog

В тестовом модуле изначально проверялось, что в цикле для всех возможных входных значений, подаваемых на вход сигналов, (соответствующих двоичному представлению чисел от 0 до 7) на выход подавались сигналы, соответствующие двоичному представлению числа 2 в степени входного двоичного числа. Иными словами, логическая 1 должна быть выставлена на порт с номером, равным 2 в степени входного двоичного числа. Это производилось с помощью оператора возведения в степень в языке Verilog ( $2^{**i}$ ).

Позже тест был переписан с использованием дополнительного модуля. Теперь в тесте просто сравнивается выходное значение с «доверенного» компонента и тестируемого. В случае соответствия работы компонента поставленным требованиям, на экран выводится сообщение о корректности работы для конкретной комбинации сигналов; в противном случае — сообщение о некорректности работы и ожидаемом значении.

Еще в среде разработки Vivado была получена временная диаграмма симуляции работы разработанного компонента, её можно видеть на изображении 1.12. Как и ожидалось, сигналы имеют определенные в программе значения и тестируемый модуль соответствует работе тестирующего модуля.

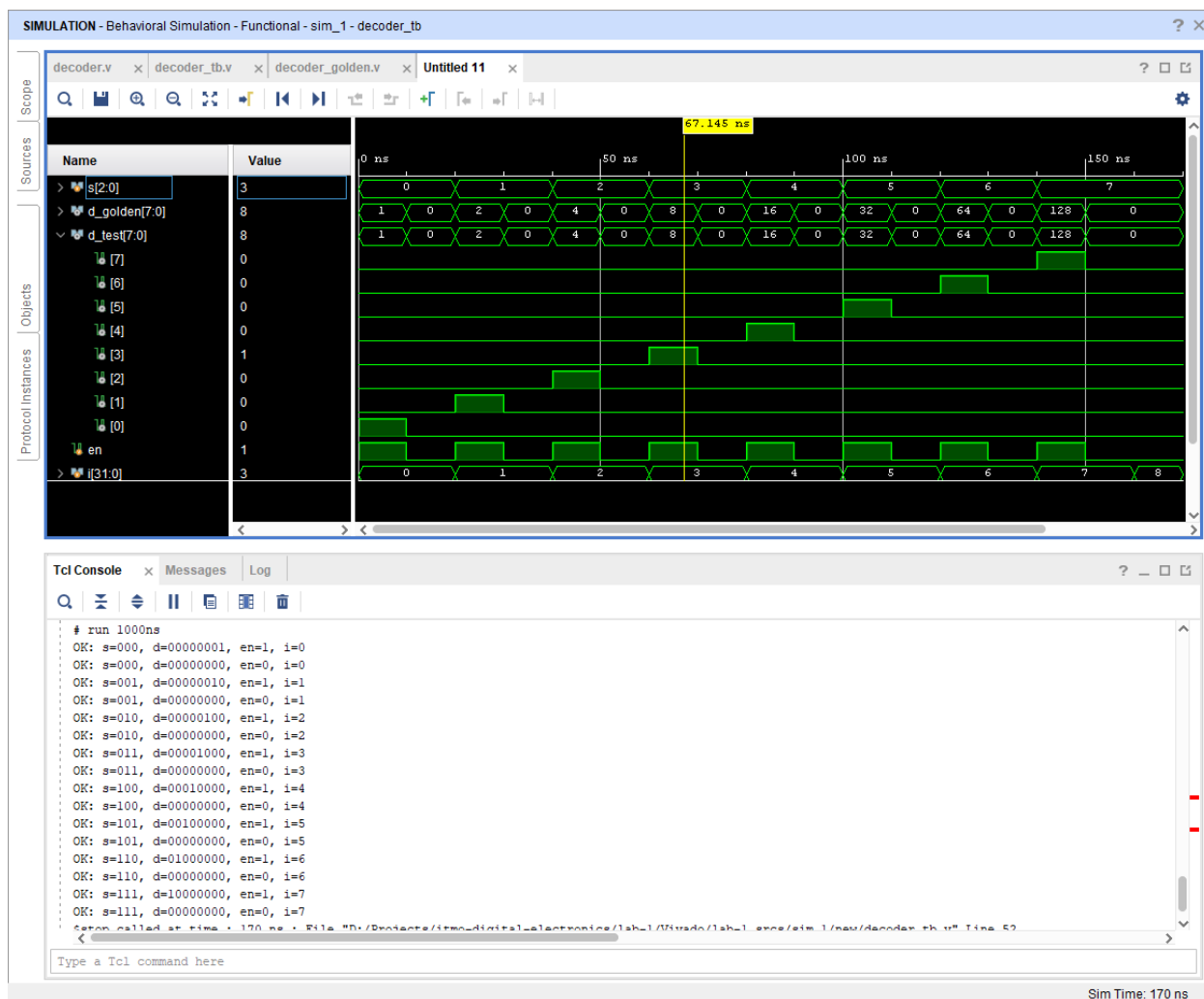


Рис. 1.12: Временная диаграмма симуляции работы БОЭ в тестовом окружении в среде Vivado

## 4. Вывод

В рамках выполнения работы были выполнены все поставленные задачи. Были приобретены навыки разработки цифровых схем в приложении LTSpice с последующей симуляцией их работы. Главной сложностью при этом стало понять логику комбинирования функциональных компонентов: для меня было не очевидно, что сигнал «питания» и сигнал высокого логического уровня не совпадают. Оказалось, что для более точной физической реализации, каждый компонент должен быть подключен независимо к линии с высоким логическим уровнем напряжения. Также было видно, насколько выбор логического базиса влияет на сложность составления БОЭ, мне удалось наблюдать, как другим учащимся было тяжело составить свою схему с помощью других базисных элементов.

В то же время, среда разработки Vivado и в частности язык Verilog позволяют избавиться от мутного и сложного управления подключением линий сигнала логических 1 и 0. Вместо этого Verilog позволяет описывать



логику взаимодействия компонентов без погружения в детали физического устройства компонентов.

Отдельное впечатление оставляет способ дистрибуции среды Vivado: 20 (ГБ) образ для версии 2019 года — это что-то с чем-то. Более того на сайте производителя эта система поставляется образами по 100 с лишним гигабайт, что заставляет задуматься о внутреннем устройстве этой системы, ведь внешний вид у нее не блещет изяществом, и требованиям к средствам разработки реальных вычислительных систем. Вероятно это приложение содержит в себе огромное количество дополнительных драйверов для работы с разными типами устройств. Ярко видно различие сред разработки обычных программных систем и разработки физических вычислительных систем.

Самый важный вывод, который можно сделать при выполнении лабораторной работы, был получен во время ее защиты. Как можно было заметить, форма сигнала получаемая в LTSpice при модулировании, зависит от параметров нагрузочных конденсаторов. Стало быть, на самом деле в схеме происходит измерение не задержек на БОЭ, а времени зарядки нагрузочных конденсаторов. Паразитические ёмкости диодов значительно меньше даже таких маленьких емкостей конденсаторов данных в задании, поэтому в таких реалиях нет возможности корректно измерить задержки на БОЭ и только при очень маленькой (в идеале нулевой) внешней емкости получится увидеть время задержки БОЭ кратное времени задержки внутренних элементов.