

UMA-coherence-quizz-2.pdf



Arnau_FIB



Paralelismo



3º Grado en Ingeniería Informática



**Facultad de Informática de Barcelona (FIB)
Universidad Politécnica de Catalunya**



**¡GANA UNA BECA PARA
ESTUDIAR EN AUSTRALIA GRATIS!**
¡Escanea el código QR y participa en el sorteo!



¿NO SABES QUÉ HACER CON TU VIDA? ¡VETE A AUSTRALIA!
TAMPOCO SABRÁS QUÉ HACER, ¡PERO ESTARÁS EN AUSTRALIA!

Beca completa iati Tahina-Can

Ruta de 11 días por Etiopía valorada en 1950€

Una iniciativa del Máster de Periodismo de Viajes de la UAB

Informate aquí
o haz click



iati
Seguros de viaje

[CAMPUS VIRTUAL UPC](#) / [Les meves assignatures](#) / [2020/21-02-FIB-270020-CUTotal](#) / [Unit 3.1: Introduction to parallel architectures I](#)
/ [UMA coherence quizz \(2\)](#)

Començat el dilluns, 22 març 2021, 09:50

Estat Acabat

Completat el dilluns, 22 març 2021, 09:52

Temps emprat 2 minuts 15 segons

Qualificació 6,00 sobre 6,00 (100%)

Pregunta **1**

Correcte

Puntuació 1,00
sobre 1,00

Assuming a UMA system with two processors, sharing the access to 8 GB of main memory. Coherence is implemented with snooping write-invalidate MSI.

Assuming initially empty caches, let's consider the following sequence of memory accesses to the same memory address w0, r0, w0, r1, r0, w1, w0, r1 (being rx a read access by processor x and wx a write access by processor x). In order to answer the following questions we suggest you do a table showing the CPU event (PrRd or PrWr), bus transaction (BusRd, BusRdX, BusUpgr or Flush) and cache line status (M, S or I) for each processor.

Is it true that all accesses to memory in the previous list always imply a bus transaction placed on the bus by the corresponding snoopy?

Trieu-ne una:

Respostes

☐ Verdader

☒ Fals ✓

Well done! there are three accesses by processor 0 (the two r0 accesses and second w0 access) that do not place any bus transaction.

Pregunta **2**

Correcte

Puntuació 5,00
sobre 5,00

The previous sequence of memory accesses implies ✓ BusRd, ✓ BusRdX, ✓ BusUpgr, and ✓ Flush commands. In total ✓ cache line invalidations are performed.

[◀ UMA coherence quizz \(1\)](#)

Salta a...

[Video lesson 5 \(part 1\): why directory-based coherence? ▶](#)

Si no vas a seguir estudiando
inspírate para tu próximo viaje



Reservados todos los derechos. No se permite la explotación económica ni la transformación de esta obra. Queda permitida la impresión en su totalidad.

