

REPORTE TAREA 4- IEE2753

EDUARDO ANAIS

1. Factor de actividad

1. Para encontrar el factor de actividad en cada nodo, se debe conocer la probabilidad de cada compuerta. Esta se obtiene de la tabla dada en clases y que también se encuentra en el libro.

$$P_0 = 1 - P_a P_b = 1 - 0.25 = \frac{3}{4}$$

$$\alpha_0 = \frac{1}{4} * \frac{3}{4} = \frac{3}{16}$$

De la misma manera se desarrollan los demás nodos

$$P_1 = \frac{1}{4}$$

$$\alpha_1 = \frac{3}{16}$$

$$P_2 = \frac{7}{8}$$

$$\alpha_2 = \frac{7}{64}$$

$$P_3 = \frac{7}{8}$$

$$\alpha_3 = \frac{7}{64}$$

2. Para encontrar la potencia dinámica debemos dividir el problema en la potencia de los nodos y de las entradas y luego sumarlas. Se utiliza la fórmula vista en clases.

$$P_{n3} = P_{n2} = C_{load} * \frac{7}{64} * V_{dd}^2 * f$$

$$P_{n1} = 2 * C_2 * \frac{3}{16} * V_{dd}^2 * f$$

$$P_{n0} = C_1 * \frac{3}{16} * V_{dd}^2 * f$$

$$P_A = P_B = C_{in} * \frac{1}{4} * V_{dd}^2 * f$$

$$P_C = P_D = C_2 * \frac{1}{4} * V_{dd}^2 * f$$

Para finalizar basta con sumar todas las potencias para obtener la potencia total

$$P_{total} = P_{n3} + P_{n2} + P_{n1} + P_{n0} + P_A + P_B + P_C + P_D$$

2. Low Power Placement

Para determinar la potencia consumida debemos utilizar las ecuaciones vistas anteriormente, C es la capacitancia que se encuentra en el diagrama, C equivalente corresponde a la suma de C con la capacitancia de la compuerta

$$P_{INT} = \alpha_{int} * C_{eq} * V_{dd}^2 f$$

$$P_{salida} = \alpha_{salida} * C * V_{dd}^2 * f$$

En este caso las variables que podemos manipular son solamente α_{int} y α_{salida} , por lo tanto, nos interesa conocer sus parámetros

$$\alpha_{int} = (1 - \overline{P_{IN1}P_{IN2}})(\overline{P_{IN1}P_{IN2}})$$

$$\alpha_{salida} = (1 - \overline{P_{IN1}P_{IN2}P_{IN3}})(\overline{P_{IN1}P_{IN2}P_{IN3}})$$

Para conocer la combinación que minimiza y la que maximiza se prueban los 3 casos posibles. Se suman ambos alfas y se obtienen los valores. Caso 1: A y B en la primera compuerta, Caso 2: B y C en la primera compuerta y Caso 3: A y C en la primera compuerta.

$$\alpha_1 = 0.40934$$

$$\alpha_2 = 0.29163$$

$$\alpha_3 = 0.40629$$

Como se puede observar el **Caso 2 Minimiza** (B y C en primera compuerta), mientras que el **Caso 1 Maximiza** (A y B en la primera compuerta).

3. Timing

1. Como nos piden el mínimo periodo para que el circuito funcione se utilizan los tiempos de contaminación del diagrama. Con los datos presentados se tiene que $t_{cd} \leq t_{hold} - t_{ccq} + t_{skew} = 50ps - 50ps = 0ps$, por lo tanto, los flip-flops presentan un mínimo retraso de contaminación de $0ps$. Siguiendo el circuito, el camino más largo corresponde a la rama superior, con un tiempo de contaminación de $250ps$, que es el mínimo periodo para que el clock funcione.
2. Al poseer un skew los clocks, se deben ingresar a la fórmula del retraso de contaminación, en este caso $t_{cd} \leq t_{hold} - t_{ccq} + t_{skew} = 50ps - 50ps + 60ps = 60ps$. Por lo tanto, el mínimo periodo cambia a $370ps$. Como vimos en clases una consecuencia del skew es la disminución del retardo máximo de propagación y el aumento del retardo mínimo de contaminación.