

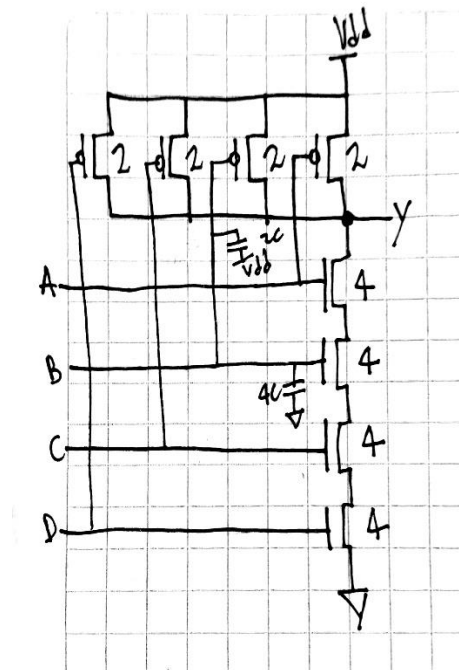
# REPORTE TAREA 3- IEE2753

EDUARDO ANAIS

## 1) INVX4

La capacitancia de entrada se calcula de la forma vista en clases  $C_{in} = k_{nmos}C + k_{pmos}C = 4C + 8C = 12C$ . Para el esfuerzo lógico se utiliza la definición, por lo tanto, para generar la misma corriente se utiliza el mismo inversor generando un  $g = 1$ . Para finalizar el retraso parasitario se calcula con la capacitancia de salida sin carga, lo que da  $\tau = \frac{1}{4}R * 12C = 3RC$ , que corresponde a un retraso parasitario normalizado  $p = 1$ .

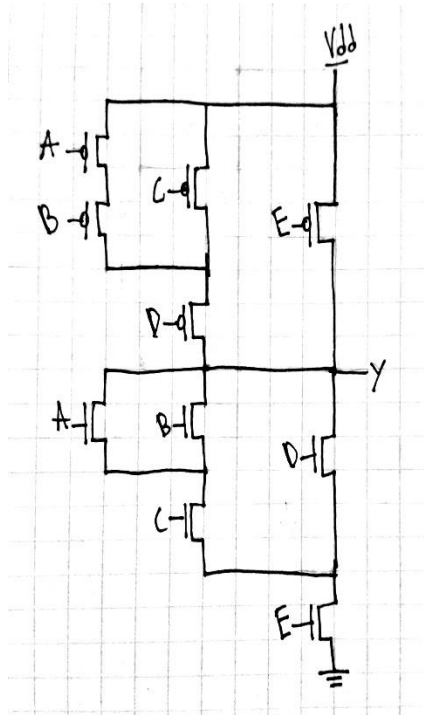
## 2) Compuerta NAND



Los anchos seleccionados se encuentran en la imagen para cumplir con los requisitos. Para calcular el esfuerzo lógico se utiliza la capacitancia de entrada de una señal  $C_{in} = 2C + 4C = 6C$  y se divide por la capacitancia de entrada del inversor con la misma corriente  $g = \frac{6C}{3C} = 2$ . Para el caso del retardo parásito se calcula la capacitancia de salida sin carga y la resistencia vista  $\tau = R * 12C$  lo que genera  $p = 4$ .

## 3) CMOS complementaria

1. Como nos piden el mínimo utilizamos el mínimo entero para la relación  $2R_p = R_n$ . Reemplazando en las ecuaciones de la resistencia de NMOS y PMOS se llega a la relación  $\frac{2R_p}{n} = R \text{ y } \frac{R_p}{p} = R$ . Escogiendo  $n = 2$  y  $p = 1$  llegamos al valor deseado con los anchos correspondientes.
2. Se realiza el esquemático de acuerdo a lo solicitado.



El ancho seleccionado para el peor caso, tanto para la rama superior como para la inferior, es el camino más largo compuesto por 3 transistores en ambas partes, por lo tanto, con la regla anterior se determina el ancho de 6 para la rama inferior y 3 para la superior.

3. El esfuerzo lógico para la entrada E es el mismo que el caso base del inversor, ya que lo compone un NMOS y un PMOS, igualando las corrientes obtenemos  $g = \frac{9C}{9C} = 1$ .

#### 4) AND-OR-INVERTER

Realizando el diagrama de transistores, se puede observar las capacitancias en las ramas de peor retardo compuestas por dos transistores en cada parte. Siguiendo las normas descritas en el enunciado, en la parte superior se cuenta con un  $t_{pdr} = 8C * \frac{R}{2} + (4C + 2C) * R = 10RC$  ya que existe una conexión en paralelo existe un conector entre transistores, por otra parte para la rama inferior se tiene  $t_{pdf} = C * \frac{R}{2} + (4C + 2C) * R = 6.5RC$ .

