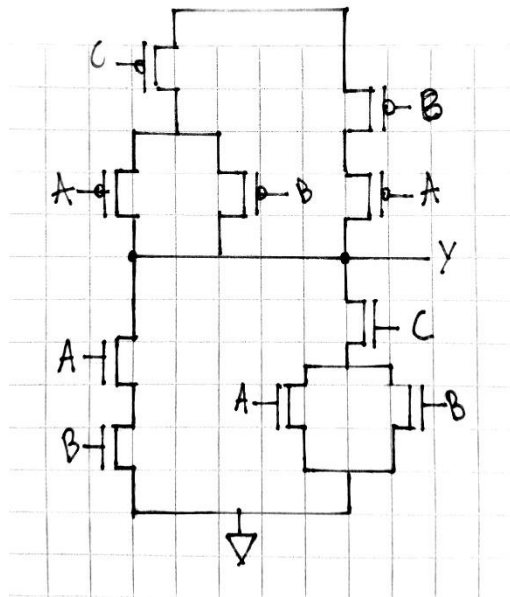


REPORTE TAREA 2- IEE2753

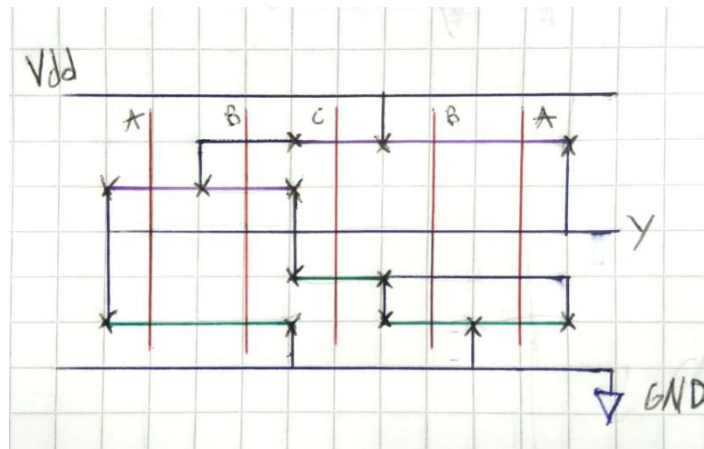
EDUARDO ANAIS

1) Compuerta mayoritaria-minoritaria

- Esquemático transistores



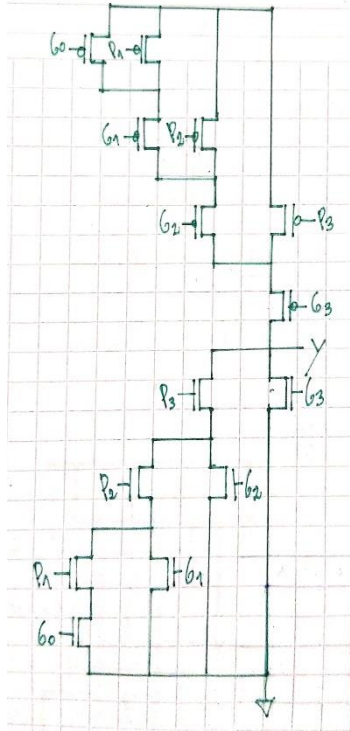
- Diagrama de palos



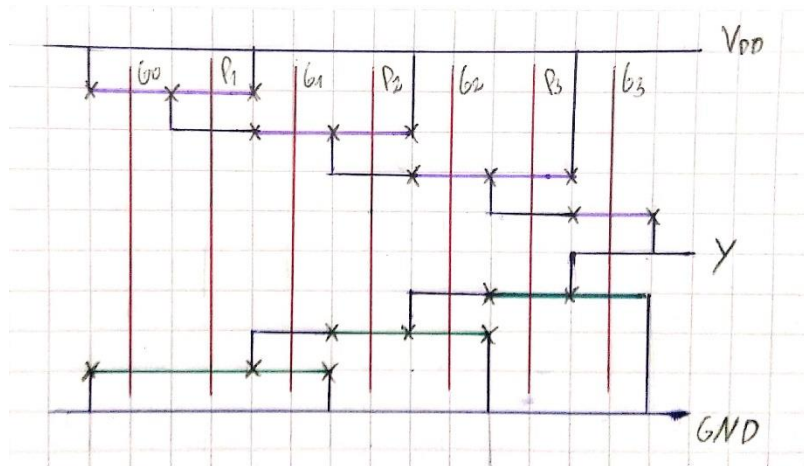
- Estimación área: $2688\lambda^2$

2) Carry lookahead adder

- Esquemático transistores



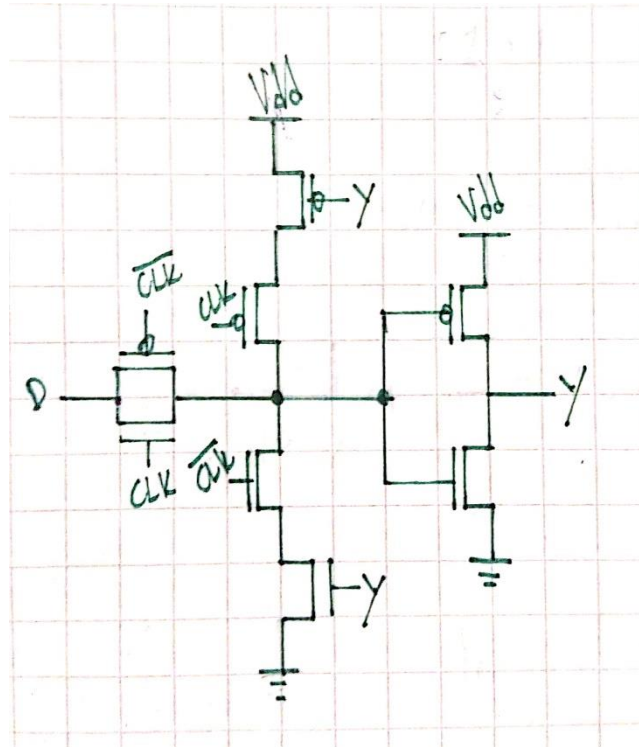
- Diagrama de palos



- Estimación área: $5120\lambda^2$

3) Layout a esquemático

- Esquemático transistores



- Compuerta: Level – Sensitive Latch
- Funcionamiento: Tiene el comportamiento de un latch (opaco o transparente) que es habilitado por el clock y la principal diferencia es que posee una retroalimentación en la compuerta del inversor de tri-estado.