

## Bitácora de Laboratorio 7

Roberto Sánchez Cárdenas - B77059

Gabriel Jiménez Amador - B73895

San José, 31 de agosto de 2021

Laboratorio de Circuitos Digitales

### Resumen

Se implementaron dos memorias caché asociativas una de 2 vías con política de reemplazo aleatorio y otra con 4 vías y con política de reemplazo LRU. Ambas cachés se probaron conectando directamente al CPU core PicoRV32, de modo que se observaron los beneficios de rendimiento que este tipo de memorias genera. Además se simuló la localidad espacial por medio de retardos en la lectura y escritura de datos en memoria principal.

### Índice

1.	Introducción . . . . .	1
2.	Resultados y análisis . . . . .	2
2.1.	Ejercicio 1 . . . . .	2
2.2.	Ejercicio 2 . . . . .	3
2.3.	Ejercicio 3 . . . . .	4
2.4.	Ejercicio 4 . . . . .	7
3.	Repositorio . . . . .	9
4.	Conclusiones y recomendaciones . . . . .	9
4.1.	Conclusiones . . . . .	9
4.2.	Recomendaciones . . . . .	9

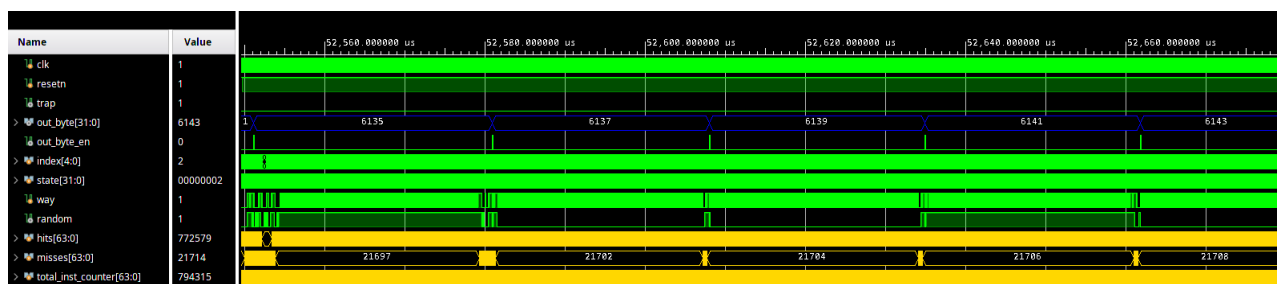
### 1. Introducción

A lo largo de este documento se presentan los resultados obtenidos de la implementación de una caché asociativa que políticas de reemplazo. En las secciones 2.1 y 2.2 se presenta una política de reemplazo aleatoria y en la secciones 2.3 y 2.4 se presenta la política LRU. en ambos casos se mantuvo habilitado la escritura write back.

## 2. Resultados y análisis

### 2.1. Ejercicio 1

Se implementó una política de reemplazo aleatoria que utiliza un Linear Feedback Shift Register (LSFR) para generar un valor aleatorio de reemplazo. Respecto a la caché que se tenía inicialmente se tuvo que aumentar su tamaño creando un tipo de matriz de 3 dimensiones, de modo que se emulen las vías que permiten la asociatividad.



**Figura 1:** Resultados cache asociativa 2-way política reemplazo aleatorio

Si se realiza el cálculo de la tasa de fallos y aciertos se obtienen los siguientes resultados:

$$\text{Miss rate} = 2,73 \% \quad (1)$$

$$\text{Hit rate} = 97,27 \% \quad (2)$$

Respecto a la cache que se diseño inicialmente donde no se aplicaba esta política, los resultados son peores pues antes se tenía una tasa de fallos de un 2.16%, por lo que la tasa de aciertos es del 97.83%. Sin embargo, el rendimiento de esta caché sigue estando en un rango aceptable.

Este empeoramiento se debe a que esta política no toma ningún criterio formal para hacer el reemplazo, sino que reemplaza cualquier dato, esto puede hacer que los resultados estén empeorando.

A pesar de tener un comportamiento aleatorio, al correr la simulación el resultado siempre es el mismo pues la aleatoriedad depende del ciclo de reloj en el que caiga el reemplazo y esto es contante a lo largo de las simulaciones. Finalmente el número de slices para este caso se puede observar en la siguiente figura:

Site Type	Used	Fixed	Available	Util%
Slice	3539	0	15850	22.33
SLICEL	2644	0		
SLICEM	895	0		
LUT as Logic	10219	0	63400	16.12
using 05 output only	0			
using 06 output only	8899			
using 05 and 06	1320			
LUT as Memory	48	0	19000	0.25
LUT as Distributed RAM	48	0		
using 05 output only	0			
using 06 output only	0			
using 05 and 06	48			
LUT as Shift Register	0	0		
Slice Registers	6719	0	126800	5.30
Register driven from within the Slice	4815			
Register driven from outside the Slice	1904			
LUT in front of the register is unused	961			
LUT in front of the register is used	943			
Unique Control Sets	286		15850	1.80

**Figura 2:** Número de slices utilizados en caché de 1kB con 2 ways

## 2.2. Ejercicio 2

En este ejercicio se varió el tamaño de la caché y el tamaño del bloque de modo que se pueda analizar el efecto de esto en los resultados. En la siguiente tabla se pueden observar las tasas de fallos y acierto.

	Parámetros caché		Totales		
	Tam. Bloque (palabras)	Tam. Caché (KB)	Hit rate (%)	Miss rate (%)	Slices consumidos
<b>Caché 1</b>	2	2	97.9	2.1	6419
<b>Caché 2</b>	4	2	98.9	1.1	6239
<b>Caché 3</b>	2	4	98.3	1.7	12104
<b>Caché 4</b>	4	4	99.13	0.87	11006

**Tabla 1:** Resultados de tipos de cachés asociativos 2-way con política de reemplazo aleatoria con diferentes parámetros.

Los resultados anteriores son consistentes con lo esperado. Conforme se aumenta el tamaño de la caché y de bloque, los resultados mejoran sin embargo, un mayor tamaño de bloque parece tener un efecto mayor que el aumento del tamaño del caché.

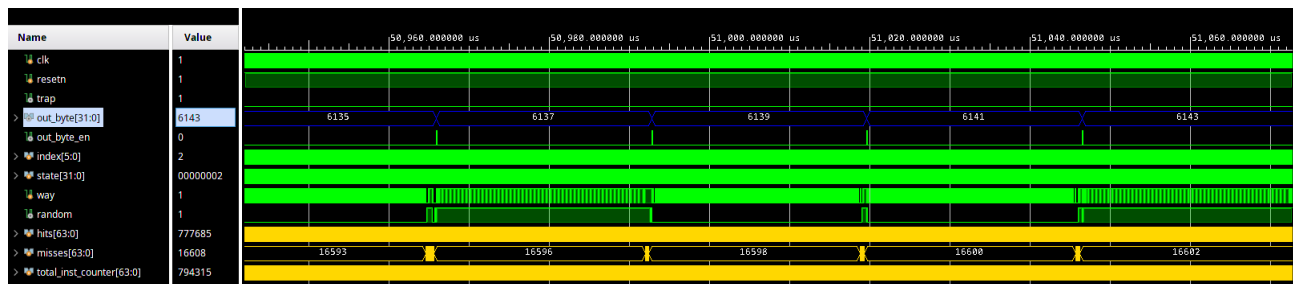


Figura 3: Resultados cache asociativa 2-way bloque 2 palabras y cache 2kB

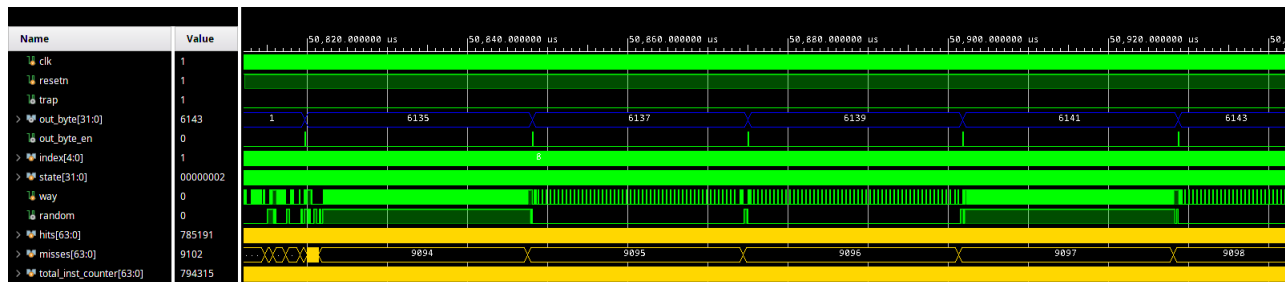


Figura 4: Resultados cache asociativa 2-way bloque 4 palabras y cache 2kB

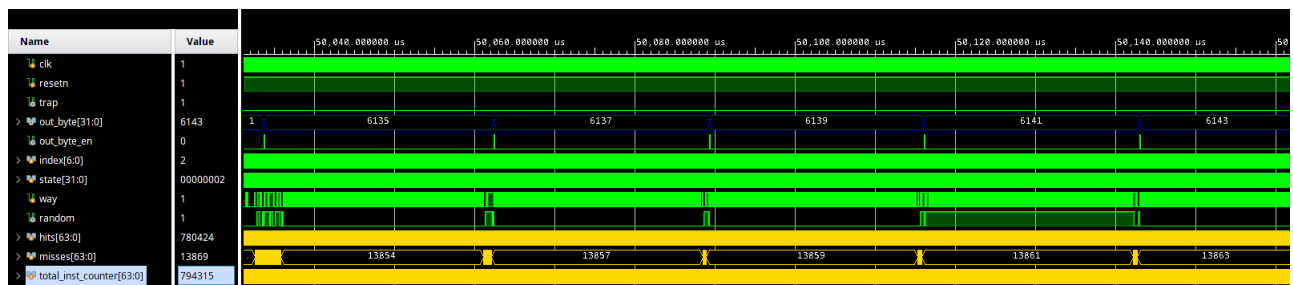


Figura 5: Resultados cache asociativa 2-way bloque 2 palabras y cache 4kB

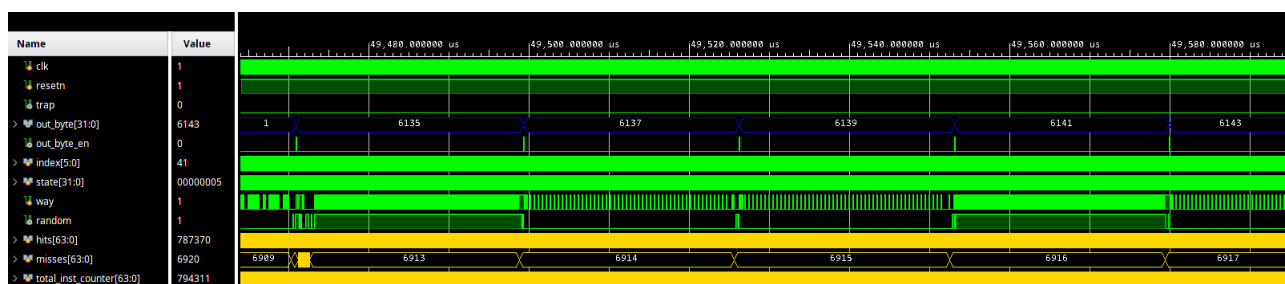
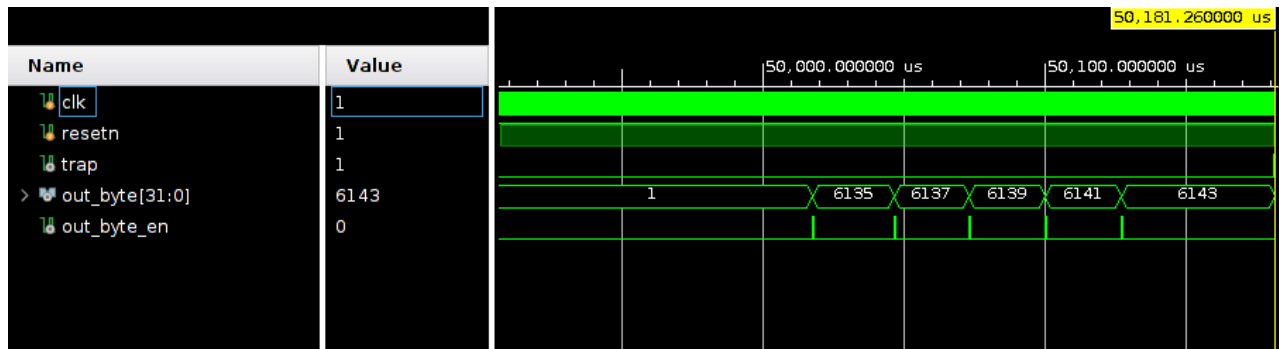


Figura 6: Resultados cache asociativa 2-way bloque 4 palabras y cache 4kB

## 2.3. Ejercicio 3

En este ejercicio se implementó un caché asociativo con 4 vías y con política de reemplazo LRU (Least Recently Used) con un tamaño de bloque de 2 palabras y un tamaño de caché

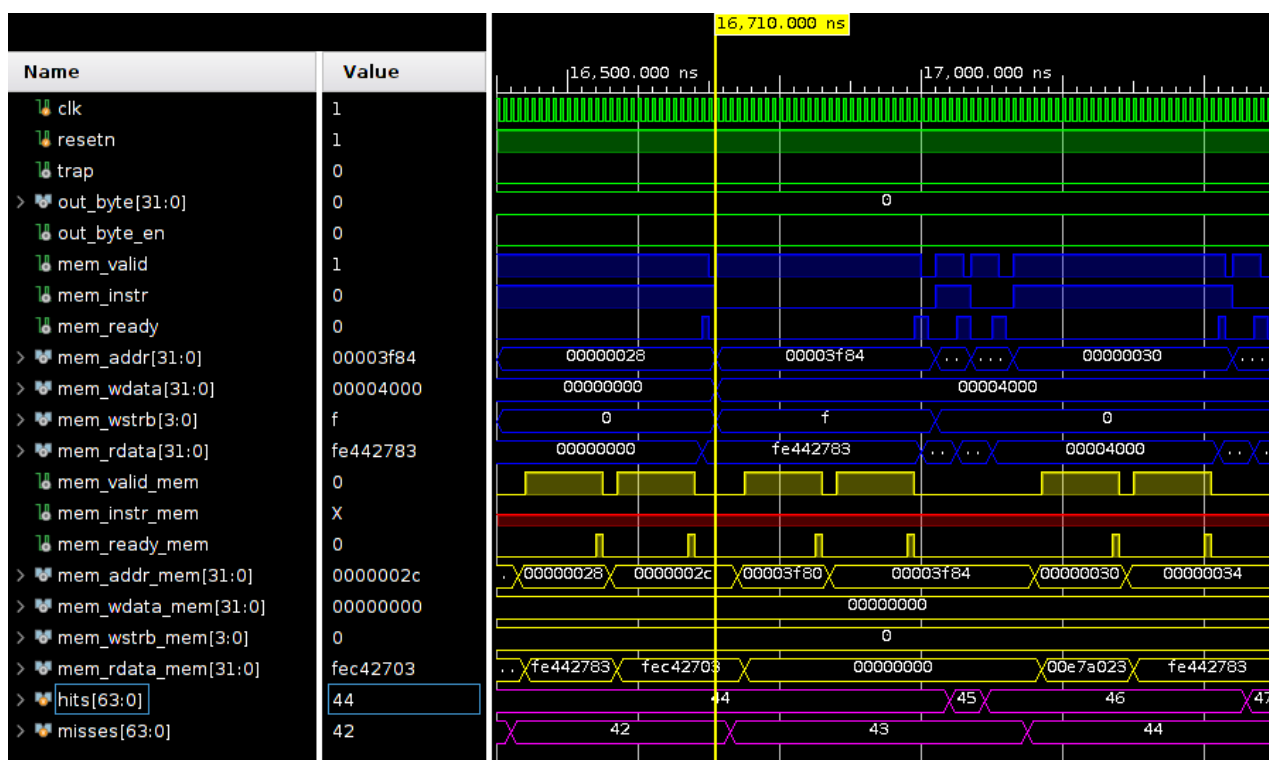
de 1 KB. Se diseñó de acuerdo a lo planteado en el anteproyecto del laboratorio, de tomar el caché de mapeo directo original (realizado en el Laboratorio 6) cambiando dimensiones y tamaños para acomodar las 4 vías, así como modificar la funcionalidad del estado DATA R/W para implementar la política LRU.



**Figura 7:** Resultados simulación cache asociativa 4-way con política de reemplazo LRU.

Simulando con el mismo firmware del Laboratorio 6, se tiene los resultados de la Figura 7. Se observa que los últimos 5 números impares que se obtuvieron son **6135**, **6137**, **6139**, **6141** y **6143** en un tiempo total de 50.181 ms. Los mismos números que los de las secciones anteriores y los del laboratorio anterior.

Con respecto, al *pinout* del caché y el contador de hits y misses se dejaron igual al laboratorio anterior y se ejemplifican con la sección de simulación de la Figura 8.



**Figura 8:** Resultados simulación cache asociativa 4-way con política de reemplazo LRU. Señales PicoRV32 ↔ Caché: en azul, señales Caché ↔ Memoria: en amarillo. Contadores de hits y misses: en magenta.

Se obtuvo un hit/miss rate final de:

$$\text{Hit rate} = 98,24\%$$

$$\text{Miss rate} = 1,76\%$$

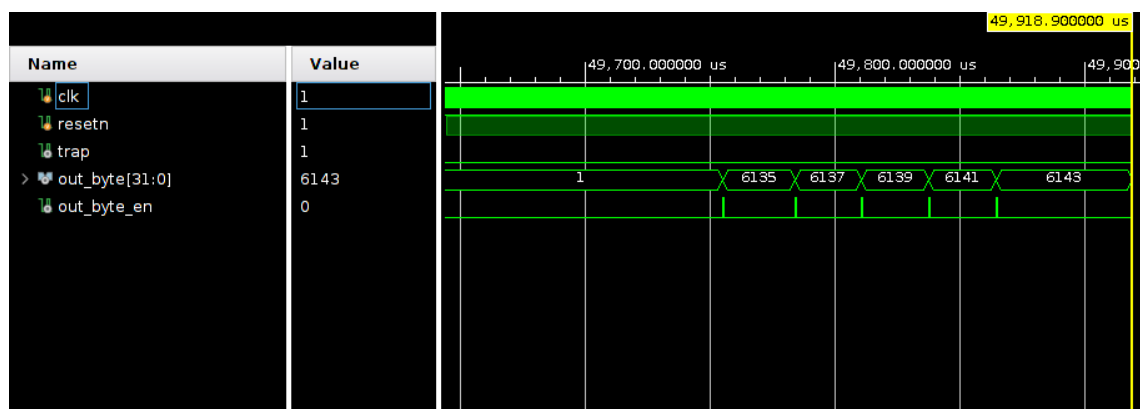
Consumiendo en total **5942** slices lo cual ciertamente son mejores tasas que el caché aleatorio y el de mapeo directo, pero con un aumento significativo de slices consumidos. El aumento se debe tanto al tamaño incrementado de la memoria del caché para manejar las 4 vías y la creación de la tabla de frecuencia de uso para mantener la información de los valores LRU de cada bloque en cada vía como la lógica incluida para manejar cada entrada de esas tablas.

Site Type	Used	Fixed	Available	Util%
Slice	5942	0	15850	37.49
SLICEL	4203	0		
SLICEM	1739	0		
LUT as Logic	21009	0	63400	33.14
using O5 output only	1			
using O6 output only	20330			
using O5 and O6	678			
LUT as Memory	48	0	19000	0.25
LUT as Distributed RAM	48	0		
using O5 output only	0			
using O6 output only	0			
using O5 and O6	48			
LUT as Shift Register	0	0		
Slice Registers	12762	0	126800	10.06
Register driven from within the Slice	9278			
Register driven from outside the Slice	3484			
LUT in front of the register is unused	1191			
LUT in front of the register is used	2293			
Unique Control Sets	508		15850	3.21

**Figura 9:** Slices consumidos por el cache asociativo 4-way con política de reemplazo LRU.

## 2.4. Ejercicio 4

En este ejercicio se modificaron los parámetros del caché asociativo de 4 vías con política de reemplazo LRU (el tamaño del bloque (palabras) y el tamaño del caché (KB)). Se simuló, sintetizó e implementó para cada uno de los casos. En todo los casos se encontraron los mismos 5 números impares: **6135**, **6137**, **6139**, **6141** y **6143**. A manera de ejemplo se tiene los números impares en la Figura 10 para una caché con un bloque de 2 palabras y un tamaño de 2 KB y el número de slices que consume en la Figura 11.



**Figura 10:** Resultados simulación cache 4-way LRU con tamaño de bloque de 2 palabras y tamaño de caché de 2 KB.

Site Type	Used	Fixed	Available	Util%
Slice	13088	0	15850	82.57
SLICEL	9179	0		
SLICEM	3909	0		
LUT as Logic	45476	0	63400	71.73
using 05 output only	1			
using 06 output only	43027			
using 05 and 06	2448			
LUT as Memory	48	0	19000	0.25
LUT as Distributed RAM	48	0		
using 05 output only	0			
using 06 output only	0			
using 05 and 06	48			
LUT as Shift Register	0	0		
Slice Registers	24463	0	126800	19.29
Register driven from within the Slice	18158			
Register driven from outside the Slice	6305			
LUT in front of the register is unused	3281			
LUT in front of the register is used	3024			
Unique Control Sets	1366		15850	8.62

**Figura 11:** Slices consumidos por el cache 4-way LRU con tamaño de bloque de 2 palabras y tamaño de caché de 2 KB.

	Parámetros caché		Totales		
	Tam. Bloque (palabras)	Tam. Caché (KB)	Hit rate (%)	Miss rate (%)	Slices consumidos
<b>Caché 1</b>	2	2	98.36	1.64	13088
<b>Caché 2</b>	4	2	99.18	0.82	10960
<b>Caché 3</b>	2	4	98.4	1.6	25163
<b>Caché 4</b>	4	4	99.2	0.8	21777

**Tabla 2:** Resultados de tipos de cachés asociativos 4-way LRU con diferentes parámetros.

Siguiendo los resultados descritos en la Tabla 2 se tiene un comportamiento similar al del caché con reemplazo aleatorio en incluso similar al del caché directo del laboratorio anterior. Con la salvedad que se consume la mayor cantidad de slices que todos los demás tipos de cachés, puesto que la lógica LRU es la más compleja en comparación.

La cantidad de slices consumidos ciertamente es preocupante, sólo variando el tamaño de caché de 1 KB a 2 KB se duplican los slices, de 5942 pasa a 13088. Incrementando el tamaño de bloque se minimiza un poco este incremento al mismo tiempo que ofrece buenas tasas de *hit/miss*.



### 3. Repositorio

El código necesario para emular los resultados de este laboratorio se pueden encontrar en Github utilizando el siguiente enlace:

<https://github.com/ucr-ie-0424/laboratorio-7-jimenez-sanchez>

El ID del último commit es: 07124e9bd2c1f1634552058e5f65a1ca81530ebe

### 4. Conclusiones y recomendaciones

#### 4.1. Conclusiones

- Existe una mejora general en rendimiento utilizando cachés con mapeo asociativo con políticas de reemplazo respecto a una de mapeo directo. Pero esto viene con un *tradeoff* en la complejidad del caché y por ende en la cantidad de slices consumidos.
- El generador de números aleatorios no tiene un comportamiento tan aleatorio pues el valor va a depender del ciclo de reloj en el que se encuentre. En un caso real el número sí varía, pero en una simulación que siempre se realiza con las mismas características, no se puede medir la variabilidad de las pruebas.
- Con el caché con política de reemplazo aleatorio no se observa una mejora en hit/miss rate hasta que se empieza a incrementar el tamaño del bloque y del caché. Solo se espera una mejora en este tipo de caché por el hecho de que tiene el doble del tamaño efectivo que el caché de mapeo directo, debido a la asociatividad de 2 vías.
- Con el caché asociativo con política de reemplazo LRU se encontró el mejor hit/miss rate de todos los cachés vistos: 99.2% y 0.8%<sup>1</sup>. Pero así también la mayor de slices consumidos: 25163<sup>2</sup>, debido a que es la memoria caché con la lógica más compleja.

#### 4.2. Recomendaciones

- Se debe encontrar un equilibrio entre la cantidad de palabras en un bloque y el tamaño de bloque para lograr el mejor hit/miss rate, disminuyendo, al mismo tiempo, los slices consumidos.
- Si se quisiera medir la aleatoriedad se puede meter un número constante de delays en algún punto de la simulación.
- Es importante tener en cuenta las limitaciones físicas de la FPGA, pues si se excede de tamaño nuestro diseño, no se podría implementar físicamente en la tarjeta.

---

1 Con un tamaño de bloque de 4 palabras y un tamaño de caché de 4 KB

2 Con un tamaño de bloque de 2 palabras y un tamaño de caché de 4 KB