



REPORT

제목: 2 bit Binary Multiplier, 전가산기

과목: 디지털 공학 기초 및 실습

날짜(년/월/일):

소속 학과: 컴퓨터 전자 시스템 공학부

학번: 201702234

이름: 유동혁

본 보고서의 내용 중 다른 문서(자료)를 인용한 것이 있습니까?
예() 아니오()

위에서 '예'로 답한 경우, 인용한 다른 문서는 무엇인지 아래에
명시해 주세요. (여러 개의 경우 주요 자료 2 개 까지)

- 저자 1:
- 제목 1:
- 저자 2:
- 제목 2:

디지털 공학 기초 및 실습 (예비 레포트)

학번: 201702234 이름: 유동혁

1. 제목: 2 bit Binary Multiplier (11 주차)
2. 목적: 2 bit Binary Multiplier에 대해 조사한다.
3. 내용:

이진 코드 또는 바이너리 코드(binary code)는 텍스트, 컴퓨터 프로세서 명령 또는 그 밖의 2심볼 시스템을 사용하는 데이터를 대표하며 대개 이진 숫자 체계의 0과 1을 의미한다. 이진 코드는 이진 숫자(비트) 패턴을 각 문자, 명령 등으로 할당한다. 이를테면 8비트 이진 문자열은 256개의 가능한 값 중 어느 것으로도 표현할 수 있으므로 여러 항목을 대표할 수 있다.

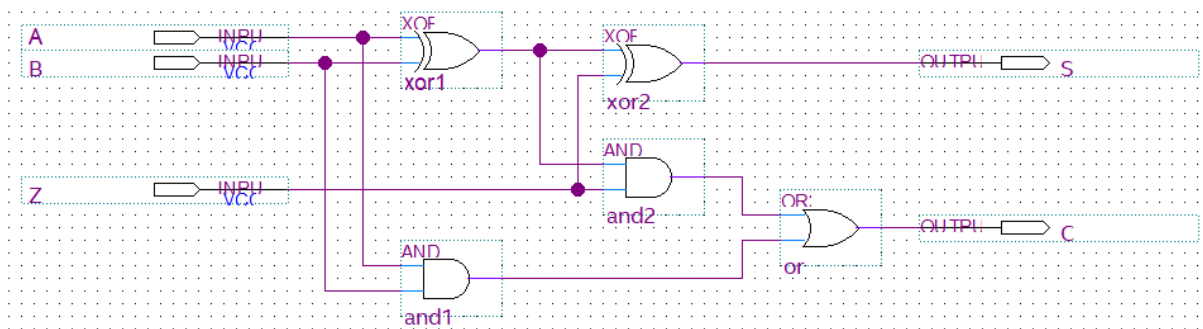
//출처: https://ko.wikipedia.org/wiki/%EC%9D%B4%EC%A7%84_%EC%BD%94%EB%93%9C

디지털 공학 기초 및 실습 (결과 레포트)

학번: 201702234 이름: 유동혁

1. 제목: 전가산기 (11 주차)
2. 목적: 전가산기를 VHDL과 회로도로 구성 해봄
3. 내용:

전가산기를 회로도로 구성한 것은 다음과 같다.



전가산기를 VHDL로 구성한 것은 다음과 같다.

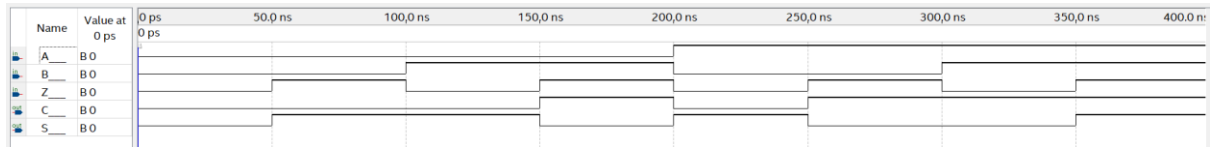
```
LIBRARY ieee; USE ieee.std_logic_1164.all;

ENTITY FullAdder_VHDL IS
    PORT(A, B, Z: IN std_logic;
         S, C: OUT std_logic);
END FullAdder_VHDL;

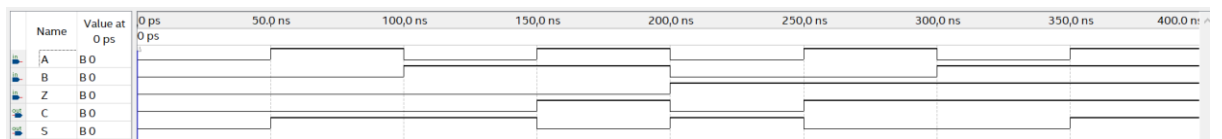
ARCHITECTURE FullAdderbody OF FullAdder_VHDL IS
BEGIN
    S <= (A xor B) xor Z;
    C <= (A and B) or ((A xor B) and Z);
END fulladderbody;
```

4. 결과:

회로도의 출력



VHDL코드의 출력



5. 느낀 점:

전가산기에 대해 알 수 있었음.