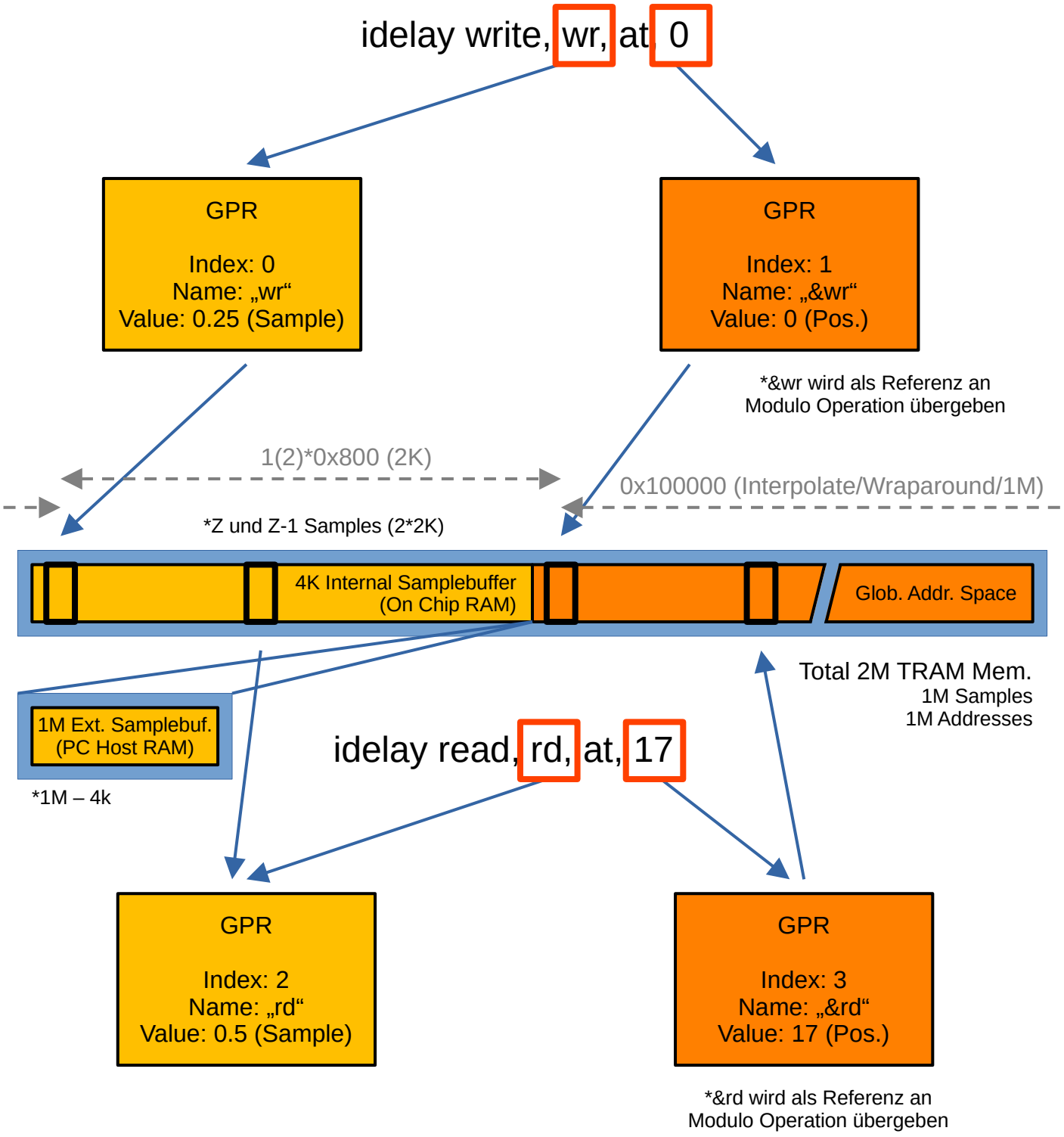
Delayline (TRAM) Registermapping

In der vereinfachten Implementation des iTRAM werden keine Address-Shiftings zum Lesen/Schreiben (0x800) und zum interpolierten Lesen/Schreiben (0x100000) verwendet. Um die Kompatibilität mit DANE Syntax zu gewährleisten, werden entsprechende Definitionen vorerst ignoriert. *Es ist noch unbekannt, ob man mit xdelay ebenfalls Addressen manipulieren kann, da das Adress-Shifting 0x800 jetzt Überschneidungen ergäbe und idelay für Modulationseffekte eigentlich genügt. xdelay wird i.d.R. für statische Delaylines in Reverb und Echo genutzt.*



Klangraum, 20230804

```
name "microchorus v2.0";
engine "kX";
comment "";
copyright "2007. stylus, http://stylus.siteboard.de"
guid "5522d777-5bd7-4c68-9ec5-09381161a092";

; registers

input in
output out1, out2
static rd_max_shifted01=0x2d0000 ; 1440*0x800
static rd_max_shifted02=0x5a0000 ; 2880*0x800
static in_half, fx, s, t, sin_abs, cos_abs, dry, wet, y, a, b
static sin=0, cos=0.25
control speed=0.2
control depth=0.5
control dry_wet=1

; itramsize

itramsize 2880 ; 2*30 ms
idelay write wrt1 at 0
idelay read rd11 at 1439
idelay read rd12 at 1439
idelay write wrt2 at 1440
idelay read rd21 at 2880
idelay read rd22 at 2880

; sinoid lfo

macs y, 0, speed, 0.0005 ; max. ~4 Hz
macs sin,  sin,  y,  cos
macsn cos,  cos,  y,  sin
macs sin_abs, 0.5, sin, 1
macs cos_abs, 0.5, cos, 1

; depth

;interp     sin_abs, 0.5,  depth,  sin_abs
;interp     cos_abs, 0.5,  depth,  cos_abs

; half input

macs in_half, 0, in, 0.5

; ********** left channel *********

; modulated delayline left

; calculate address offset "t"
macs wrt1, in, 0, 0
macs t, &wrt1, rd_max_shifted01, sin_abs

; 2 "in order" delay readout´s
macints &rd11, t, 0x800, 1
macints &rd12, t, 0x800, 2

; interpolation coeff.
macintw t, 0, t, 0x100000 ; 20 bit shift

; linear interpolated delay line
interp a, rd11, t, rd12

; mix with in_half

macs fx, in_half, a, 0.5

; dry/wet

macs wet, 0, fx, dry_wet ; make a wet- register
macsn dry, in, in, dry_wet ; make a dry- register

; out left

macs out1, dry, wet, 1
```

```
; ********** right channel *********

; modulated delayline right

; calculate address offset "s"

macs wrt2, in, 0, 0
macs s, &wrt2, rd_max_shifted01, cos_abs

; 2 "in order" delay readout´s

macints &rd21, s, 0x800, 1
macints &rd22, s, 0x800, 2

; interpolation coeff.

macintw s, 0, s, 0x100000

; linear interpolated delay line

interp b, rd21, s, rd22

; mix with in_half

macs fx, in_half, b, 0.5

; dry/wet

macs wet, 0, fx, dry_wet ; make a wet- register
macsn dry, in, in, dry_wet ; make a dry- register

; out right

macs out2, dry, wet, 1

end
```